MICROPROCESSEURS ET MEMOIRES

EFCIS

CATALOGUE 1980

Circuits Intégrés MOS
THOMSON-EFCIS





CATALOGUE MICROPROCESSEURS ET MEMOIRES

Section 1

Index fonctionnel

MICROPROCESSEURS 8 BITS

Références	Fonctions	Nombre d'instr.	Mode d'adress.	Alim. V	Nombre broches	Page
EF6800	Microprocesseur 8 bits	72	7	+ 5	40	7
EF6801/6801E	Micro-ordinateur 8 bits - Haut de gamme	82	7	+ 5	40	*
EF6801 C1	EF6801 avec moniteur de mise au point	82	7	+ 5	40	*
EF6802	Microprocesseur 8 bits avec RAM et horloge	72	7	+ 5	40	43
EF6803/6803E	EF6801 sans ROM	82	7	+ 5	40	*
EF6805 P2	Micro-ordinateur 8 bits - Economique	59	10	+ 5	28	63
EF6805 P2 C1	EF6805 P2 avec moniteur de mise au point	59	10	+ 5	28	*
EF6808	EF6802 sans RAM	72	7	+ 5	40	43
EF6809	Microprocesseur 8/16 bits hautes performances	59	10	+ 5	40	87

MICROPROCESSEUR 16 BITS

Référence	Fonction	Nombre d'instr.	Mode d'adress.	Alim. V	Nombre broches	Page
EF68000	Microprocesseur 16 bits microprogrammé	56	14	+ 5	64	273

INTERFACES SERIE ET PARALLELE

Références	Fonctions	Alim. V	Nombre broches	Page
EF6821	Interface parallèle programmable (PIA)	+ 5	40	113
EF6850	Interface série asynchrone (ACIA)	+ 5	24	193
EF6852	Interface série synchrone (SSDA)	+ 5	24	201
EF6854	Contrôleur de transmission avec protocole (ADLC)	+ 5	28	*
EF68488	Interface normes IEEE - 488 (GPIA)	+ 5	40	*
EF6862	Modulateur 1200 / 2400 bps DPSK	+ 5	24	221

CONTROLEURS DE PERIPHERIQUE

Références	Fonction	Alim. V	Nombre broches	Page
EF6843	Contrôleur de disque souple simple densité (FDC) - (Comp. IBM 3740)	+ 5	40	*
EF6844	Contrôleur accès direct mémoire (DMAC)	+ 5	40	139
EF6845	Contrôleur de visualisation (CRTC)	+ 5	40	155

FONCTIONS D'ENTREE/SORTIE SPECIALES

Références	Fonctions	Alim. V	Nombre broches	Page
EF6840	Temporisateur triple 16 bits (PTM)	+ 5	28	125
EF6846	ROM 2 K x 8, un port parallèle 8 bits, un temporisateur 16 bits (COMBO)	+ 5	40	175

* Disponible sous forme de notice individuelle.

Index fonctionnel (suite)

HORLOGES ET CIRCUITS BIPOLAIRES

Références	Fonctions	Alim. V	Nombre broches	Page
EFH6871 A1	Horloge hybride 1 MHz (boîtier métallique)	+ 5	10(24)	*
EFH6871 A2	Horloge hybride 921 KHz (boîtier métallique)	+ 5	10(24)	*
EFF6875	Horloge monolithique	+ 5	16	229
EFF6880A	Quadruple ampli de bus 3 états (inverseur)	+ 5	16	241
EFF6881	Triple commutateur de bus	+ 5	16	247
EFF6882 A	Registre 8 bits avec ampli 3 états (inverseur)	+ 5	20	253
EFF6882 B	Registre 8 bits avec ampli 3 états	+ 5	20	253
EFF6885 à 8	Sextuple ampli 3 états (inverseur)	+ 5	16	259
EFF6889	Quadruple ampli de bus 3 états	+ 5	16	265

RAM STATIQUES

Références	Organisation	Temps d'accès pour les différentes versions (ns)	Alim. V	Nombre broches	Page
EF6810	128 x 8	450, 360, 250	+ 5	24	315
EF2114	1024 x 4	450, 300, 250, 200	+ 5	18	319
EF21L14	1024 x 4	450, 300, 250, 200	+ 5	18	319

RAM DYNAMIQUES

Références	Organisation	Temps d'accès pour les différentes versions (ns)	Alim. V	Nombre broches	Page
EF4116B	16384 x 1	300, 250, 200, 150	+ 12, ± 5	16	325
EF6664	65536 x 1	200, 150	+ 5	16	333

PROM / EPROM

Références	Organisation	Temps d'accès pour les différentes versions (ns)	Alim. V	Nombre broches	Page
EFD1702A	256 x 8	1000	+ 5, – 9	24	341
EF2708	1024 x 8	450, 300	+ 12, ± 5	24	353
EF2516	2048 x 8	450, 350	+ 5	24	359
EF2532	4096 x 8	450, 350	+ 5	24	*
EF68764	8192 x 8	450, 350	+ 5	24	*

* Disponible sous forme de notice individuelle.

Section 2

Famille microprocesseur

EF6800

NOTA : Veuillez consulter notre réseau de vente pour la disponibilité des différentes versions des circuits décrits dans les pages suivantes.

EFCIS



Circuits Intégrés MOS THOMSON-EFCIS

mosmosmosmosmosmosmosmosmosmosmos

EF6800
(1.0 MHz)
EF68A00
(1.5 MHz)
EF68B00
(2.0 MHz)

Ancienne appellation : SFF9-6800

MOS

(CANAL N, GRILLE Si CHARGE A DEPLETION)

MICROPROCESSEUR 8 BITS

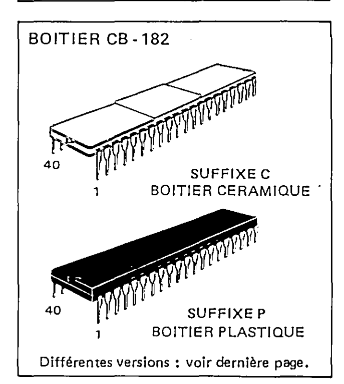
MICROPROCESSEUR 8 BITS (MPU)

Le EF6800 est un microprocesseur monolithique 8 bits réalisant la fonction d'unité centrale pour la famille 6800. Compatible TTL, le EF6800 comme tous les éléments de la famille 6800, ne demande qu'une alimentation de + 5 V et n'a besoin d'aucun circuit externe TTL pour l'interface avec les bus.

Le EF6800 peut adresser 64K octets de mémoire grâce à ses 16 lignes d'adresses. Le bus de données 8 bits bidirectionnel, à sorties trois-états, permet l'accès direct mémoire et les configurations multiprocesseurs.

- Traitement sur 8 bits en parallèle.
- Bus de données bidirectionnel.
- Bus d'adresses de 16 bits — espace d'adressage 64K octets.
- 72 instructions — longueur variable.
- Sept modes d'adressage — Direct, relatif, immédiat, indexé étendu, implicite et accumulateur.
- Pile externe de longueur variable.
- Redémarrage vectorisé.
- Vecteur d'interruption masquable.
- Interruption non-masquable séparée — registres internes sauvegardés dans la pile.
- Six registres internes : deux accumulateurs, un registre d'index, un compteur de programme, un pointeur de pile, et un registre d'état.
- Possibilités d'accès direct mémoire (DMA) et de configurations multi-processeurs.
- Caractéristiques d'horloge simplifiée.
- Fréquence d'horloge jusqu'à 2,0 MHz.
- Interfaçage avec le bus simple, sans circuit TTL.
- Possibilité d'arrêt et d'exécution pas à pas.

BOITIER CB - 182



Différentes versions : voir dernière page.

POUR COMMANDER

Vitesse	Circuit	Gamme de température
1.0 MHz	EF6800C,P	0 à 70°C
	EF6800CV,PV	−40 à + 85°C
Equ.MIL-STD-883B	EF6800CMB	−55 à + 125°C
Equ.MIL-STD-883C	EF6800CMP	
1.5 MHz	EF68A00C,P	0 à + 70°C
	EF68A00CV,PV	−40 à + 85°C
2.0 MHz	EF68B00C,P	0 à + 70°C

BROCHAGE

Broche	Signal	Signal	Broche
1	V_{SS}	$\overline{Reset}$	40
2	$\overline{Halt}$	TSC	39
3	φ1	N.C.	38
4	$\overline{IRQ}$	φ2	37
5	VMA	DBE	36
6	$\overline{NMI}$	N.C.	35
7	BA	R/W	34
8	V_{CC}	D0	33
9	A0	D1	32
10	A1	D2	31
11	A2	D3	30
12	A3	D4	29
13	A4	D5	28
14	A5	D6	27
15	A6	D7	26
16	A7	A15	25
17	A8	A14	24
18	A9	A13	23
19	A10	A12	22
20	A11	V_{SS}	21

EFCIS
45, av. de l'Europe
78140 VELIZY
FRANCE
Tel.: (1) 946 97 19
Telex : 698866F

TABLEAU 1 — VALEURS LIMITES ABSOLUES

Paramètres	Symboles	Valeurs	Unités
Tension d'alimentation	V_{CC}	– 0.3 à + 7.0	V
Tension d'entrée	V_{in}	– 0.3 à + 7.0	V
Température de fonctionnement T_L à T_H EF6800, EF68A00, EF68B00 EF6800 CV, PV / EF68A00 CV,PV EF6800 CMB, EF6800 CMP	T_A	 0 à + 70 – 40 à + 85 – 55 à + 125	°C
Température de stockage	T_{stg}	– 55 à + 150	°C
Résistance thermique Boîtier plastique Boîtier céramique	θ_{JA}	 70 50	°C/W

Les entrées de ce circuit sont protégées contre les hautres tensions statiques et les champs électriques ; toutefois, il est recommandé de prendre les précautions normales pour éviter toute tension supérieure aux valeurs limites sur ce circuit à haute impédance.

TABLEAU 2 — CARACTÉRISTIQUES ÉLECTRIQUES (V_{CC} = 5,0 V, ± 5 %, V_{SS} = 0, T_A = T_L à T_H sauf spécifications contraires)

Caractéristiques		Symboles	Min	Typ	Max	Unités
Tension d'entrée à l'état haut	Logique $\phi1, \phi2$	V_{IH} V_{IHC}	V_{SS} + 2.0 V_{CC} – 0.6	– –	V_{CC} V_{CC} + 0.3	V
Tension d'entrée à l'état bas	Logique $\phi1, \phi2$	V_{IL} V_{ILC}	V_{SS} – 0.3 V_{SS} – 0.3	– –	V_{SS} + 0.8 V_{SS} + 0.4	V
Courant de fuite en entrée (V_{in} = 0 à 5,25 V, V_{CC} = max) (V_{in} = 0 à 5,25 V, V_{CC} = 0,0 V)	 Logique $\phi1, \phi2$	I_{in}	 – –	 1.0 –	 2.5 100	µA
Courant d'entrée (état haute impédance) (V_{in} = 0,4 à 2,4 V, V_{CC} = max.)	D0-D7 A0-A15, R/$\overline{W}$	I_{TSI}	– –	2.0 –	10 100	µA
Tension de sortie à l'état haut (I_{charge} = -205 µA , V_{CC} = min) (I_{charge} = -145 µA , V_{CC} = min) (I_{charge} = -100 µA , V_{CC} = min)	 D0-D7 A0-A15, R/$\overline{W}$, VMA BA	V_{OH}	 V_{SS} + 2.4 V_{SS} + 2.4 V_{SS} + 2.4	 – – –	 – – –	V
Tension de sortie à l'état bas (I_{charge} = 1,6 mA – V_{CC} = min)		V_{OL}	–	–	V_{SS} + 0.4	V
Puissance dissipée		P_D	–	0.5	1.0	W
Capacités (V_{in} = 0, T_A = 25°C, f = 1,0 MHz)	 $\phi1$ $\phi2$ D0-D7 Entrées logiques	C_{in}	 – – – –	 25 45 10 6.5	 35 70 12.5 10	pF
	A0-A15, R/$\overline{W}$, VMA	C_{out}	–	–	12	pF

TABLEAU 3 — CARACTÉRISTIQUES DE L'HORLOGE (V_{CC} = 5,0 V ± 5 %, V_{SS} = 0, T_A = T_L à T_H sauf spécifications contraires)

Caractéristiques		Symboles	Min	Typ	Max	Unités
Fréquence d'horloge	EF 6800 EF 68A00 EF 68B00	f	0.1 0.1 0.1	– – –	1.0 1.5 2.0	MHz
Temps de cycle (Figure 1)	EF 6800 EF 68A00 EF 68B00	t_{cyc}	1.000 0.666 0.500	– – –	10 10 10	µs
Largeur de l'impulsion d'horloge (Mesurée à V_{CC} – 0,6 V)	$\phi1, \phi2$ — EF 6800 $\phi1, \phi2$ — EF 68A00 $\phi1, \phi2$ — EF 68B00	$PW_{\phi H}$	400 230 180	– – –	9500 9500 9500	ns
Temps total au niveau haut de $\phi1$ et $\phi2$	EF 6800 EF 68A00 EF 68B00	t_{ut}	900 600 440	– – –	– – –	ns
Temps de montée et de descente (Mesurés entre V_{SS} + 0,4 et V_{CC} - 0,6)		$t_{\phi r}$, $t_{\phi f}$	–	–	100	ns
Temps de retard ou de séparation des phases (Mesuré à V_{OV} = V_{SS} + 0,6 V, t_r = tf ⩽ 100 ns) (Mesuré à V_{OV} = V_{SS} + 1,0 V, t_r = t_f ⩽ 35 ns)		t_d	 0 0	 – –	 9100 9100	ns

TABLEAU 4 – CARACTERISTIQUES DYNAMIQUES DE LECTURE/ÉCRITURE (Référence figures 2 à 6)

Caractéristiques	Symboles	EF6800			EF68A00			EF68B00			Unités
		Min	Typ	Max	Min	Typ	Max.	Min	Typ	Max	
Temps de retard pour les adresses	t_{AD}										ns
C = 90 pF		–	–	270	–	–	180	–	–	150	
C = 30 pF		–	–	250	–	–	165	–	–	135	
Temps d'accès à la lecture ($t_{acc} = t_{ut} - (t_{AD} + t_{DSR})$)	t_{acc}	–	–	530	–	–	360	–	–	250	ns
Temps de préétabl. des données (en lec.)	t_{DSR}	100	–	–	60	–	–	40	–	–	ns
Temps de maintien des données (en lec.)	t_H	10	–	–	10	–	–	10	–	–	ns
Temps de maintien des données (en écr.)	t_H	10	25	–	10	25	–	10	25	–	ns
Temps de maintien des adresses (Adresses, R/$\overline{W}$, VMA)	t_{AH}	30	50	–	30	50	–	30	50	–	ns
Temps à l'état haut de l'entrée DBE	t_{EH}	450	–	–	280	–	–	220	–	–	ns
Temps de retard pour données (en écr.)	t_{DDW}	–	–	225	–	–	200	–	–	160	ns
Lignes de contrôle du processeur											
Temps de préétabl. des lignes de contrôle du MPU	t_{PCS}	200	–	–	140	–	–	110	–	–	ns
Temps de montée et de descente des lignes de contrôle	t_{PCr}, t_{PCf}	–	–	100	–	–	100	–	–	100	ns
Temps de retard pour le signal BA	t_{BA}	–	–	250	–	–	165	–	–	135	ns
Temps de retard pour le signal TSC	t_{TSD}	–	–	270	–	–	270	–	–	220	ns
Temps de durée à l'état bas de DBE pendant l'état haut de $\phi 1$.	$t_{\overline{DBE}}$	150	–	–	120	–	–	75	–	–	ns
Tps de mont. et de desc. du sign. DBE	t_{DBEr}, t_{DBEf}	–	–	25	–	–	25	–	–	25	ns

FIGURE 1 – FORMES D'ONDES DES SIGNAUX D'HORLOGE

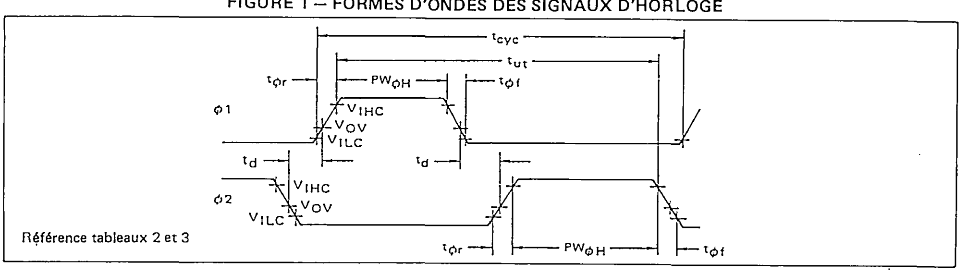


FIGURE 2 – DIAGRAMME DES TEMPS POUR LA LECTURE DE LA MÉMOIRE OU DES CIRCUITS PÉRIPHÉRIQUES

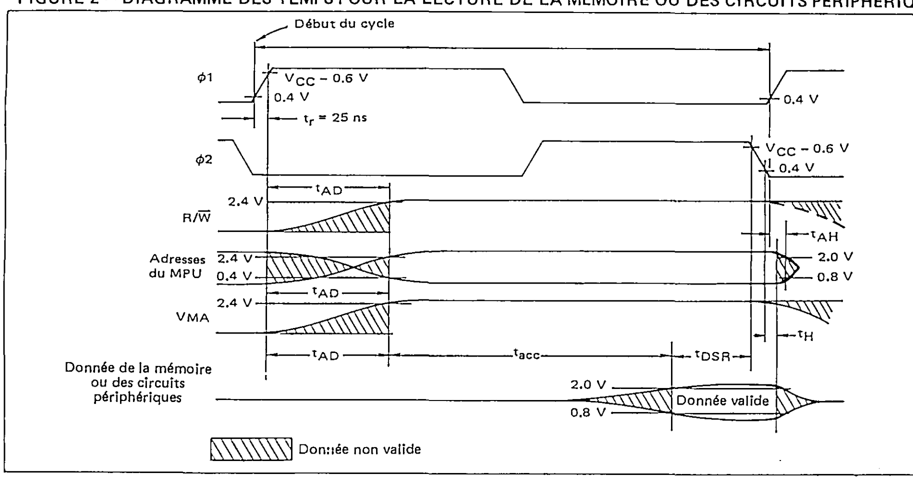




FIGURE 3 — DIAGRAMME DES TEMPS POUR L'ÉCRITURE DE LA MÉMOIRE OU DES CIRCUITS PÉRIPHÉRIQUES

Début de cycle
t_{cyc}
$\phi 1$ $V_{CC} - 0.6$ V 0.4 V t_r 0.4 V
$\phi 2$
R/W 0.4 V t_{AD} t_{AH}
Adresse du MPU 2.4 V 0.4 V t_{AD}
VMA 2.4 V t_{AD}
DBE # $\phi 2$ 2.0 V 0.8 V $t_{\overline{DBE}}$ t_{EH} t_{DBEf}. t_{DBEr} t_H
Donnée du MPU 2.4 V 0.4 V Donnée valide t_{DDW}
Donnée non valide

FIGURE 4 — RETARD TYPIQUE A LA SORTIE DU BUS DONNÉES EN FONCTION DE LA CHARGE CAPACITIVE

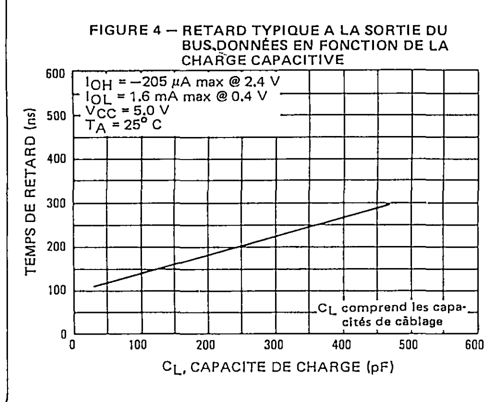


FIGURE 5 — RETARD TYPIQUE DE R/$\overline{W}$, VMA ET DES ADRESSES EN FONCTION DE LA CHARGE CAPACITIVE

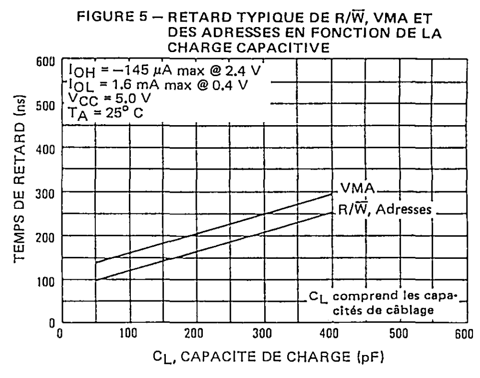
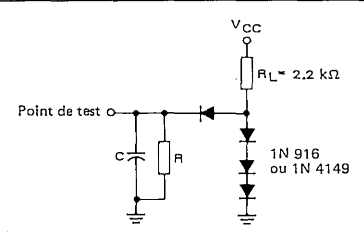


FIGURE 6 — CHARGE DE TEST SUR LE BUS



C = 130 pF pour D0-D7, E
= 90 pF pour A0-A15, R/$\overline{W}$ et VMA (sauf t_{AD2})
= 30 pF pour BA
R = 11,7 kΩ pour D0-D7
= 16,5 kΩ pour A0-A15, R/$\overline{W}$ et VMA
= 24 kΩ pour BA

CONDITIONS DE TEST

La charge de test dynamique pour le bus de données est de 130 pF et 1 charge TTL standard. Les sorties adresses, R/$\overline{W}$, VMA sont testées sous deux conditions pour permettre un fonctionnement optimum dans les deux systèmes avec ou sans amplificateurs de bus. La résistance R est choisie pour assurer le courant de charge spécifié pendant la mesure de V_{OH}.

Noter que les lignes du bus de données, d'adresses, de demandes d'interruption et DBE sont toutes spécifiées et testées pour garantir 0,4 V d'immunité dynamique au bruit pour les deux niveaux logiques "0" et "1".

FIGURE 7 — SCHÉMA FONCTIONNEL

A15 25, A14 24, A13 23, A12 22, A11 20, A10 19, A9 18, A8 17
A7 16, A6 15, A5 14, A4 13, A3 12, A2 11, A1 10, A0 9

Amplificateurs de sortie
Amplificateurs de sortie

Horloge ϕ1 3
Horloge ϕ2 37
Remise à l'état initial 40
Interruption non masquable 6
Arrêt 2
Demande d'interruption 4
Contrôle trois états 39
Activation bus données 36
Bus disponible 7
Adresse mémoire valide 5
Lecture/écriture 34

Décodage instructions et contrôle
Registre Instruction

Compteur programme
Pointeur de pile
Registre index
Compteur programme
Pointeur de pile
Registre index
Accumulateur A
Accumulateur B
Registre codes condition
ALU

Amplificateurs de données

26 D7, 27 D6, 28 D5, 29 D4, 30 D3, 31 D2, 32 D1, 33 D0

V_{CC} = Broche 8
V_{SS} = Broches 1 et 21

DESCRIPTION DES SIGNAUX DU MPU

Un fonctionnement correct du MPU nécessite que certains signaux de contrôle de l'horloge soient fournis pour accomplir des fonctions particulières et que d'autres signaux soient contrôlés pour connaître l'état du processeur.

Horloges : Phase 1 et Phase 2 ($\phi 1$, $\phi 2$) :

Deux entrées d'horloge sont utilisées pour deux phases d'horloge sans recouvrement fonctionnant au niveau V_{CC}.

La figure 1 montre les horloges du microprocesseur, et le tableau 3 donne les caractéristiques statiques et dynamiques de l'horloge. Le niveau haut est spécifié à V_{IHC} et le niveau bas est spécifié à V_{ILC}. La fréquence d'horloge disponible est spécifiée par f (fréquence). Les largeurs minimum à l'état haut des impulsions d'horloge ϕ 1 et ϕ 2 sont spécifiées par $PW_{\phi H}$. Pour garantir le temps d'accès nécessaire pour les périphériques le temps au niveau haut de l'horloge est spécifié. Le temps de séparation de phase t_d est mesuré pour une tension maximum de V_{OV}. On dispose donc de multiples variations d'horloge dans la gamme de fréquence du système.

Bus Adresses (A0-A15)

Seize broches sont utilisées pour le bus adresses. Ces sorties sont à trois états et peuvent commander une charge TTL et 90 pF. Dans l'état haute impédance les sorties sont pratiquement en circuit ouvert. Ceci permet l'utilisation du MPU dans les applications d'accès direct mémoire (DMA). L'activation de TSC (état haut) force les lignes du bus adresses dans les modes 3 états (haute impédance).

Bus Données (D0-D7)

Le bus données (8 bits) est bi-directionnel et permet les transferts de données entre le MPU et les circuits mémoire ou périphérique. Les amplificateurs de sortie sont à trois états et peuvent commander une charge TTL et 130 pF. Le bus données est dans l'état haute impédance quand DBE est à l'état bas.

Bus disponible BA (Bus Available)

Le signal bus disponible est généralement à l'état bas ; quand il passe à l'état haut, il indique que le microprocesseur s'est arrêté et que le bus adresses est disponible. Ceci se produit si la ligne $\overline{\text{Halt}}$ est à l'état bas (voir figure 13) ou si le microprocesseur est dans l'état d'attente d'interruption (état WAIT) après l'exécution d'une instruction WAIT. Quand BA est à l'état haut, toutes les sorties trois états sont dans l'état haute impédance et les autres sorties sont à leur niveau inactif. Le microprocesseur sort de l'état WAIT lorsqu'arrive une interruption masquable (si le bit masque d'interruption, est à zéro) ou non-masquable. Cette sortie peut commander une charge TTL et 30 pF. Quand TSC est à l'état haut, BA reste au niveau bas.

Activation du Bus Données DBE (Data Bus Enable)

DBE est le signal de commande trois états pour le bus données du MPU. DBE active les sorties du bus données lorsqu'il est à l'état haut. Cette entrée est compatible TTL ; toutefois, elle sera généralement commandée par la phase ϕ 2 de l'horloge. Pendant une lecture par le MPU, les sorties sur le bus données seront désactivées *intérieurement.* Quand il est nécessaire qu'un autre circuit commande le bus données, dans les applications d'accès direct mémoire par exemple, DBE sera tenu au niveau bas.

Si un temps de pré-établissement des données ou un temps de maintien plus long est nécessaire pour l'écriture du MPU, le temps d'impulsion au niveau bas de DBE peut être diminué comme le montre la figure 3 (DBE # ϕ 2). Le temps d'impulsion au niveau bas minimum pour DBE est t_{DBE} (tableau 4) et l'impulsion au niveau bas de DBE doit se produire pendant que ϕ 1 est au niveau haut. Le temps minimum entre le front descendant de DBE et le front descendant de ϕ 1 est t_{DBED}. En décalant DBE par rapport à E de cette manière, le temps de pré-établissement des données à l'écriture ou le temps de maintien peut être augmenté.

Lecture/Ecriture R/$\overline{\text{W}}$ (Read/$\overline{\text{Write}}$)

Cette sortie trois états compatible TTL indique aux circuits mémoires et périphériques que le MPU est soit dans l'état de lecture (R/$\overline{\text{W}}$ = 1) soit dans l'état d'écriture (R/$\overline{\text{W}}$ = 0). Au repos, l'état normal de ce signal est l'état haut (lecture). Cette sortie est dans l'état haute impédance quand le microprocesseur est à l'arrêt ou quand la ligne TSC est dans l'état haut. Cette sortie peut commander une charge TTL et 90 pF.

$\overline{\text{Reset}}$

L'entrée $\overline{\text{Reset}}$ est utilisée pour mettre à l'état initial et démarrer le MPU après une mise sous tension ou après une panne d'alimentation. Cette entrée peut aussi être utilisée pour remettre à l'état initial la machine à tout moment.

Le passage au niveau haut de cette entrée conduit le MPU à exécuter la séquence de démarrage. Pendant cette séquence, le contenu des deux derniers octets de la mémoire (octets d'adresse FFFE et FFFF) est chargé dans le compteur programme pour adresser le début du programme. Pendant cette séquence, le masque d'interruption (bit I du registre d'état) est positionné à un et il devra être remis à zéro pour que le MPU puisse être interrompu par une demande d'interruption $\overline{\text{IRQ}}$. Tant que l'entrée $\overline{\text{Reset}}$ est au niveau bas (après un minimum de 8 cycles d'horloge), les sorties du MPU sont dans les états suivants : VMA au niveau bas, BA au niveau bas, le bus données dans l'état haute impédance, R/$\overline{\text{W}}$ au niveau haut (état lecture) et le bus adresses contient l'adresse de démarrage FFFE. La figure 8 montre une séquence de mise sous tension. Après que la tension d'alimentation aura dépassé 4,75 V, il faut au moins huit cycles d'horloge pour que le microprocesseur se stabilise en vue du démarrage. Pendant ces huit cycles, VMA est dans un état indéterminé. Aussi, tout circuit pouvant accepter une écriture intempestive pendant ces huit cycles (comme par exemple une RAM alimentée par une batterie), doit être inhibé jusqu'à ce que VMA passe à l'état bas après huit cycles. $\overline{\text{Reset}}$ peut passer à l'état haut de manière asynchrone par rapport aux horloges du MPU, après le huitième cycle.

Le chronogramme de $\overline{\text{Reset}}$ est détaillé figure 8 et tableau 4. Les temps maximaux de montée et de descente du signal sont spécifiés par t_{PCr} et t_{PCf}. Si le signal $\overline{\text{Reset}}$ est au niveau haut à t_{PCS} (temps de pré-établissement d'une ligne de contrôle du microprocesseur), comme le montre la figure 8 pour n'importe quel cycle, alors la

séquence de démarrage commencera pendant le cycle suivant. La ligne de contrôle $\overline{Reset}$ peut aussi être utilisée pour remettre au point initial le système à tout moment pendant son fonctionnement. Ceci peut être fait en mettant $\overline{Reset}$ au niveau bas pendant au moins trois cycles complets de ϕ 2. L'impulsion $\overline{Reset}$ peut être totalement asynchrone avec les horloges du MPU et sera reconnue pendant ϕ 2 si la condition du pré-établissement t_{PCS} est remplie.

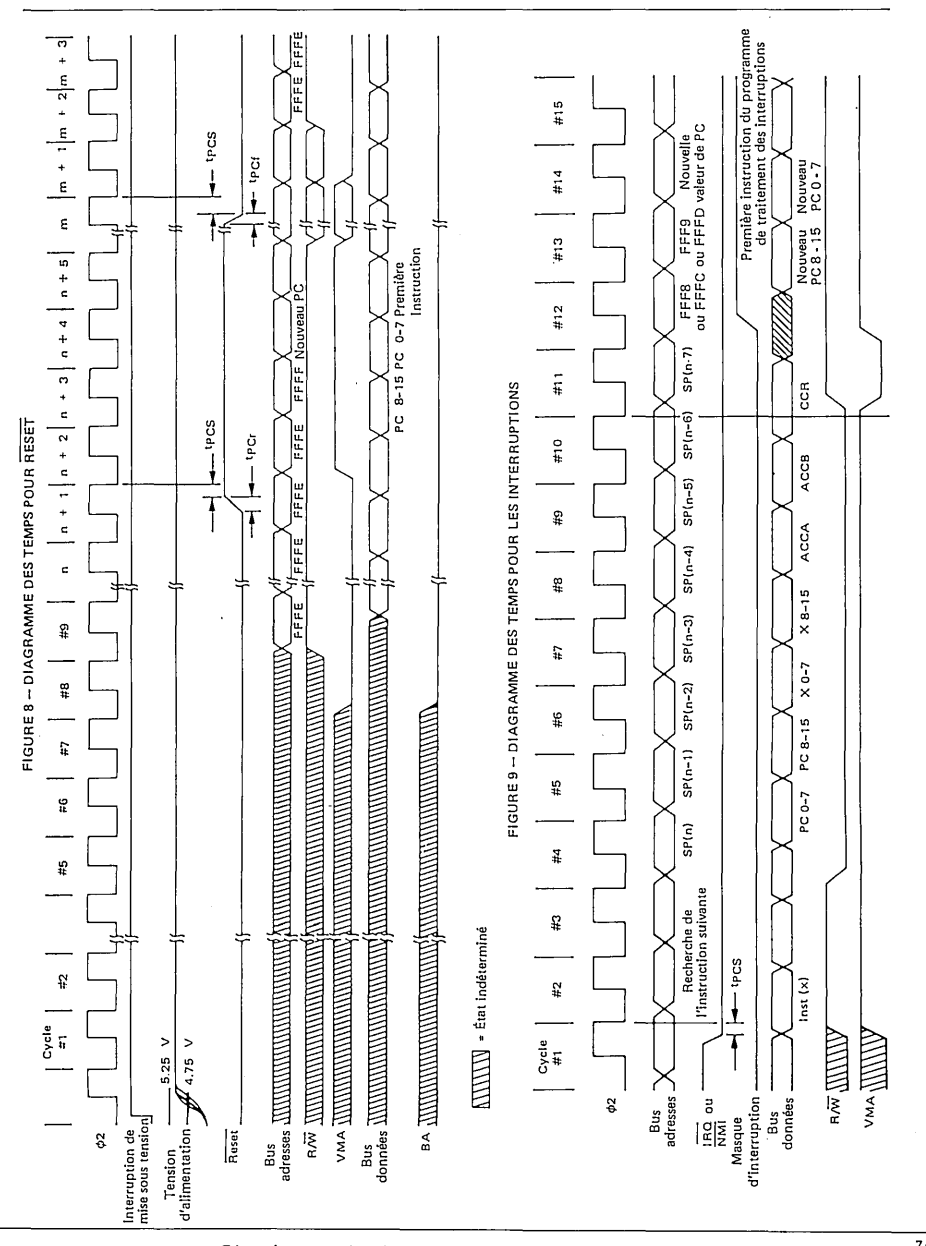


FIGURE 8 — DIAGRAMME DES TEMPS POUR $\overline{RESET}$

FIGURE 9 — DIAGRAMME DES TEMPS POUR LES INTERRUPTIONS

Demande d'interruption $\overline{IRQ}$ (Interrupt Request)

Cette entrée provoque une demande d'interruption quand elle passe du niveau haut au niveau bas. Le microprocesseur termine l'exécution de l'instruction en cours avant de prendre en compte la demande d'interruption. La demande d'interruption est prise en compte si le bit masque d'interruption du registre d'état (bit I) est à zéro. Alors, le microprocesseur exécute la séquence d'interruption. Le registre d'index, le compteur programme, les accumulateurs et le registre d'état sont sauvegardés dans la pile (voir figure 9). Le bit masque d'interruption est ensuite mis à un afin d'éviter la prise en compte d'autres interruptions. Enfin, le microprocesseur lit un vecteur situé dans les octets de mémoire d'adresses FFF8 et FFF9. Ce vecteur (ou pointeur associé aux demandes d'interruption) contient l'adresse d'un programme de traitement des demandes d'interruption auquel se branche le MPU.

La prise en compte des interruptions suppose que la ligne $\overline{Halt}$ est dans l'état haut. Les interruptions seront conservées intérieurement tant que $\overline{Halt}$ est dans l'état bas.

L'entrée $\overline{IRQ}$ possède une résistance de rappel au V_{CC} de haute impédance interne à la puce ; toutefois, il faut utiliser une résistance de rappel de 3 kΩ au V_{CC} pour réaliser un "OU câblé" et pour un contrôle optimal des interruptions.

Interruption non masquable $\overline{NMI}$ (Non Maskable Interrupt) et Attente d'interruption WAI (Wait for Interrupt)

Le microprocesseur EF6800 est capable de prendre en compte deux types d'interruptions : les interruptions masquables $\overline{IRQ}$ décrites plus haut, et les interruptions non-masquables $\overline{NMI}$. $\overline{IRQ}$ est masquable par le bit masque d'interruption (bit I du registre d'état) tandis que $\overline{NMI}$ n'est pas masquable. La prise en compte par le MPU de ces deux interruptions est semblable, sauf qu'elles ont chacune leur propre adresse de vecteur (ou pointeur). La figure 9 montre le comportement du MPU lors d'une interruption survenant pendant l'exécution du programme. L'interruption illustrée dans cette figure peut être soit $\overline{IRQ}$, soit $\overline{NMI}$ et peut être asynchrone par rapport à ϕ 2. La ligne d'interruption passe à l'état bas à t_{PCS} pendant le cycle n° 1 qui précède le premier cycle d'une instruction (recherche du code opération). Cette instruction n'est pas exécutée, mais le compteur programme (PC), le registre d'index (IX), les accumulateurs (ACCX) et le registre codes condition (CCR) sont mis dans la pile.

Le bit masque d'interruption est ensuite mis à un pour éviter la prise en compte d'autres interruptions. Le MPU recherche ensuite l'adresse du programme de traitement des interruptions dans les octets d'adresse FFFC et FFFD pour une interruption non-masquable et dans les octets d'adresse FFF8 et FFF9 pour une interruption $\overline{IRQ}$. Après l'exécution du programme de traitement des interruptions l'exécution de l'instruction RTI restaure l'état du MPU à celui d'avant l'interruption en retirant de la pile PC, IX, ACCX et CCR ; le bit masque d'interruption est restauré à son état d'avant interruption.

TABLEAU 1 – POSITIONS MEMOIRE POUR LES VECTEURS D'INTERRUPTION

Vecteur	Description
FFFE FFFF	Redémarrage (RESET)
FFFC FFFD	Interruption non-masquable ($\overline{NMI}$)
FFFA FFFB	Interruption programmée ($\overline{SWI}$)
FFF8 FFF9	Demande d'interruption ($\overline{IRQ}$)

La figure 11 montre une séquence d'interruption semblable mis à part que, dans ce cas, une instruction attente d'interruption WAI a été exécutée en préparation à l'interruption. Ceci permet d'accroître le temps de réponse du MPU à l'interruption car la sauvegarde des registres dans la pile est faite par l'instruction WAI. Pendant que le MPU est en attente d'une interruption, la ligne bus disponible BA passe au niveau haut indiquant ainsi que VMA est au niveau bas et que les bus adresses et données et la ligne R/$\overline{W}$ sont dans l'état haute impédance. Après l'arrivée de l'interruption, celle-ci est traitée comme précédemment.

Contrôle trois états TSC (Three State Control)

Quand la ligne de commande trois états (TSC) est au niveau logique 1, le bus adresses et la ligne R/$\overline{W}$ sont mis dans l'état haute impédance. VMA et BA sont forcés à l'état bas tant que TSC = 1 pour éviter la lecture ou l'écriture intempestive de tout circuit activé par VMA. Tant que TSC est tenue à l'état haut, les phases ϕ1 et ϕ2 doivent être respectivement maintenues à l'état haut et à l'état bas afin de suspendre l'exécution du programme (ce qui est nécessaire car les lignes des bus sont dans un état indéterminé). Le microprocesseur étant un circuit dynamique, les horloges peuvent être arrêtées pendant une durée maximale de $PW_{\phi H}$, sinon une perte d'informations à l'intérieur du MPU peut se produire. TSC peut être utilisé pour un accès direct mémoire (DMA) de courte durée.

La figure 12 montre les effets de TSC sur le MPU. Les transitions de TSC doivent se produire à t_{TSE} (activation trois états : three state enable) tandis que ϕ1 est maintenue à l'état haut et ϕ 2 à l'état bas. Le bus adresses et la ligne R/$\overline{W}$ passent dans l'état haute impédance à t_{TSD} (retard trois états : three state delay) tandis que VMA passe à l'état bas. Dans cet exemple le bus données est lui aussi dans l'état haute impédance car DBE = ϕ2 et ϕ2 est maintenue à l'état bas. Un transfert en accès direct mémoire peut être réalisé pendant les cycles 3 et 4. Quand TSC retourne à l'état bas, le MPU est reconnecté au bus à t_{TSD}. Le cycle 5 est inactif, car il est trop tard pour accéder à la mémoire, et est utilisé pour la synchronisation. L'exécution du programme reprend dans le cycle 6.

Adresse mémoire valide VMA (Valid Memory Address)

Cette sortie indique aux circuits périphériques qu'il y a une adresse valide sur le bus adresses (VMA = "1"). Généralement, ce signal sera utilisé pour la sélection des circuits tels que des PIA ou ACIA. Cette sortie n'est pas à trois-états et elle peut commander une charge TTL et 90 pF.

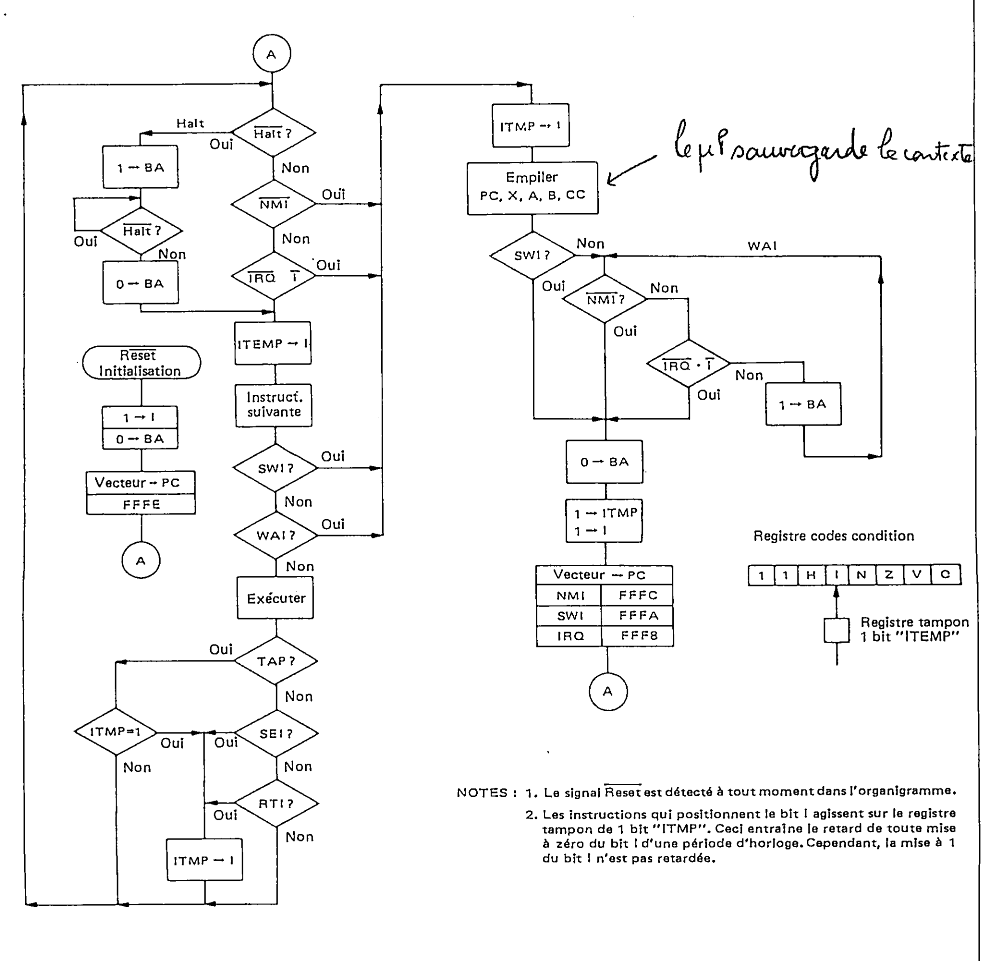
Halt.

Le MPU sera arrêté quand cette entrée sera au niveau bas. Cette entrée est sensible à un niveau.

L'entrée Halt permet la commande de l'exécution du programme par une source externe. Si l'entrée Halt est au niveau haut (état marche) le MPU exécute les instructions ; si elle est au niveau bas (état arrêt) le MPU passe à l'état arrêt ou repos. Le signal de réponse bus disponible BA donne une indication sur l'état courant du MPU. Quand BA est au niveau bas le MPU est dans le mode exécution du programme ; si BA est au niveau haut, le MPU est à l'arrêt et toute activité interne est arrêtée.

Quand BA est au niveau haut, les bus adresses et données et la ligne R/W sont dans l'état haute impédance déconnectant ainsi le MPU du bus du système. VMA est à l'état bas, et de ce fait, le bus du système qui est alors "flottant", n'activera aucun des circuits contrôlés par VMA.

FIGURE 10 – ORGANIGRAMME DU MPU



NOTES : 1. Le signal Reset est détecté à tout moment dans l'organigramme.

2. Les instructions qui positionnent le bit I agissent sur le registre tampon de 1 bit "ITMP". Ceci entraîne le retard de toute mise à zéro du bit I d'une période d'horloge. Cependant, la mise à 1 du bit I n'est pas retardée.

Tant que le MPU est à l'arrêt, toute activité d'exécution du programme est arrêtée. Si une interruption IRQ ou NMI se produit, elle sera conservée dans le MPU et elle sera prise en compte aussitôt que le MPU sera sorti de l'état Halt. Si une commande Reset se produit pendant que le MPU est à l'arrêt, les lignes de sorties du MPU passent dans les états suivants : VMA au niveau bas, BA au niveau bas, bus données dans l'état haute impédance, R/W au niveau haut (état lecture) et le bus adresses contiendra l'adresse FFFE tant que Reset est au niveau bas. Aussitôt que Halt passera au niveau haut, le MPU lira l'adresse du début du programme dans les octets d'adresse FFFE et FFFF.

La figure 13 montre le diagramme des temps pour l'arrêt du MPU. L'instruction considérée est une instruction d'un octet et d'une durée de deux cycles comme, par exemple l'instruction CLRA (mise à zéro de l'accumulateur A). Quand Halt passera au niveau bas, le microprocesseur s'arrêtera après la fin de l'exécution de l'instruction en cours. La transition de la ligne Halt doit se produire t_{PCS} avant le front descendant de la phase ϕ1 du dernier cycle d'une instruction (point A sur la figure 13). Halt ne doit pas passer au niveau bas plus tard que le t_{PCS} minimum spécifié.

La recherche du code opération (fetch) par le MPU correspond au premier cycle de l'instruction. Si Halt n'est pas au niveau bas au point A, mais au niveau bas pendant la phase ϕ 2 de ce cycle, le MPU ne s'arrêtera qu'après la fin de l'exécution de l'instruction suivante. BA passera au niveau haut au temps t_{BA} (temps de retard pour le signal bus disponible) après le dernier cycle de l'instruction. A ce moment là, VMA est au niveau bas et R/W, le bus adresses et le bus données sont dans l'état haute impédance.

La mise au point d'un programme est facilitée par son exécution pas à pas (instruction par instruction). Ceci est possible en portant la ligne Halt au niveau haut pendant un cycle d'horloge et ensuite en la ramenant au niveau bas comme le montre la figure 13 (point B). Les transitions de la ligne Halt doivent se produire à t_{PCS} avant le front descendant de ϕ 1. BA passera à l'état bas à t_{BA} après le front montant du ϕ 1 suivant, indiquant ainsi, que les bus ne sont plus disponibles. La figure 13 montre en exemple une instruction de un octet et d'une durée de deux cycles. Pendant le premier cycle, le MPU recherche le code opération de l'instruction. Après le dernier cycle de l'instruction, BA retourne à l'état haut à t_{BA}, indiquant ainsi que le MPU est déconnecté des bus. Si l'instruction avait durée trois cycles, la largeur du signal BA à l'état bas aurait augmenté de un cycle.

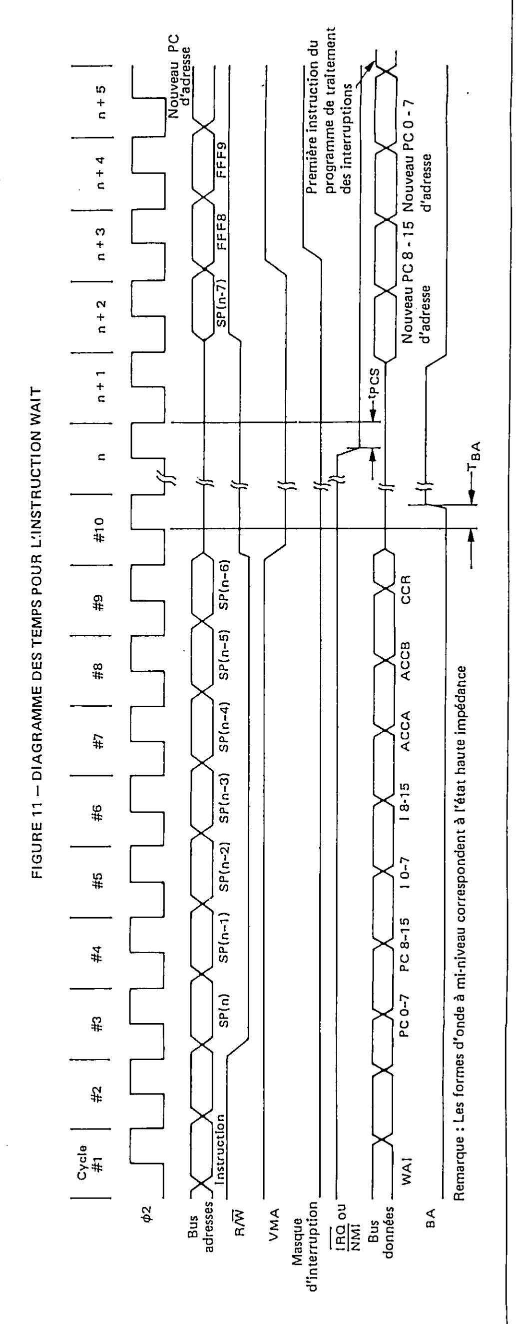


FIGURE 11 — DIAGRAMME DES TEMPS POUR L'INSTRUCTION WAIT

FIGURE 12 — DIAGRAMME DES TEMPS POUR LA COMMANDE TROIS ÉTATS

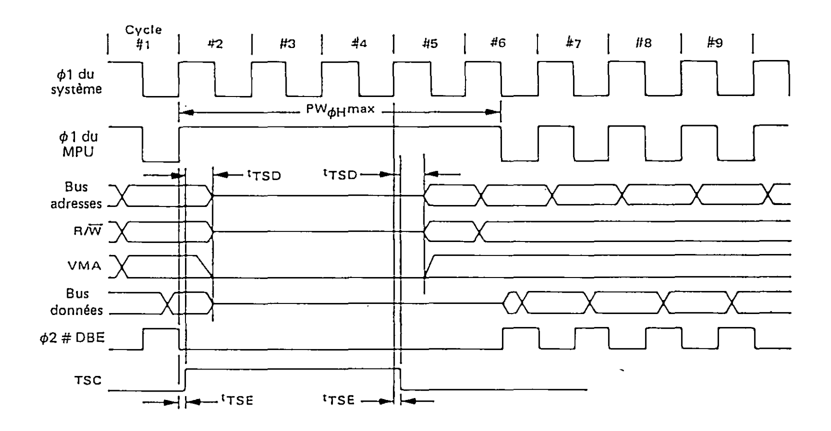
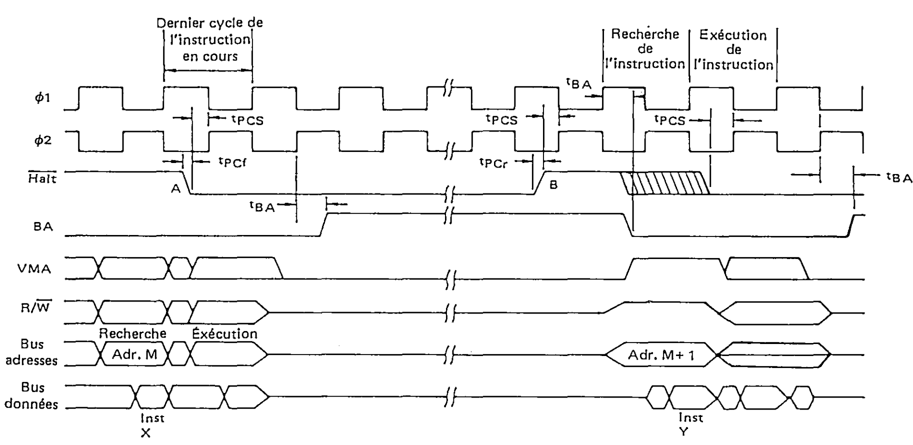


FIGURE 13 — DIAGRAMME DES TEMPS POUR HALT ET L'EXECUTION D'UNE SEULE INSTRUCTION POUR LA MISE AU POINT DU SYSTEME



Remarque : Les formes à mi-niveau correspondent à l'état haute impédance

REGISTRES INTERNES DU MPU

Le MPU a trois registres de 16 bits et trois registres de 8 bits accessibles par programme (figure 14).

Compteur Programme ou Compteur Ordinal (Program Counter)

Le compteur programme est un registre de 16 bits qui contient l'adresse courante dans le programme.

Pointeur de Pile (Stack Pointer)

Le pointeur de pile est un registre de 16 bits qui contient l'adresse de la position disponible dans une pile externe à fonctionnement "dernier entré", "premier sorti". Cette pile est généralement en mémoire lecture/écriture RAM et peut se situer à n'importe quelle adresse. Dans les applications qui demandent la sauvegarde d'informations dans la pile en cas de coupure de l'alimentation, la pile sera de type non volatile.

Registre Index (Index Register)

Le registre index est un registre de 16 bits qui peut être utilisé pour des transferts de données ou comme index dans le mode d'adressage indexé.

Accumulateurs

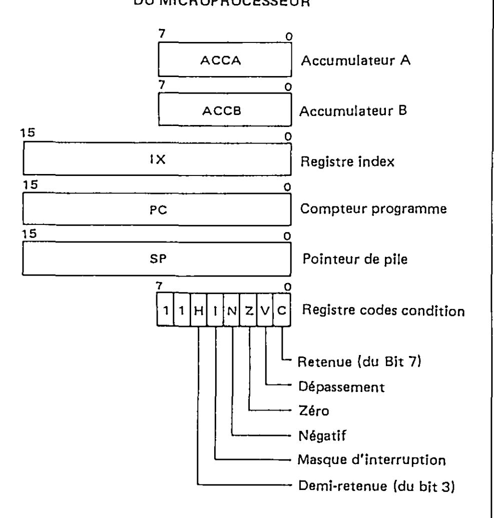
Le MPU possède deux accumulateurs (Accumulateur A et accumulateur B) qui sont utilisés pour contenir des opérandes et des résultats de l'unité arithmétique et logique (ALU).

Registre Codes Condition (Condition Code Register)

Le registre codes condition contient le bit masque d'interruption (I) et cinq bits indiquant les résultats d'une opération de l'unité arithmétique et logique : négatif (N), zéro (Z), dépassement en complément à deux (V), retenue du bit 7 (C) et demi-retenue (retenue du bit 3) (H). Les bits 6 et 7 du registre codes condition sont à un. Les bits du registre codes condition sont utilisés comme codes condition test dans les instructions de branchement conditionnel.

La figure 12 montre la sauvegarde de l'état du microprocesseur dans la pile.

FIGURE 14 — REGISTRES PROGRAMMABLES DU MICROPROCESSEUR



JEU D'INSTRUCTIONS DU EF6800

Les instructions du microprocesseur EFCIS EF6800 sont décrites en détail dans le manuel de programmation de la famille 6800. Ce chapitre consiste en une brève introduction puis décrit l'utilisation de ces instructions par des exemples de programmes. Le EF6800 a un jeu de 72 instructions de base différentes comportant l'arithmétique binaire et décimale, la logique booléenne, les décalages et les rotations, chargement et rangement, branchements conditionnels et inconditionnels, traitement des interruptions et opérations sur la pile.

Chacune des 72 instructions exécutables du langage source est assemblée en 1 à 3 octets de code machine. Le nombre d'octets dépend de la nature de l'instruction et du mode d'adressage (les modes d'adressage utilisables pour chaque instruction sont présentés ultérieurement).

Le premier (ou seul) octet d'une instruction suffit à identifier l'instruction et son mode d'adressage. Les équivalents en hexadécimal des divers codes binaires résultant du codage des 72 instructions combinées avec leurs modes d'adressage autorisés sont indiqués tableau 6. Il y a 197 codes valides utilisés parmi les 256 possibles.

Quand une instruction comporte 2 ou 3 octets de code machine, le second (ou le second et le troisième) contient un opérande, une adresse ou une information permettant en cours d'exécution d'obtenir une adresse.

Les instructions des microprocesseurs sont souvent classées en 3 groupes généraux : (1) référence mémoire car elles opèrent sur des emplacements mémoire ; (2) instructions fonctionnant sans faire référence à la mémoire ; (3) instructions d'E/S de transfert de données entre le microprocesseur et les périphériques.

Dans nombre de cas, les instructions du EF6800 s'exécutent sur les accumulateurs internes et sur des emplacements mémoire externes. De plus les circuits d'interface (PIA et ACIA) permettent au microprocesseur de traiter les périphériques comme des emplacements mémoire, de sorte qu'aucune instruction d'E/S n'est nécessaire. Tout cela impose une classification différente, plus appropriée, des instructions : (1) opérations sur accumulateurs et mémoires ; (2) opérations de contrôle de programme. (3) opérations sur le registre codes condition.

TABLEAU 6 — VALEURS HEXADÉCIMALES DES CODES MACHINES

00	*			40	NEG	A		80	SUB	A	IMM	C0	SUB	B	IMM
01	NOP			41	*			81	CMP	A	IMM	C1	CMP	B	IMM
02	*			42	*			82	SBC	A	IMM	C2	SBC	B	IMM
03	*			43	COM	A		83	*			C3	*		
04	*			44	LSR	A		84	AND	A	IMM	C4	AND	B	IMM
05	*			45	*			85	BIT	A	IMM	C5	BIT	B	IMM
06	TAP			46	ROR	A		86	LDA	A	IMM	C6	LDA	B	IMM
07	TPA			47	ASR	A		87	*			C7	*		
08	INX			48	ASL	A		88	EOR	A	IMM	C8	EOR	B	IMM
09	DEX			49	ROL	A		89	ADC	A	IMM	C9	ADC	B	IMM
0A	CLV			4A	DEC	A		8A	ORA	A	IMM	CA	ORA	B	IMM
0B	SEV			4B	*			8B	ADD	A	IMM	CB	ADD	B	IMM
0C	CLC			4C	INC	A		8C	CPX	A	IMM	CC	*		
0D	SEC			4D	TST	A		8D	BSR		REL	CD	*		
0E	CLI			4E	*			8E	LDS		IMM	CE	LDX		IMM
0F	SEI			4F	CLR	A		8F	*			CF	*		
10	SBA			50	NEG	B		90	SUB	A	DIR	D0	SUB	B	DIR
11	CBA			51	*			91	CMP	A	DIR	D1	CMP	B	DIR
12	*			52	*			92	SBC	A	DIR	D2	SBC	B	DIR
13	*			53	COM	B		93	*			D3	*		
14	*			54	LSR	B		94	AND	A	DIR	D4	AND	B	DIR
15	*			55	*			95	BIT	A	DIR	D5	BIT	B	DIR
16	TAB			56	ROR	B		96	LDA	A	DIR	D6	LDA	B	DIR
17	TBA			57	ASR	B		97	STA	A	DIR	D7	STA	B	DIR
18	*			58	ASL	B		98	EOR	A	DIR	D8	EOR	B	DIR
19	DAA			59	ROL	B		99	ADC	A	DIR	D9	ADC	B	DIR
1A	*			5A	DEC	B		9A	ORA	A	DIR	DA	ORA	B	DIR
1B	ABA			5B	*			9B	ADD	A	DIR	DB	ADD	B	DIR
1C	*			5C	INC	B		9C	CPX		DIR	DC	*		
1D	*			5D	TST	B		9D	*			DD	*		
1E	*			5E	*			9E	LDS		DIR	DE	LDX		DIR
1F	*			5F	CLR	B		9F	STS		DIR	DF	STX		DIR
20	BRA		REL	60	NEG		IND	A0	SUB	A	IND	E0	SUB	B	IND
21	*			61	*			A1	CMP	A	IND	E1	CMP	B	IND
22	BHI		REL	62	*			A2	SBC	A	IND	E2	SBC	B	IND
23	BLS		REL	63	COM		IND	A3	*			E3	*		
24	BCC		REL	64	LSR		IND	A4	AND	A	IND	E4	AND	B	IND
25	BCS		REL	65	*			A5	BIT	A	IND	E5	BIT	B	IND
26	BNE		REL	66	ROR		IND	A6	LDA	A	IND	E6	LDA	B	IND
27	BEQ		REL	67	ASR		IND	A7	STA	A	IND	E7	STA	B	IND
28	BVC		REL	68	ASL		IND	A8	EOR	A	IND	E8	EOR	B	IND
29	BVS		REL	69	ROL		IND	A9	ADC	A	IND	E9	ADC	B	IND
2A	BPL		REL	6A	DEC		IND	AA	ORA	A	IND	EA	ORA	B	IND
2B	BMI		REL	6B	*			AB	ADD	A	IND	EB	ADD	B	IND
2C	BGE		REL	6C	INC		IND	AC	CPX		IND	EC	*		
2D	BLT		REL	6D	TST		IND	AD	JSR		IND	ED	*		
2E	BGT		REL	6E	JMP		IND	AE	LDS		IND	EE	LDX		IND
2F	BLE		REL	6F	CLR		IND	AF	STS		IND	EF	STX		IND
30	TSX			70	NEG		EXT	B0	SUB	A	EXT	F0	SUB	B	EXT
31	INS			71	*			B1	CMP	A	EXT	F1	CMP	B	EXT
32	PUL	A		72	*			B2	SBC	A	EXT	F2	SBC	B	EXT
33	PUL	B		73	COM		EXT	B3	*			F3	*		
34	DES			74	LSR		EXT	B4	AND	A	EXT	F4	AND	B	EXT
35	TXS			75	*			B5	BIT	A	EXT	F5	BIT	B	EXT
36	PSH	A		76	ROR		EXT	B6	LDA	A	EXT	F6	LDA	B	EXT
37	PSH	B		77	ASR		EXT	B7	STA	A	EXT	F7	STA	B	EXT
38	*			78	ASL		EXT	B8	EOR	A	EXT	F8	ADC	B	EXT
39	RTS			79	ROL		EXT	B9	ADC	A	EXT	F9	ADC	B	EXT
3A	*			7A	DEC		EXT	BA	ORA	A	EXT	FA	ORA	B	EXT
3B	RTI			7B	*			BB	ADD	A	EXT	FB	ADD	B	EXT
3C	*			7C	INC		EXT	BC	CPX		EXT	FC	*		
3D	*			7D	TST		EXT	BD	JSR		EXT	FD	*		
3E	WAI			7E	JMP		EXT	BE	LDS		EXT	FE	LDX		EXT
3F	SWI			7F	CLR		EXT	BF	STS		EXT	FF	STX		EXT

NOTES : 1. Modes d'adressages
A = accumulateur A
B = accumulateur B
REL = relatif
IND = indexé
IMM = immédiat
DIR = direct
EXT = étendu

2. Codes non valides indiqués par "*".

Instructions	Mnémonique	Immédiat			Direct			Indexé			Etendu			Implicite			Opération arithmétique booléenne	5	4	3	2	1	0
		OP	~	#	OP	~	#	OP	~	#	OP	~	#	OP	~	#		H	I	N	Z	V	C
Addition	ADDA	8B	2	2	9B	3	2	AB	5	2	BB	4	3				A + M → A	↕	•	↕	↕	↕	↕
	ADDB	CB	2	2	DB	3	2	EB	5	2	FB	4	3				B + M → B	↕	•	↕	↕	↕	↕
Add. Accumulateurs	ABA													1B	2	1	A + B → A	↕	•	↕	↕	↕	↕
Add. avec retenue	ADCA	89	2	2	99	3	2	A9	5	2	B9	4	3				A + M + C → A	↕	•	↕	↕	↕	↕
	ADCB	C9	2	2	D9	3	2	E9	5	2	F9	4	3				B + M + C → B	↕	•	↕	↕	↕	↕
"ET" logique	ANDA	84	2	2	94	3	2	A4	5	2	B4	4	3				A · M → A	•	•	↕	↕	R	•
	ANDB	C4	2	2	D4	3	2	E4	5	2	F4	4	3				B · M → B	•	•	↕	↕	R	•
Test de bit	BITA	85	2	2	95	3	2	A5	5	2	B5	4	3				A · M	•	•	↕	↕	R	•
	BITB	C5	2	2	D5	3	2	E5	5	2	F5	4	3				B · M	•	•	↕	↕	R	•
Remise à zéro	CLR							6F	7	2	7F	6	3				00 → M	•	•	R	S	R	R
	CLRA													4F	2	1	00 → A	•	•	R	S	R	R
	CLRB													5F	2	1	00 → B	•	•	R	S	R	R
Comparaison	CMPA	81	2	2	91	3	2	A1	5	2	B1	4	3				A – M	•	•	↕	↕	↕	↕
	CMPB	C1	2	2	D1	3	2	E1	5	2	F1	4	3				B – M	•	•	↕	↕	↕	↕
Comparaison accumulateurs	CBA													11	2	1	A – B	•	•	↕	↕	↕	↕
Complément à 1	COM							63	7	2	73	6	3				$\overline{M}$ → M	•	•	↕	↕	R	S
	COMA													43	2	1	$\overline{A}$ → A	•	•	↕	↕	R	S
	COMB													53	2	1	$\overline{B}$ → B	•	•	↕	↕	R	S
Complément à 2 (negatif)	NEG							60	7	2	70	6	3				00 – M → M	•	•	↕	↕	①	②
	NEGA													40	2	1	00 – A → A	•	•	↕	↕	①	②
	NEGB													50	2	1	00 – B → B	•	•	↕	↕	①	②
Ajustement décimal sur A	DAA													19	2	1	convertir le résultat de l'addition de caractères BCD en format BCD	•	•	↕	↕	↕	③
Décrémentation	DEC							6A	7	2	7A	6	3				M – 1 → M	•	•	↕	↕	4	•
	DECA													4A	2	1	A – 1 → A	•	•	↕	↕	4	•
	DECB													5A	2	1	B – 1 → B	•	•	↕	↕	4	•
"OU" exclusif	EORA	88	2	2	98	3	2	A8	5	2	B8	4	3				A ⊕ M → A	•	•	↕	↕	R	•
	EORB	C8	2	2	D8	3	2	E8	5	2	F8	4	3				B ⊕ M → B	•	•	↕	↕	R	•
Incrémentation	INC							6C	7	2	7C	6	3				M + 1 → M	•	•	↕	↕	⑤	•
	INCA													4C	2	1	A + 1 → A	•	•	↕	↕	⑤	•
	INCB													5C	2	1	B + 1 → B	•	•	↕	↕	⑤	•
Chargement accumulateurs	LDAA	86	2	2	96	3	2	A6	5	2	B6	4	3				M → A	•	•	↕	↕	R	•
	LDAB	C6	2	2	D6	3	2	E6	5	2	F6	4	3				M → B	•	•	↕	↕	R	•
"OU" logique	ORAA	8A	2	2	9A	3	2	AA	5	2	BA	4	3				A + M → A	•	•	↕	↕	R	•
	ORAB	CA	2	2	DA	3	2	EA	5	2	FA	4	3				B + M → B	•	•	↕	↕	R	•
Mise des données dans la pile	PSHA													36	4	1	A → M_{SP}, SP – 1 → SP	•	•	•	•	•	•
	PSHB													37	4	1	B → M_{SP}, SP – 1 → SP	•	•	•	•	•	•
Chargement d'accu. à partir de la pile	PULA													32	4	1	SP + 1 → SP, M_{SP} → A	•	•	•	•	•	•
	PULB													33	4	1	SP + 1 → SP, M_{SP} → B	•	•	•	•	•	•
Décalage circulaire vers la gauche	ROL							69	7	2	79	6	3				M	•	•	↕	↕	⑥	↕
	ROLA													49	2	1	A (C ← b7 ← b0)	•	•	↕	↕	⑥	↕
	ROLB													59	2	1	B	•	•	↕	↕	⑥	↕
Décalage circulaire vers la droite	ROR							66	7	2	76	6	3				M	•	•	↕	↕	⑥	↕
	RORA													46	2	1	A (C → b7 → b0)	•	•	↕	↕	⑥	↕
	RORB													56	2	1	B	•	•	↕	↕	⑥	↕
Décalage arithmétique vers la gauche	ASL							68	7	2	78	6	3				M	•	•	↕	↕	⑥	↕
	ASLA													48	2	1	A (C ← b7 ← b0 ← 0)	•	•	↕	↕	⑥	↕
	ASLB													58	2	1	B	•	•	↕	↕	⑥	↕
Décalage arithmétique vers la droite	ASR							67	7	2	77	6	3				M	•	•	↕	↕	⑥	↕
	ASRA													47	2	1	A (b7 → b0 → C)	•	•	↕	↕	⑥	↕
	ASRB													57	2	1	B	•	•	↕	↕	⑥	↕
Décalage logique vers la droite	LSR							64	7	2	74	6	3				M	•	•	R	↕	⑥	↕
	LSRA													44	2	1	A (0 → b7 → b0 → C)	•	•	R	↕	⑥	↕
	LSRB													54	2	1	B	•	•	R	↕	⑥	↕
Mise en mémoire de l'accumulateur	STAA				97	4	2	A7	6	2	B7	5	3				A → M	•	•	↕	↕	R	•
	STAB				D7	4	2	E7	6	2	F7	5	3				B → M	•	•	↕	↕	R	•
Soustraction	SUBA	80	2	2	90	3	2	A0	5	2	B0	4	3				A – M → A	•	•	↕	↕	↕	↕
	SUBB	C0	2	2	D0	3	2	E0	5	2	F0	4	3				B – M → B	•	•	↕	↕	↕	↕
Soustraction accumulateur	SBA													10	2	1	A – B → A	•	•	↕	↕	↕	↕
Soustraction avec retenue	SBCA	82	2	2	92	3	2	A2	5	2	B2	4	3				A – M – C → A	•	•	↕	↕	↕	↕
	SBCB	C2	2	2	D2	3	2	E2	5	2	F2	4	3				B – M – C → B	•	•	↕	↕	↕	↕
Transfert entre accumulateurs	TAB													16	2	1	A → B	•	•	↕	↕	R	•
	TBA													17	2	1	B → A	•	•	↕	↕	R	•
Test (zéro ou négatif)	TST							6D	7	2	7D	6	3				M – 00	•	•	↕	↕	R	R
	TSTA													4D	2	1	A – 00	•	•	↕	↕	R	R
	TSTB													5D	2	1	B – 00	•	•	↕	↕	R	R
																		H	I	N	Z	V	C

LEGENDE :

- OP Code opération (hexadécimal)
- ~ Nombre de cycles d'horloge
- # Nombre d'octets de programme
- + Plus arithmétique
- – Moins arithmétique
- . "ET" logique
- M_{SP} Contenu de l'octet mémoire adressé par le pointeur de pile

- + "OU" logique
- ⊕ "OU" exclusif
- $\overline{M}$ Complément de M
- → Transfert dans
- 0 Bit = zéro
- 00 Octet = zéro

Note : Les instructions utilisant le mode d'adressage d'accumulateur sont incluses dans la colonne pour l'adressage implicite

SYMBOLES DES CODES CONDITION

- H Demi-retenue (du bit 3)
- I Masque d'interruption
- N Négatif (bit du signe)
- Z Zéro (octet)
- V Dépassement (en complément à 2)
- C Retenue du bit 7
- R Toujours mis à 1
- S Toujours mis à zéro
- ↕ Test et mis à un si vrai ; si non mis à zéro
- • Inchangé

TABLEAU 7 – SUITE

NOTES POUR LE REGISTRE D'ÉTAT : (Bit mis à un si le test est vrai et mis à zéro si non)

1 (Bit V) Test : Résultat 10000000 ?
2 (Bit C) Test : Résultat 00000000 ?
3 (Bit C) Test : Valeur décimale du caractère BCD de poids fort plus grand que 9 ? (non remis à zéro si précédemment mis à 1)
4 (Bit V) Test : Opérande= 10000000 avant exécution :
5 (Bit V) Test : Opérande= 01111111 avant exécution ?
6 (Bit V) Test : Prend la valeur de N⊕C après décalage ?

OPÉRATIONS DE CONTROLE DE PROGRAMME

Ces opérations peuvent être décomposées en deux catégories : (1) instructions portant sur le registre index et sur le pointeur de pile ; (2) opérations de saut et de branchement.

Opérations sur le registre index et sur le pointeur de pile.

Les instructions agissant directement sur le registre index et le pointeur de pile sont résumées dans le tableau 8. Les instructions de décrémentation (DEX, DES) d'incrémentation (INX, INS), chargement (LDX, LDS) et mise en mémoire (STX, STS) agissent sur les 2. L'instruction de comparaison CPX peut être utilisée pour comparer le registre index à une valeur 16 bits ; elle met à jour le registre codes condition en fonction du résultat.

L'instruction TSX met dans le registre index l'adresse du dernier octet empilé. L'instruction TXS charge le pointeur de pile avec une valeur égale au contenu du registre index moins un.

Ceci permet à l'octet dont l'adresse est dans le registre index d'être considéré comme le dernier octet rangé dans la pile. L'usage de ces deux instructions peut être clarifié par la description du concept de pile du EF6800.

On peut concevoir une "pile" comme étant une liste séquentielle de données rangées dans la mémoire. Le pointeur de pile contient une adresse 16 bits utilisée pour accéder à la liste par une extrémité sur une base de "dernier entré-premier sorti" (LIFO) par opposition à l'accès direct utilisé dans les autres modes d'adressage.

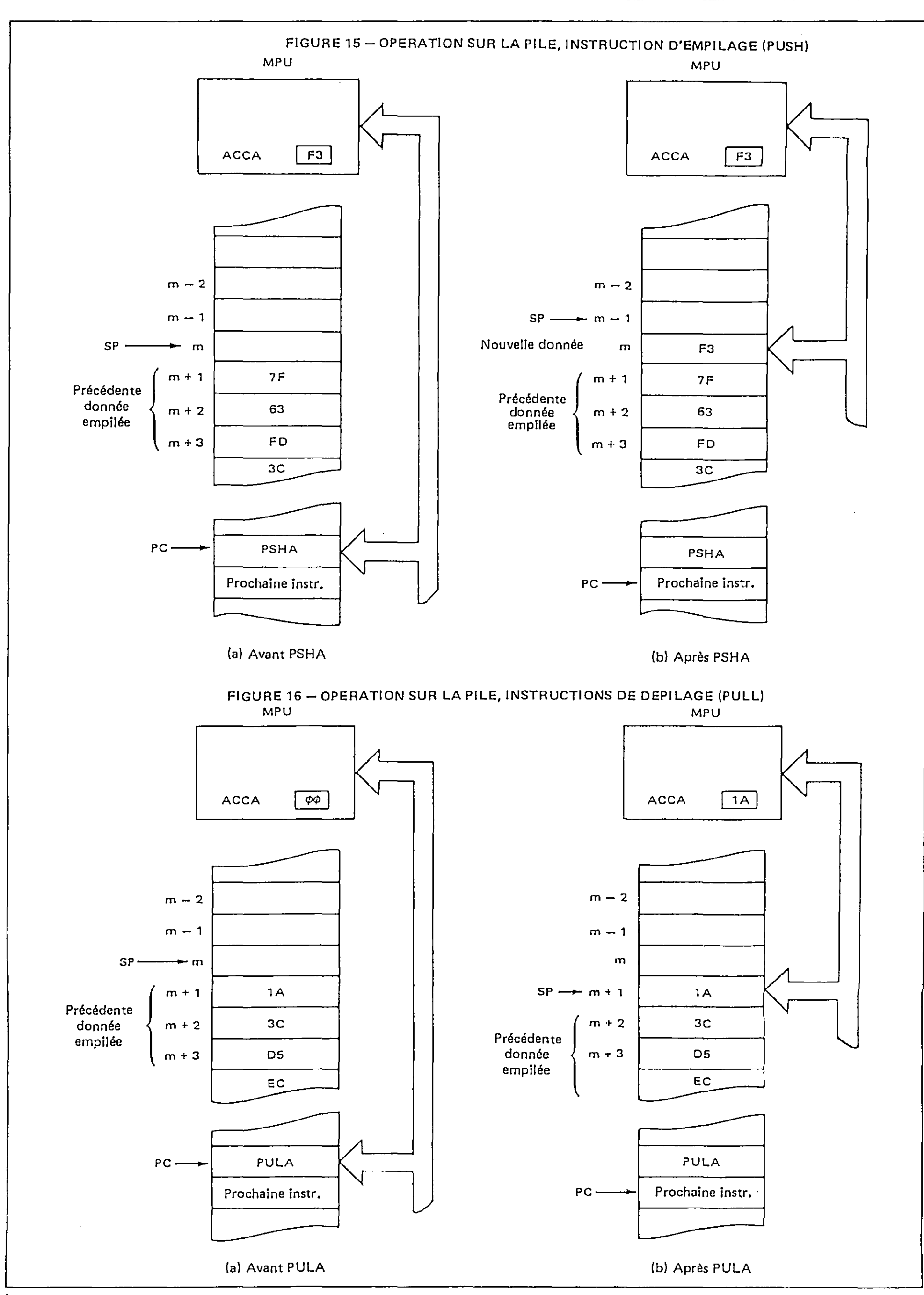
Le jeu d'instructions du EF6800 et la structure des interruptions permettent d'utiliser efficacement le concept de pile pour manipuler les mouvements de données, les sous-programmes et les interruptions. Les instructions sont conçues de manière à pouvoir utiliser une ou plusieurs piles situées n'importe où en mémoire vive. La longueur d'une pile n'est limitée que par la taille mémoire utilisable.

TABLEAU 8 – INSTRUCTIONS SUR LE REGISTRE D'INDEX ET LE POINTEUR DE PILE

Instructions	Mnémonique	Modes d'adressage: Immédiat			Direct			Indexé			Etendu			Implicite			Opération arithmétique booléenne	Registre codes condition: 5	4	3	2	1	0
		OP	~	=	OP	~	=	OP	~	#	OP	~	#	OP	~	#		H	I	N	Z	V	C
Comparaison de X	CPX	8C	3	3	9C	4	2	AC	6	2	BC	5	3				$X_H - M, X_L - (M+1)$	•	•	①	↕	②	•
Décrémentation de X	DEX													09	4	1	$X-1 \to X$	•	•	•	↕	•	•
Décrémentation du SP	DES													34	4	1	$SP-1 \to SP$	•	•	•	•	•	•
Incrémentation de X	INX													08	4	1	$X+1 \to X$	•	•	•	↕	•	•
Incrémentation du SP	INS													31	4	1	$SP+1 \to SP$	•	•	•	•	•	•
Chargement de X	LDX	CE	3	3	DE	4	2	EE	6	2	FE	5	3				$M \to X_H, (M+1) \to X_L$	•	•	③	↕	R	•
Chargement du SP	LDS	8E	3	3	9E	4	2	AE	6	2	BE	5	3				$M \to SP_H, (M+1) \to SP_L$	•	•	③	↕	R	•
Mise en mémoire de X	STX				DF	5	2	EF	7	2	FF	6	3				$X_H \to M, X_L \to (M+1)$	•	•	③	↕	R	•
Mise en mémoire du SP	STS				9F	5	2	AF	7	2	BF	6	3				$SP_H \to M, SP_L \to (M+1)$	•	•	③	↕	R	•
Transfert X → SP	TXS													35	4	1	$X-1 \to SP$	•	•	•	•	•	•
Transfert SP → X	TSX													30	4	1	$SP+1 \to X$	•	•	•	•	•	•

1 (Bit N) Test : Bit de signe de l'octet de poids fort = 1 ?
2 (Bit V) Test : Dépassement en complément à deux dans la soustraction des octets de poids fort ?
3 (Bit N) Test : Résultat négatif ? (bit 15 = 1)

FIGURE 15 – OPERATION SUR LA PILE, INSTRUCTION D'EMPILAGE (PUSH)



(a) Avant PSHA

(b) Après PSHA

FIGURE 16 – OPERATION SUR LA PILE, INSTRUCTIONS DE DEPILAGE (PULL)

(a) Avant PULA

(b) Après PULA

Le fonctionnement du pointeur de pile lors des instructions d'empilement *(PUSH) et de dépilement* (PULL) est décrit par les figures 15 et 16. L'instruction d'empilement (PSHA) range le contenu de l'accumulateur concerné (A dans cet exemple) à l'emplacement mémoire dont l'adresse est contenue dans le pointeur de pile. Celui-ci est décrémenté de 1 après le rangement en mémoire, pointant ainsi le prochain élément libre de la pile. L'instruction de dépilement (PULA ou PULB) charge dans l'accumulateur approprié le contenu du dernier octet empilé. Le pointeur de pile est incrémenté de 1 juste avant le transfert de la donnée, pour qu'il pointe le dernier octet empilé au lieu du premier emplacement libre. Il est à remarquer que l'instruction de dépilement (PULL) n'enlève pas la donnée de la mémoire ; Dans l'exemple de la figure 16, 1A est toujours à l'adresse (m + 1) après l'exécution de PULA. Par contre une instruction de type PUSH exécutée ultérieurement réécrira cette mémoire avec la nouvelle donnée empilée.

L'exécution d'une instruction de branchement ou de saut à un sous-programme (BSR ou JSR) réalise l'empilement de l'adresse de retour (voir les figures 18 à 20). Chaque fois qu'une adresse de retour est empilée, la pile est décrémentée. Pour ces deux instructions, l'adresse de retour empilée est l'adresse de l'instruction qui suit les octets des codes des instructions BSR et JSR. Le nombre d'octets occupés par ces instructions est de 2 (BSR, ou JSR en adressage indexé) ou de 3 (JSR en adressage étendu.

Avant d'être empilé, le programme compteur (PC) est incrémenté correctement pour qu'il contienne l'adresse de l'instruction suivante. L'instruction RTS de retour de sous-programme a pour effet de recharger le programme-compteur (PC) avec cette valeur (voir la figure 21).

Il y a plusieurs opérations qui sauvegardent l'état du microprocesseur (MPU) sur la pile. L'instruction d'interruption programmée (SWI) et d'attente d'interruption (WAI), les interruptions masquables ($\overline{IRQ}$) ou non masquables ($\overline{NMI}$) provoquent l'empilement des registres internes du EF6800 (sauf du pointeur de pile lui-même). voir la figure 23. L'état du MPU (c'est-à-dire de ses registres) est restauré grâce à l'instruction (RTI) (figure 22).

Instructions de saut et de branchement

Le tableau 9 récapitule les instructions de saut et branchement. Ces instructions servent à transférer le contrôle du programme d'un point à un autre.

L'instruction de "non operation" (NOP) notifiée dans cette table, est une instruction de saut ayant une signification très limitée. Son seul effet d'incrémenter le programme compteur de 1. Cette instruction est utile lors du développement des programmes pour remplacer une instruction qui sera définie au moment de la mise au point. Cette instruction sert aussi à rendre égaux, en terme de temps d'exécution, des branches alternatives de programme.

TABLEAU 9 – INSTRUCTION DE SAUT ET DE BRANCHEMENT

nbre cycles ↑ nbre octets ↑

Instructions	Mnémonique	Modes d'adressage: Relatif			Indexé			Etendu			Implicite			Test de branchement	Registre codes condition: 5	4	3	2	1	0
		OP	~	#	OP	~	#	OP	~	#	OP	~	#		H	I	N	Z	V	C
Branch. inconditionnel	BRA	20	4	2										Nul	•	•	•	•	•	•
Branch. si retenue à 0	BCC	24	4	2										$C = 0$	•	•	•	•	•	•
Branch. si retenue à 1	BCS	25	4	2										$C = 1$	•	•	•	•	•	•
Branch. si = 0	BEQ	27	4	2										$Z = 1$	•	•	•	•	•	•
Branch. si ⩾ 0	BGE	2C	4	2										$N \oplus V = 0$	•	•	•	•	•	•
Branch. si > 0	BGT	2E	4	2										$Z + (N \oplus V) = 0$	•	•	•	•	•	•
Branch. si supérieur	BHI	22	4	2										$C + Z = 0$	•	•	•	•	•	•
Branch. si ⩽ 0	BLE	2F	4	2										$Z + (N \oplus V) = 1$	•	•	•	•	•	•
Branch. si ⩽	BLS	23	4	2										$C + Z = 1$	•	•	•	•	•	•
Branch. si < 0	BLT	2D	4	2										$N \oplus V = 1$	•	•	•	•	•	•
Branch. si négatif	BMI	2B	4	2										$N = 1$	•	•	•	•	•	•
Branch. si non égal à 0	BNE	26	4	2										$Z = 0$	•	•	•	•	•	•
Branch. si non dépassement	BVC	28	4	2										$V = 0$	•	•	•	•	•	•
Branch. si dépassement	BVS	29	4	2										$V = 1$	•	•	•	•	•	•
Branch. si positif	BPL	2A	4	2										$N = 0$	•	•	•	•	•	•
Branch. à un sous-program.	BSR	8D	8	2											•	•	•	•	•	•
Saut	JMP				6E	4	2	7E	3	3				voir opérations spéciales	•	•	•	•	•	•
Saut à un sous-programme	JSR				AD	8	2	BD	9	3					•	•	•	•	•	•
Non opération	NOP										01	2	1	Passage en séquence	•	•	•	•	•	•
Retour d'interruption	RTI										3B	10	1				①			
Retour de sous-programme	RTS										39	5	1		•	•	•	•	•	•
Interruption programmée	SWI										3F	12	1	voir opérations spéciales	•	•	•	•	•	•
Attente d'interruption *	WAI										3E	9	1		•	②	•	•	•	•

*WAI positionne le Bus Adresse et Données et la ligne R/$\overline{W}$ dans l'état haute impédance tandis que VMA est tenue à l'état bas.

① (Tous) Chargement du registre d'état à partir de la pile (voir opérations spéciales)
② (Bit 1) Mis à un quand arrive une instruction. Si mis à un précédemment, une interruption non-masquable est nécessaire.

L'exécution d'une instruction de saut JMP ou de branchement BRA affecte le déroulement du programme comme montré à la figure 17. Quand le microprocesseur exécute une instruction de saut en mode d'adressage indexé, il additionne le déplacement à la valeur du registre index X et interprète le résultat comme étant l'adresse de la prochaine instruction à exécuter. Dans le cas de l'adressage étendu, l'adresse de la prochaine instruction est donnée par les deux octets suivant l'instruction de saut JMP. L'instruction de branchement inconditionnel (BRA) est identique à l'instruction JMP en mode d'adressage étendu, si ce n'est que le mode utilisé est le relatif, et que la fenêtre de branchement permise se situe dans les limites de − 125 à + 127 octets de part et d'autre de l'instruction elle-même. Le code d'une instruction BRA occupe un octet de moins que JMP en étendu mais prend un cycle d'horloge de plus.

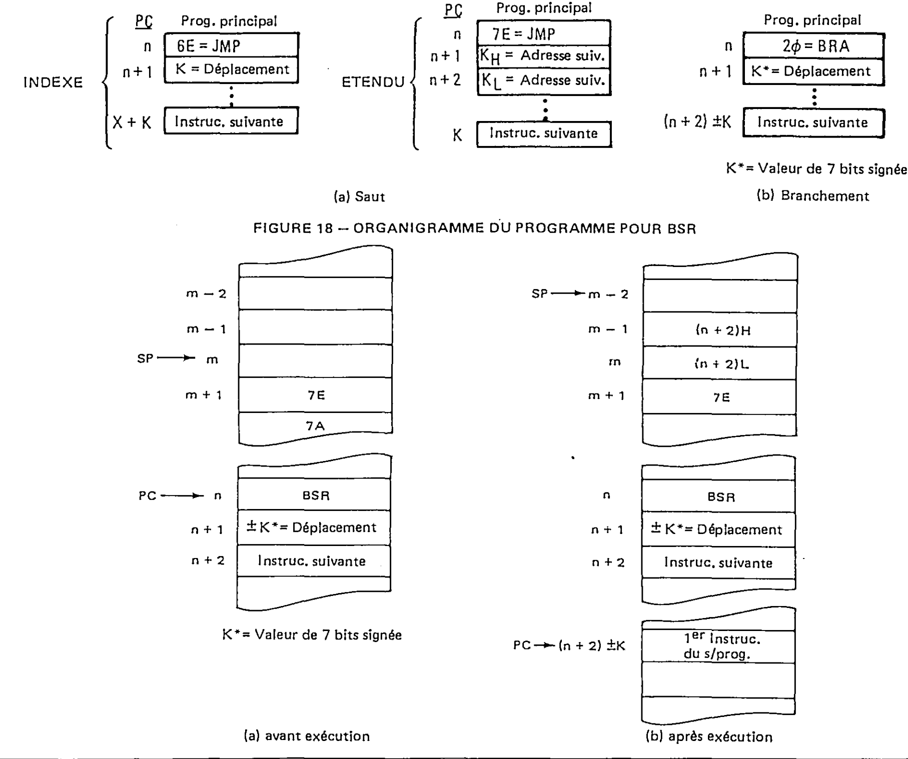
L'effet d'une instruction de saut ou de branchement à un sous-programme (JSR ou BSR) sur le déroulement d'un programme est donné par les figures 18 à 20. Remarquons que le programme-compteur (PC) est mis à jour de manière à ce que la bonne adresse de retour soit empilée. Le mécanisme des instructions BSR et JSR est identique, seule la gamme d'adressage diffère. L'instruction BSR n'occupe que 2 octets contre 3 pour JSR et requiert un cycle d'horloge de moins que JSR.

L'instruction de retour de sous-programme (RTS) est à utiliser à la fin de chaque sous-programme pour effectuer le retour au programme principal, comme indiqué à la figure 21.

L'effet des instructions SWI (Sofware Interrupt), WAI (Wait for Interrupt) et leur relation avec les interruptions matérielles sont décrits à la figure 23. L'instruction SWI range les registres du MPU dans la pile et provoque un branchement à l'instruction dont l'adresse est contenue dans les octets d'adresse FFFA et FFFB (en hexadécimal). Il est à remarquer que pour les instructions relatives aux sous-programmes, le programme-compteur (PC) est mis à jour de manière à ce qu'il contienne l'adresse de retour avant d'être empilé. L'instruction de retour d'interruption (RTI) est obligatoire à la fin des programmes d'interruption pour redonner le contrôle au programme principal en restaurant son contexte (fig. 22).

L'instruction SWI est utile pour insérer des points d'arrêt dans le programme à contrôler ; en effet il est possible ainsi d'arrêter le programme et ranger les registres du MPU en mémoire afin de les examiner. L'instruction WAI est utilisée pour diminuer le temps de traitement des interruptions matérielles ; elle commence par stocker les registres du MPU puis attend l'interruption matérielle, diminuant par là même la durée de traitement d'une séquence d'interruption de la durée d'empilement.

FIGURE 17 – ORGANIGRAMME DU PROGRAMME, INSTRUCTIONS DE SAUT ET DE BRANCHEMENT



(a) Saut

(b) Branchement

FIGURE 18 – ORGANIGRAMME DU PROGRAMME POUR BSR

K* = Valeur de 7 bits signée

(a) avant exécution

(b) après exécution

FIGURE 19 – ORGANIGRAMME DU PROGRAMME POUR JSR (ETENDU)

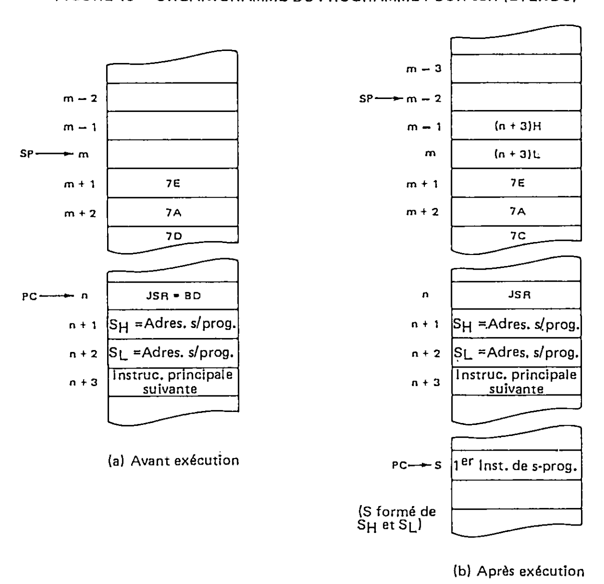
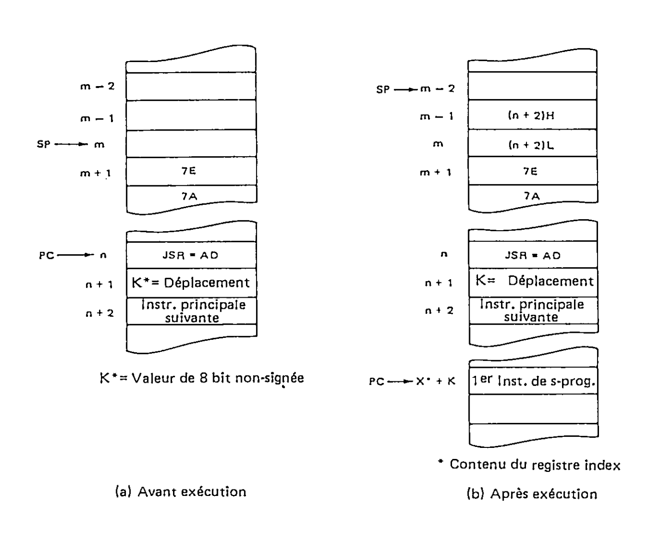


FIGURE 20 – ORGANIGRAMME DU PROGRAMME POUR JSR (INDEXE)



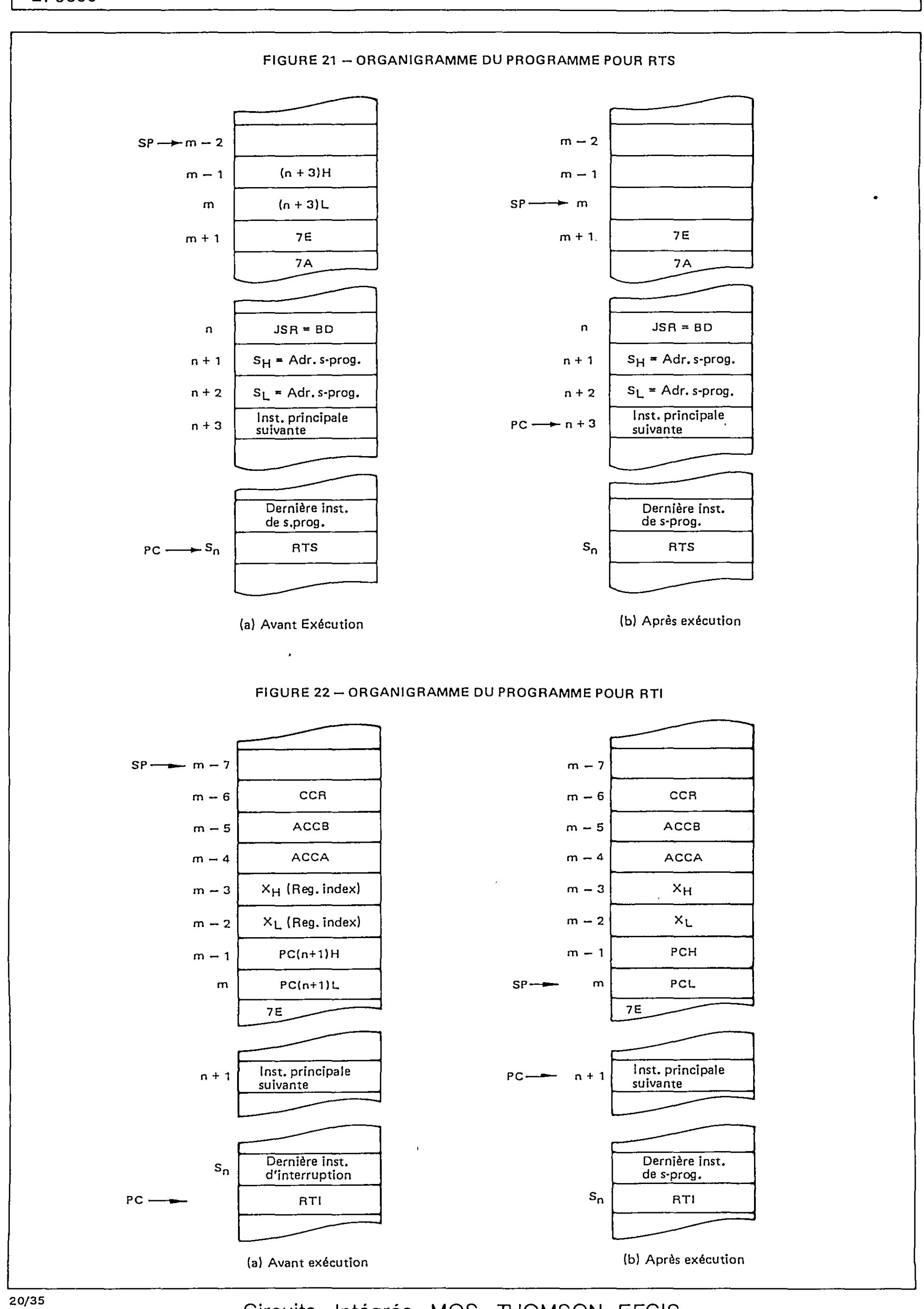

FIGURE 21 – ORGANIGRAMME DU PROGRAMME POUR RTS
SP → m – 2
m – 1
(n + 3)H
m
(n + 3)L
m + 1
7E
7A
n
JSR = BD
n + 1
SH = Adr. s-prog.
n + 2
SL = Adr. s-prog.
n + 3
Inst. principale suivante
Dernière inst. de s.prog.
PC → Sn
RTS
(a) Avant Exécution
m – 2
m – 1
SP → m
m + 1
7E
7A
n
JSR = BD
n + 1
SH = Adr. s-prog.
n + 2
SL = Adr. s-prog.
PC → n + 3
Inst. principale suivante
Dernière inst. de s-prog.
Sn
RTS
(b) Après exécution
FIGURE 22 – ORGANIGRAMME DU PROGRAMME POUR RTI
SP → m – 7
m – 6
CCR
m – 5
ACCB
m – 4
ACCA
m – 3
XH (Reg. index)
m – 2
XL (Reg. index)
m – 1
PC(n+1)H
m
PC(n+1)L
7E
n + 1
Inst. principale suivante
Sn
Dernière inst. d'interruption
PC →
RTI
(a) Avant exécution
m – 7
m – 6
CCR
m – 5
ACCB
m – 4
ACCA
m – 3
XH
m – 2
XL
m – 1
PCH
SP → m
PCL
7E
PC → n + 1
Inst. principale suivante
Dernière inst. de s-prog.
Sn
RTI
(b) Après exécution

FIGURE 23 — ORGANIGRAMME POUR LES INTERRUPTIONS.

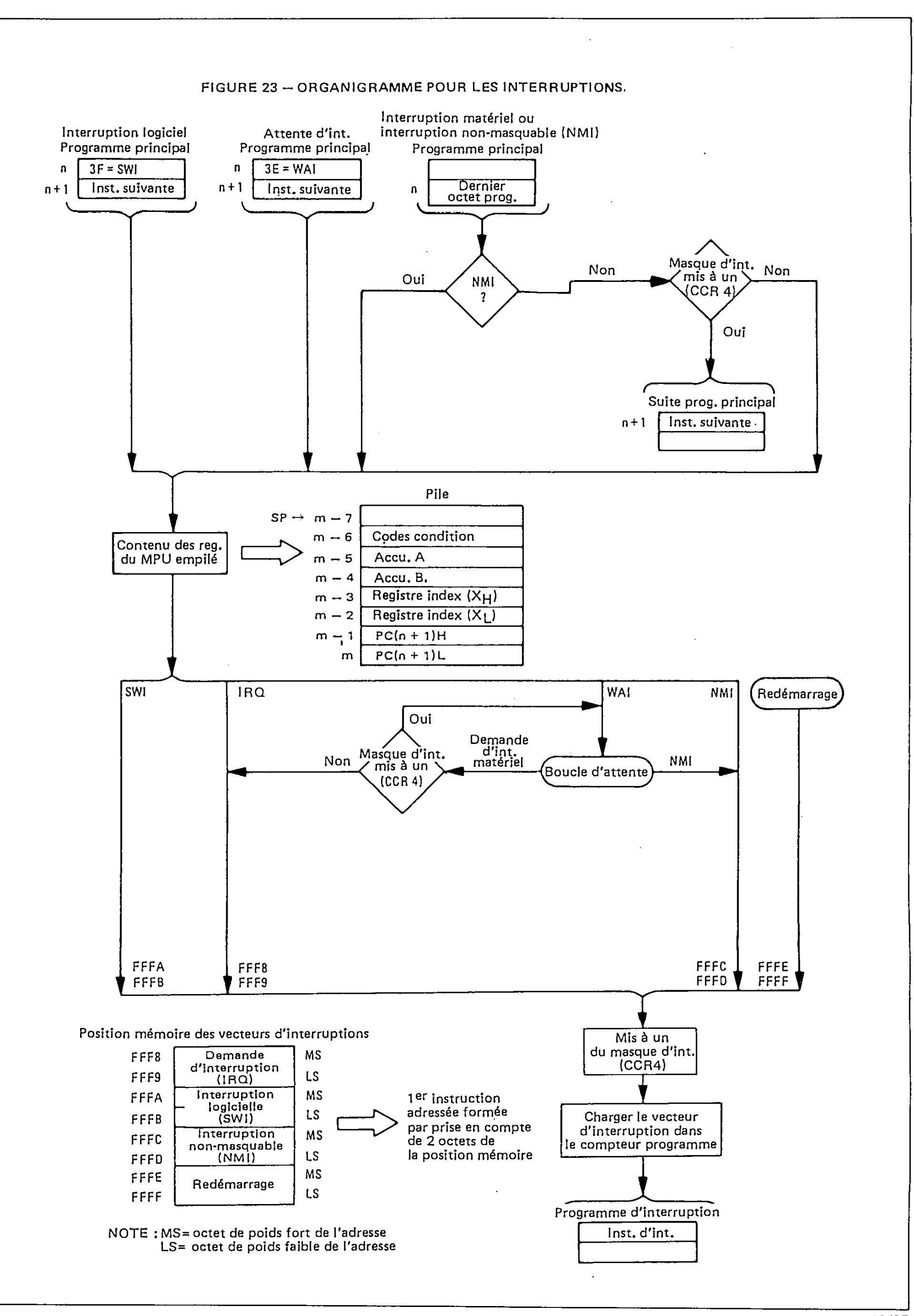


FIGURE 24 – INSTRUCTIONS DE BRANCHEMENTS CONDITIONNELS

BMI :	N = 1 ;	BEQ :	Z = 1 ;
BPL :	N = ϕ ;	BNE :	Z = ϕ ;
BVC :	V = ϕ ;	BCC :	C = ϕ ;
BVS :	V = 1 ;	BCS :	C = 1 ;
BHI :	C + Z = ϕ ;	BLT :	N⊕V = 1 ;
BLS :	C + Z = 1 ;	BGE :	N⊕V = ϕ ;

BLE : Z + (N⊕V) = 1 ;
BGT : Z + (N⊕V) = ϕ ;

Les instructions de branchement conditionnel (figure 24) sont au nombre de 14 et sont complémentaires 2 à 2. Elles sont utilisées pour tester les résultats d'une opération précédente et ont pour effet soit de continuer en séquence (cas où le test est faux) soit de provoquer un branchement à un autre endroit du programme (cas où le test est vrai).

4 instructions plus leur complémentaire (soit au total 8) sont des tests simples des bits d'états N, Z, V, C :

1. BMI (Branch on Minus) et BPL (Branch on Plus) testent le bit de signe N afin de savoir si le résultat précédent est respectivement négatif ou positif.

2. BEQ (Branch On Equal) et BNE (Branch On Not Equal) testent le bit d'état Z afin de savoir si le résultat précédent est égal ou non à zéro. Ces deux instructions sont souvent utilisées après une instruction de comparaison CMP pour vérifier l'égalité entre un accumulateur et un opérande. Elles sont aussi utilisées après BIT (Bit Test) pour savoir si les mêmes bits sont à 1 dans un accumulateur et un opérande.

3. BVC (Branch On Overflow Clear) et BVS (Branch On Overflow Set) testent l'état du bit V afin de déterminer si l'opération précédente s'est soldée par un débordement (arithmétique en complément à 2).

4. BCC (Branch On Carry Clear) et BCS (Branch On Carry Set) testent l'état du bit C afin de savoir si l'opération précédente a généré une retenue. BCC et BCS s'utilisent pour des nombres entiers non signés compris entre 00 et FF (en hexadécimal).

BCC situé après une comparaison (CMP) provoque un branchement si la valeur non signée de l'accumulateur est supérieure ou égale à la valeur de l'opérande. Réciproquement BCS provoque un branchement si la valeur de l'accumulateur est strictement inférieure à l'opérande.

Le cinquième couple d'instructions complémentaires BHI (Branch On Higher) et BLS (Branch On Lower or Same) sont dans un certain sens un complément de BCC et BCS. BHI teste si C et Z = 0 ; située après un CMP, cette instruction provoque un branchement si la valeur dans l'accumulateur est strictement supérieure à l'opérande. Réciproquement, BLS provoque un branchement si la valeur binaire non signée contenue dans l'accumulateur est inférieure ou égale à l'opérande.

Les deux couples d'instructions non encore décrits permettent de tester le résultat d'opérations où les valeurs sont en complément à 2. Par rapport aux entiers non signés où on ne compare que des nombres en valeur absolue, en complément à 2, la comparaison se fait sur des entiers relatifs allant de −128 à +127.

BLT (Branch On Less Than Zero) et BGE (Branch On Greater Than Or Equal Zero) testent respectivement si N ⊕ V = 1 et N ⊕ V = 0. BLT provoque toujours un branchement après une opération où 2 nombres négatifs sont additionnés. De plus il y aura aussi branchement après un CMP où la valeur de l'accumulateur est négative et l'opérande positif. BLT ne provoque pas de branchement après un CMP où l'accumulateur est positif et l'opérande négatif. BGE, complémentaire de BLT, provoque un branchement après une opération où deux valeurs positives sont additionnées, ou lorsque le résultat est nul.

Le dernier couple, BLE (Branch On Less Than Or Equal Zero) et BGT (Branch Or Greater Than Zero) teste respectivement si Z ⊕ (N + V) = 1 et Z ⊕ (N + V) = 0. BLE est identique à BLT si ce n'est que le branchement a lieu si le résultat est nul. Réciproquement BGT est identique à BGE sauf qu'il n'y a pas branchement si le résultat est nul.

OPERATIONS SUR LE REGISTRE DE CODES CONDITION

Le registre de codes condition (CCR) interne ou MPU possède 6 bits significatifs permettant le contrôle au programme en cours d'exécution. La définition des bits est donnée à la figure 25.

Les instructions du tableau 10 permettent à l'utilisateur de manipuler le CCR. De plus le MPU positionne à un ou remet à zéro les bits d'état en fonction de l'action sur le registre codes condition des autres instructions comme décrit dans leur présentation.

Une séquence CLI suivi de WAI ne fonctionne efficacement sur les premiers EF6800 que si le code de l'instruction précédente est impair (bit 0 = 1). De même il est préférable de faire précéder toute instruction SEI d'un code impair — tel que NOP. Ces précautions ne sont plus nécessaires pour les microprocesseurs fabriqués depuis Novembre 77.

Il est conseillé pour les systèmes nécessitant un démasquage rapide d'utiliser la séquence CLI-NOP-SEI plutôt que CLI-SEI.

FIGURE 25 – DEFINITION DES BITS DU REGISTRE CODES CONDITION

b_5	b_4	b_3	b_2	b_1	b_0
H	I	N	Z	V	C

H= Demi-retenue ; mis à un quand une retenue de b_3 à b_4 est générée par le résultat des instructions ADD, ABA, ADC ; mis à zéro s'il n'y a pas de retenue de b_3 à b_4 ; n'est pas affecté par d'autres instructions.

I= Masque d'interruption ; mis à un par une interruption logicielle ou matérielle ou une instruction SEI ; mis à zéro par une instruction CLI. (N'est normalement pas utilisé dans des opérations arithmétiques). Remis à zéro par une instruction RTI si I_m mémorisé dans la pile est à zéro.

N= Négatif ; mis à un si le bit de poids fort (b_7) du résultat d'une opération est à un ; sinon mis à zéro.

Z= Zéro ; mis à un si le résultat d'une opération est = 0 ; sinon mis à zéro.

V= Dépassement ; mis à un si le résultat d'une opération est un dépassement arithmétique (complément à 2) ; sinon mis à zéro.

C= Retenue ; mis à un si il y a une retenue du bit de poids fort (b_7) dans le résultat d'une opération ; sinon mis à zéro.

TABLEAU 10 – INSTRUCTIONS POUR LE REGISTRE CODES CONDITION

Instructions	Mnémonique	Implicite			Opération booléenne	Registre codes condition					
		OP	~	#		5 H	4 I	3 N	2 Z	1 V	0 C
Mise à zéro du bit de retenue	CLC	0C	2	1	0→C	•	•	•	•	•	R
Mise à zéro du masque d'interruption	CLI	0E	2	1	0→I	•	R	•	•	•	•
Mise à zéro du bit de dépassement en complément à deux	CLV	0A	2	1	0→V	•	•	•	•	R	•
Mise à un de la retenue	SEC	0D	2	1	1→C	•	•	•	•	•	S
Mise à un du masque d'interruption	SEI	0F	2	1	1→I	•	S	•	•	•	•
Mise à un du bit de dépassement en complément à deux	SEV	0B	2	1	1→V	•	•	•	•	S	•
Transfert de l'accumulateur A dans le registre codes condition	TAP	06	2	1	A→CCR	①					
Transfert du registre codes condition dans l'accumulateur A	TPA	07	2	1	CCR→A	•	•	•	•	•	•

R = Mis à zéro
S = Mis à un
Inchangé
① (Tous) positionnés suivant le contenu de l'accumulateur A

MODES D'ADRESSAGE

Le MPU travaille sur des nombres binaires de 8 bits qui lui sont présentés par l'intermédiaire du bus de données. Un nombre donné (octet) peut représenter soit une donnée soit une instruction à exécuter, tout dépend de l'endroit où il est dans le programme. Le EF6800 a 72 instructions de base ; mais il en reconnaît et exécute 197 parmi les 256 cas possibles du codage sur 8 bits. Ceci est dû au fait qu'une même instruction peut avoir plusieurs modes d'adressage différents.

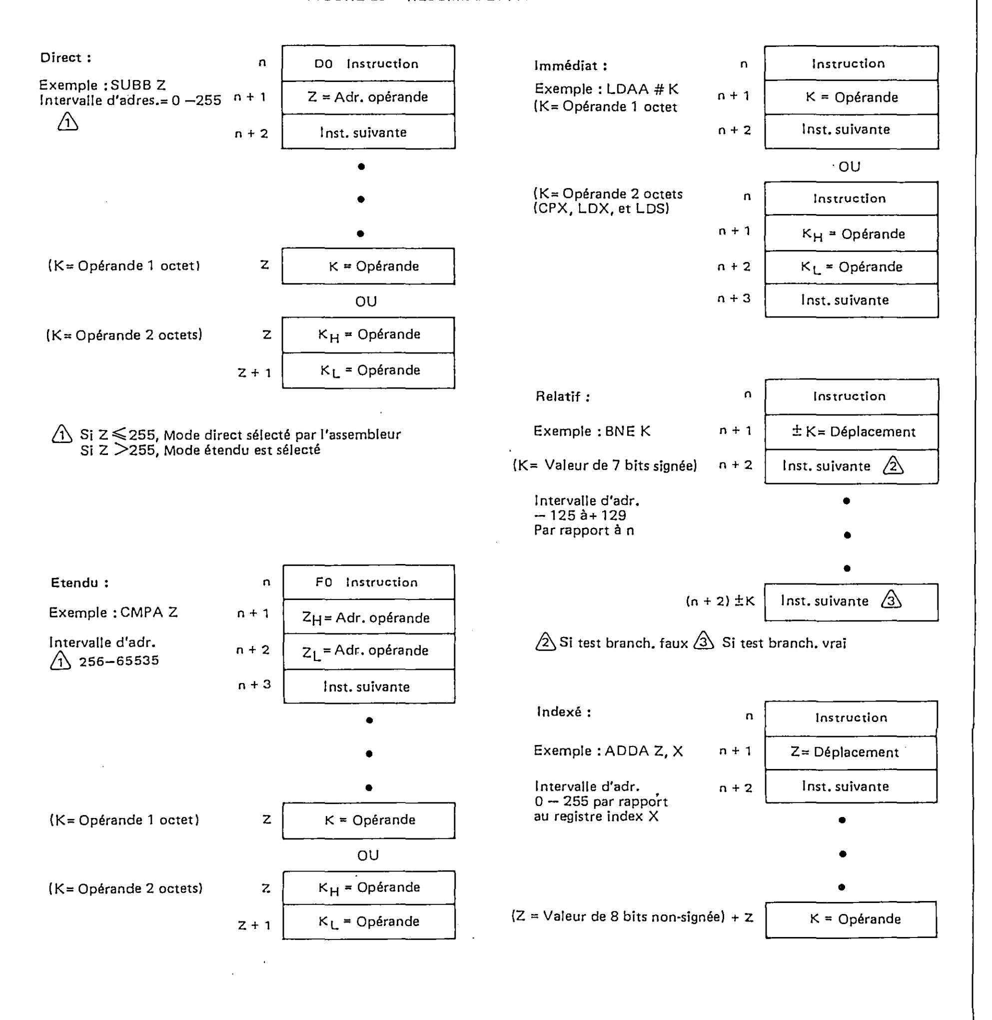
Ces modes d'adressage notifient la manière par laquelle le programme fait obtenir au MPU ses instructions et ses données. Le programmeur doit avoir une méthode pour adresser les registres internes du MPU ainsi que tous les emplacements mémoire externes.

Le choix du mode d'adressage est fait par l'utilisateur quand il écrit son programme source. La traduction dans le code-opération adéquat dépend de la méthode utilisée. Si la traduction est faite manuellement, le mode d'adressage fait partie intégrante du code opération. Par exemple, les modes Immédiat, Direct, Indexé et Etendu peuvent tous, être utilisés avec l'instruction ADD. Le mode choisi est déterminé en choisissant respectivement comme code opération 8B, 9B, AB ou BB (en hexadécimal).

Le format du programme source doit contenir des informations précisant le mode si un programme-assembleur est utilisé pour générer le code opération. Par exemple, le mode immédiat est sélecté par l'assembleur quand il rencontre le symbole "#" dans le champ opérande. De la même manière, un "X" en champ opérande signale le mode indexé. Pour les instructions de branchement, seul le mode relatif existe. La mnémonique de l'instruction suffit à l'assembleur pour reconnaître le mode d'adressage.

Pour les instructions qui peuvent utiliser les modes direct et étendu, l'assembleur sélecte le mode direct si la valeur de l'opérande est comprise entre 0 et 255, le mode étendu sinon. Il y a quelques instructions qui peuvent utiliser le mode étendu et pas le mode direct. Pour celles-ci l'assembleur sélectionne automatiquement le mode étendu même si la valeur de l'opérande est comprise entre 0 et 255. Les modes d'adressage sont récapitulés à la figure 26.

FIGURE 26 – RESUME DES MODES D'ADRESSAGE



Adressage Implicite (y compris l'adressage des accumulateurs).

Les différents champs d'une instruction écrite en langage source sont normalement séparés par un ou plusieurs espaces. Une exception à cette règle concerne les instructions utilisant indifféremment A ou B et un opérande (ce cas est dit mode d'adressage dual) et les instructions qui permettent de distinguer les deux accumulateurs. Dans ces cas-là, A et B sont des opérandes mais l'espace entre eux et l'instruction elle-même peuvent être omis. Ceci est fréquemment fait, donnant pour le mnémonique quatre caractères pour ces instructions.

L'instruction d'addition, ADD, fournit un exemple d'adressage "dual" en champ opérande :

Opérateur	Opérande	Commentaire
ADDA	MEM 12	Add. contenu de MEM 12 à ACCA
ou ADDB	MEM 12	Add. contenu de MEM 12 à ACCB

L'exemple utilisé ultérieurement pour l'instruction de test TST fait aussi référence aux accumulateurs et utilise "l'adressage des accumulateurs" pour préciser lequel des 2 est concerné :

Opérateurs	Commentaire
TSTB	Teste le contenu de ACCB
ou TSTA	Teste le contenu de ACCA

Un certain nombre d'instructions, soit autonomes, soit associées à un accumulateur contiennent toute l'information nécessaire concernant l'adressage ce qui justifie le terme d'adressage implicite. Exemple : l'instruction ABA fait faire au MPU l'addition des contenus des accumulateurs A et B et range le résultat dans A. Autre exemple d'adressage d'accumulateur, l'instruction INCB incrémente de un le contenu de B. De même INX (incrémentation du registre index) ajoute un au contenu de X.

Le synoptique du déroulement de ce type d'instructions est donné par les figures 27 et 28. Le cas général est illustré par la partie gauche de la figure, la partie droite illustrant un exemple particulier. Les valeurs numériques sont en notation décimale. Ces instructions n'occupent qu'un seul octet. Le déroulement cycle par cycle du mode implicite est décrit dans le tableau 11.

FIGURE 27 – ADRESSAGE IMPLICITE

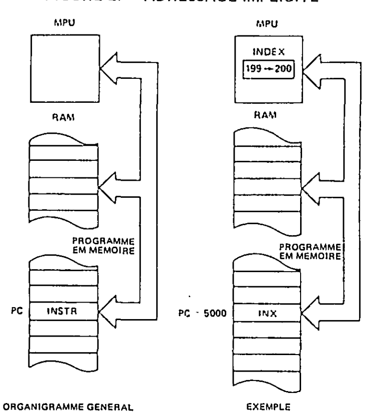


FIGURE 28 – ADRESSAGE ACCUMULATEUR

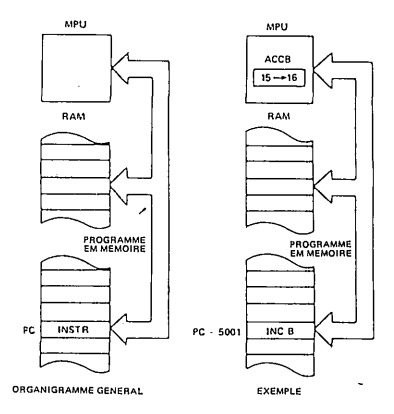


TABLEAU 11 – EXECUTION CYCLE PAR CYCLE DES INSTRUCTIONS
ADRESSAGE IMPLICITE

Mode d'adressage et instructions	Cycles	Cycle #	Ligne VMA	Bus Adresses	Ligne R/W	Bus Données
IMPLICITE						
ABA DAA SEC ASL DEC SEI ASR INC SEV CBA LSR TAB CLC NEG TAP CLI NOP TBA CLR ROL TPA CLC ROR TST COM SBA	2	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Code Op de l'instruction suivante
DES DEX INS INX	4	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Code Op de l'instruction suivante
		3	0	Précédent contenu du registre	1	Donnée non valide (Note 1)
		4	0	Nouveau contenu du registre	1	Donnée non valide (Note 1)
PSH	4	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Code Op de l'instruction suivante
		3	1	Pointeur de pile	0	Contenu de l'accumulateur
		4	0	Pointeur de pile – 1	1	Contenu de l'accumulateur
PUL	4	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Code Op de l'instruction suivante
		3	0	Pointeur de pile	1	Donnée non valide (Note 1)
		4	1	Pointeur de pile+1	1	Donnée tirée de la pile
TSX	4	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Code Op de l'instruction suivante
		3	0	Pointeur de pile	1	Donnée non valide (Note 1)
		4	0	Nouveau Registre Index	1	Donnée non valide (Note 1)
TXS	4	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Code Op de l'instruction suivante
		3	0	Registre Index	1	Donnée non valide (Note 1)
		4	0	Nouveau pointeur de pile	1	Donnée non valide

Note 1 : voir page 27/35

TABLEAU 11 – EXECUTION CYCLE PAR CYCLE DES INSTRUCTIONS
ADRESSAGE IMPLICITE (Suite)

Mode d'adressage et instructions	Cycles	Cycle #	Ligne VMA	Bus Adresses	Ligne R/W	Bus Données
IMPLICITE (suite)						
RTS	5	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Donnée non valide (Note 2)
		3	0	Pointeur de pile	1	Donnée non valide (Note 1)
		4	1	Pointeur de pile+1	1	Adresse de retour (octet de poids fort)
		5	1	Pointeur de pile+2	1	Adresse de retour (octet de poids faible)
WAI	9	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Code Op de l'instruction suivante
		3	1	Pointeur de pile	0	Adresse de retour (octet de poids faible)
		4	1	Pointeur de pile – 1	0	Adresse de retour (octet de poids fort)
		5	1	Pointeur de pile – 2	0	Registre Index (octet de poids faible)
		6	1	Pointeur de pile – 3	0	Registre Index (octet de poids fort)
		7	1	Pointeur de pile – 4	0	Contenu de l'accumulateur A
		8	1	Pointeur de pile – 5	0	Contenu de l'accumulateur B
		9	1	Pointeur de pile – 6 (Note 3)	1	Contenu du registre codes condition
RTI	10	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Donnée non valide (Note 2)
		3	0	Pointeur de pile	1	Donnée non valide (Note 1)
		4	1	Pointeur de pile+1	1	Contenu du registre codes condition tiré de la pile
		5	1	Pointeur de pile+2	1	Accumulateur B tiré de la pile
		6	1	Pointeur de pile+3	1	Accumulateur A tiré de la pile
		7	1	Pointeur de pile+4	1	Registre Index tiré de la pile (octet de poids fort)
		8	1	Pointeur de pile+5	1	Registre Index tiré de la pile (octet de poids faible)
		9	1	Pointeur de pile+6	1	Adresse de retour tirée de la pile (octet de poids fort)
		10	1	Pointeur de pile+7	1	Adresse de retour tirée de la pile (octet de poids faible)
SWI	12	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Donnée non valide (Note 1)
		3	1	Pointeur de pile	0	Adresse de retour (octet de poids faible)
		4	1	Pointeur de pile – 1	0	Adresse de retour (octet de poids fort)
		5	1	Pointeur de pile – 2	0	Registre Index (octet de poids faible)
		6	1	Pointeur de pile – 3	0	Registre Index (octet de poids fort)
		7	1	Pointeur de pile – 4	0	Contenu de l'accumulateur A
		8	1	Pointeur de pile – 5	0	Contenu de l'accumulateur B
		9	1	Pointeur de pile – 6	0	Contenu du registre codes condition
		10	0	Pointeur de pile – 7	1	Donnée non valide (Note 1)
		11	1	FFFA adresse du vecteur (Hexa)	1	Adresse de sous-programme (octet de poids fort)
		12	1	FFFB adresse du vecteur (Hexa)	1	Adresse de sous-programme (octet de poids faible)

Note 1. Si le circuit qui est adressé pendant ce cycle utilise VMA, alors le bus données sera dans l'état haute impédance. Suivant la capacité du bus, la donnée du cycle précédent peut être conservée sur le bus données.
Note 2. La donnée est ignorée par le MPU.
Note 3. Tant que le MPU est en attente d'interruption, BA est au niveau haut indiquant l'état suivant des lignes de contrôle : VMA est à l'état bas ; le bus adresses R/$\overline{W}$, et le bus données sont dans l'état haute impédance.

Le MPU après décodage du code opération de l'instruction LDAA en mode d'adressage direct situé à l'adresse 5004 (Programme-compteur PC = 5004) considère l'emplacement mémoire suivant, adresse 5005, comme étant l'adresse de l'opérande. Puis il positionne le programme-compteur à la valeur contenue en 5005 (soit 100 dans l'exemple) et fait l'acquisition de l'opérande d'adresse 100 afin de mettre sa valeur dans l'accumulateur A. Pour les instructions nécessitant deux octets d'opérande, telles que LDX (Load the Index Register), les octets d'opérande auraient été pris aux adresses 100 et 101. Le tableau 13 donne le déroulement cycle par cycle en mode d'adressage direct.

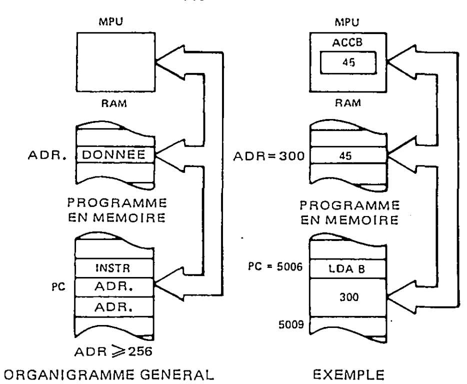
La figure 31 illustre le mode d'adressage étendu ; le principe est le même que pour l'adressage direct, si ce n'est que l'adresse sur 2 octets est obtenue à partir des emplacements mémoire 5007 et 5008, alors que le code opération de LDAB (en étendu) est en 5006. On peut considérer que l'adressage étendu est le mode *"standard"*, puisqu'il permet d'atteindre n'importe quel emplacement mémoire. L'adressage direct permet d'abord une réduction de mémoire (1 octet en moins pour l'opérande) ensuite augmente la vitesse de traitement. Dans la plupart des applications, l'espace d'adressage du mode direct est réservée à de la RAM. Ces emplacements mémoire sont utilisés pour les données et variables temporaires pour les applications où l'accès rapide aux informations est nécessaire. Le déroulement cycle par cycle pour l'adressage étendu est donné par le tableau 14.

TABLEAU 13 – EXECUTION CYCLE PAR CYCLE DES INSTRUCTIONS ADRESSAGE DIRECT

Mode d'adressage et instructions	Cycles	Cycle #	Ligne VMA	Bus Adresses	Ligne R/W	Bus Données
DIRECT						
ADC EOR ADD LDA AND ORA BIT SBC CMP SUB	3	1	1	Adresse du Code Op	1	Code Op
		2	1	Adresse du Code Op+1	1	Adresse de l'opérande
		3	1	Adresse de l'opérande	1	Opérande
CPX LDS LDX	4	1	1	Adresse du Code Op	1	Code Op
		2	1	Adresse du Code Op+1	1	Adresse de l'opérande
		3	1	Adresse de l'opérande	1	Opérande (octet de poids fort)
		4	1	Adresse de l'opérande+1	1	Opérande (octet de poids faible)
STA	4	1	1	Adresse du Code Op	1	Code Op
		2	1	Adresse du Code Op+1	1	Adresse de destination
		3	0	Adresse de destination	1	Donnée non valide (Note 1)
		4	1	Adresse de destination	0	Donnée de l'accumulateur
STS STX	5	1	1	Adresse du Code Op	1	Code Op
		2	1	Adresse du Code Op+1	1	Adresse de l'opérande
		3	0	Adresse de l'opérande	1	Donnée non valide (Note 1)
		4	1	Adresse de l'opérande	0	Donnée du registre (octet de poids fort)
		5	1	Adresse de l'opérande+1	0	Donnée du registre (octet de poids faible)

Note 1 : voir page 30/35

FIGURE 31 – MODE D'ADRESSAGE ETENDU



Mode d'adressage Immédiat — Dans ce mode, l'opérande est la valeur manipulée par l'instruction.

Exemple :

Opérateur	Opérande	Commentaire
LDAA	# 25	Charger 25 dans ACCA

Le MPU charge le contenu de l'accumulateur A avec la valeur immédiate 25 ; aucune référence supplémentaire d'adresse n'est nécessaire. Le mode d'adressage immédiat est sélecté en plaçant le symbole # avant l'opérande. Le déroulement du programme pour ce mode d'adressage est donné figure 29.

Le format de l'opérande admet soit une définition de symboles, soit des valeurs numériques, sauf pour les instructions CPX, LDX, LDS, l'opérande est une valeur comprise entre 0 et 255. Puisque CPX (Compare Index Register), LDX (Load Index Register) et LDS (Load Stack Pointer) nécessitent une valeur sur 16 bits, le mode d'adressage immédiat pour ces 3 instructions requiert des opérandes sur 2 octets. Dans le mode d'adressage immédiat, l'adresse de l'opérande est l'emplacement mémoire qui suit immédiatement l'instruction elle-même. Le déroulement cycle par cycle des instructions en mode d'adressage immédiat est décrit dans le tableau 12.

Modes d'adressages Direct et Etendu — Dans ces deux modes, le champ opérande contenu dans l'instruction source, est l'adresse de la valeur à maéipuler. La différence entre le mode étendu et le mode direct est relative à l'espace adressable.

En adressage direct, l'opérande est une valeur sur 8 bits ; ce qui fait que seuls les octets 0 à 255 peuvent être adressés. En adressage étendu, le MPU peut accéder le reste de la mémoire de l'adresse 256 à 65536. Un exemple d'adressage direct et de ses conséquences sur le programme est illustré à la figure 30.

FIGURE 29 — MODE D'ADRESSAGE IMMEDIAT

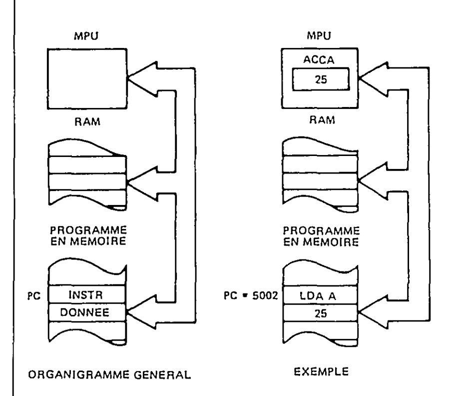


FIGURE 30 — MODE D'ADRESSAGE DIRECT

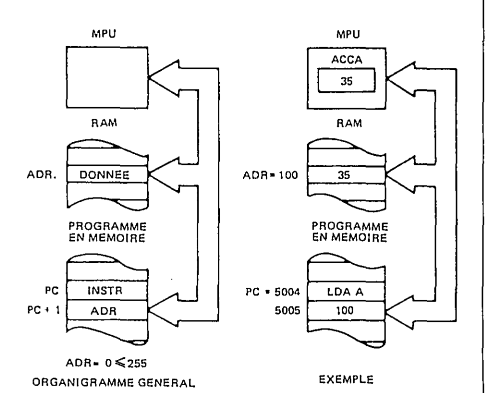


TABLEAU 12 — EXÉCUTION CYCLE PAR CYCLE DES INSTRUCTIONS ADRESSAGE IMMEDIAT

Mode d'adressage et instructions	Cycles	Cycle #	Ligne VMA	Bus Adresses	Ligne R/W	Bus Données
IMMEDIAT						
ADC EOR ADD LDA AND ORA BIT SBC CMP SUB	2	1 2	1 1	Adresse du Code Op Adresse du Code Op+1	1 1	Code Op Opérande
CPX LDS LDX	3	1 2 3	1 1 1	Adresse du Code Op Adresse du Code Op+1 Adresse du Code Op+2	1 1 1	Code Op Opérande (octet de poids fort) Opérande (octet de poids faible)

TABLEAU 14 – EXECUTION CYCLE PAR CYCLE DES INSTRUCTIONS
ADRESSAGE ETENDU

Mode d'adressage et instructions	Cycles	Cycle #	Ligne VMA	Bus Adresses	Ligne R/W	Bus Données
ETENDU						
JMP	3	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Adresse de saut (octet de poids fort)
		3	1	Adresse du code Op+2	1	Adresse de saut (octet de poids faible)
ADC EOR ADD LDA AND ORA BIT SBC CMP SUB	4	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Adresse opérande (octet de poids fort)
		3	1	Adresse du code Op+2	1	Adresse opérande (octet de poids faible)
		4	1	Adresse opérande	1	Opérande
CPX LDS LDX	5	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Adresse opérande (octet de poids fort)
		3	1	Adresse du code Op+2	1	Adresse opérande (octet de poids faible)
		4	1	Adresse opérande	1	Opérande (octet de poids fort)
		5	1	Adresse opérande+1	1	Opérande (octet de poids faible)
STA A STA B	5	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Adresse de destination (octet de poids fort)
		3	1	Adresse du code Op+2	1	Adresse de destination (octet de poids faible)
		4	0	Adresse de destination	1	Donnée non valide (Note 1)
		5	1	Adresse de destination	0	Donnée de l'accumulateur
ASL LSR ASR NEG CLR ROL COM ROR DEC TST INC	6	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Adresse de l'opérande (octet de poids fort)
		3	1	Adresse du code Op+2	1	Adresse de l'opérande (octet de poids faible)
		4	1	Adresse de l'opérande	1	Opérande
		5	0	Adresse de l'opérande	1	Donnée non valide (Note 1)
		6	1/0 Note 2	Adresse de l'opérande	0	Nouvel opérande (Note 2)
STS STX	6	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Adresse opérande (octet de poids fort)
		3	1	Adresse du code Op+2	1	Adresse opérande (octet de poids faible)
		4	0	Adresse de l'opérande	1	Donnée non valide (Note 1)
		5	1	Adresse de l'opérande	0	Opérande (octet de poids fort)
		6	1	Adresse de l'opérande+1	0	Opérande (octet de poids faible)
JSR	9	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Adresse de sous-programme (octet de poids fort)
		3	1	Adresse du code Op+2	1	Adresse de sous-programme (octet de poids faible)
		4	1	Adresse départ du sous-programme	1	Code Op de l'instruction suivante
		5	1	Pointeur de pile	0	Adresse de retour (octet de poids faible)
		6	1	Pointeur de pile – 1	0	Adresse de retour (octet de poids fort)
		7	0	Pointeur de pile – 2	1	Donnée non valide (Note 1)
		8	0	Adresse du code Op+2	1	Donnée non valide (Note 1)
		9	1	Adresse du code Op+2	1	Adresse de sous-programme (octet de poids faible)

Note 1. Si le circuit qui est adressé pendant ce cycle utilise VMA, alors le bus données sera dans l'état haute impédance. Suivant la capacité du bus, la donnée du cycle précédent peut être conservée sur le bus données.

Note 2. Pour TST, VMA = 0 et l'opérande ne change pas.

Mode d'adressage relatif — *En* adressage direct ou étendu, l'adresse obtenue par le MPU est une adresse numérique absolue. Le mode d'adressage relatif utilisé dans les instructions de branchement donne une adresse mémoire relative par rapport à la valeur courante du compteur programme PC. 2 octets sont générés pour une instruction de branchement, 1 pour le code opération, et 1 pour l'adresse "relative" (voir la figure 32). Comme il est préférable de pouvoir se déplacer dans les deux directions (branchement avant et arrière), l'octet d'adresse est considéré comme étant une valeur en complément à 2. Cette valeur dite déplacement est donc comprise entre −128 et + 127. Le calcul de l'adresse de branchement est effectué en utilisant l'adresse de l'instruction suivante. Comme 2 octets sont générés pour les instructions utilisant le mode relatif, l'instruction suivante est en PC + 2. L'adresse de branchement D est encadrée comme suit :

$$(PC+2) - 128 \leqslant D \leqslant (PC+2) + 127$$

soit $PC - 126 \leqslant D \leqslant PC + 129$

ce qui implique que le branchement ne peut se situer en dehors de ces limites. Pour donner le contrôle au programme en dehors de ces limites, il faut utiliser les instructions JMP (unconditional jump), JSR (Jump to Subroutine), et RTS (Return from Subroutine).

Dans la figure 32, le MPU décodant l'instruction BEQ (branchement si le résultat de l'instruction précédente = 0), teste le bit Z du registre codes condition. S'il est à 0, le résultat n'est pas nul, le MPU passe à l'instruction suivante (à l'adresse 5010). Par contre si le résultat est nul (Z = 1), le branchement a lieu : le MPU additionne le déplacement, 15 dans ce cas, à PC + 2 et se branche donc à l'instruction située à l'adresse 5025.

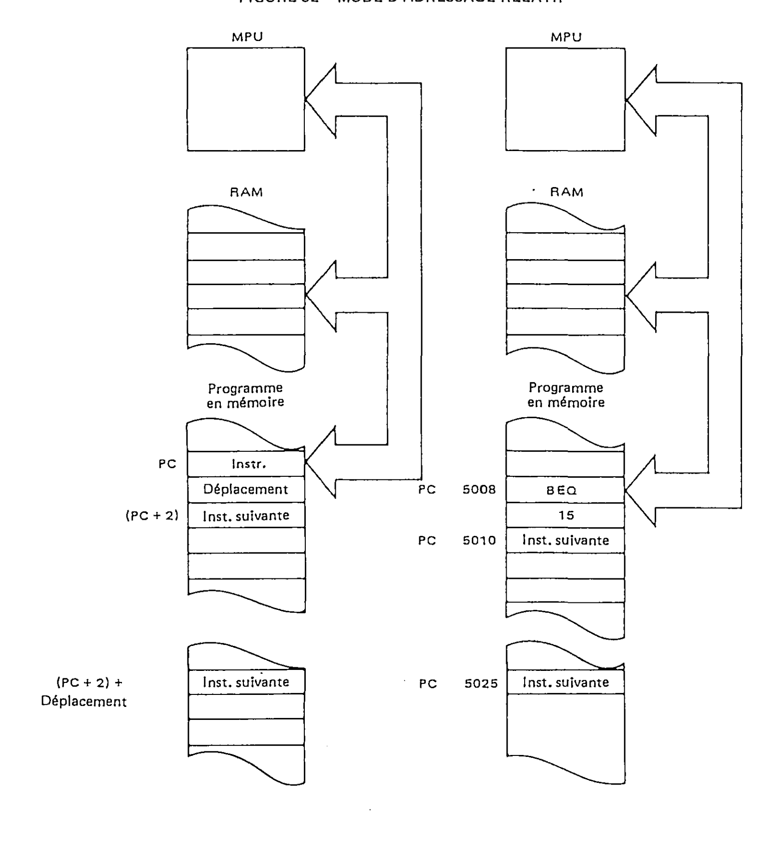
Les instructions de branchement permettent efficacement au programmeur de donner le contrôle du programme à un point ou à un autre suivant le résultat de certains tests. Comme le programme est généralement en mémoire morte, et ne peut donc être modifié, l'adresse relative utilisée dans les instructions de branchement est une constante numérique. Le déroulement cycle par cycle est donné par le tableau 15.

TABLEAU 15 — EXECUTION CYCLE PAR CYCLE DES INSTRUCTIONS ADRESSAGE RELATIF

Mode d'adressage et instructions	Cycles	Cycle #	Ligne VMA	Bus Adresses	Ligne R/W	Bus Données
RELATIF						
BCC BHI BNE BCS BLE BPL BEQ BLS BRA BGE BLT BVC BGT BMI BVS	4	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+ 1	1	Adresse relative
		3	0	Adresse du code Op+ 2	1	Donnée non valide (Note 1)
		4	0	Adresse de branchement	1	Donnée non valide (Note 1)
BSR	8	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+ 1	1	Adresse relative
		3	0	Adresse de retour	1	Donnée non valide (Note 1)
		4	1	Pointeur de pile	0	Adresse de retour (octet de poids faible)
		5	1	Pointeur de pile − 1	0	Adresse de retour (octet de poids fort)
		6	0	Pointeur de pile − 2	1	Donnée non valide (Note 1)
		7	0	Adresse de retour	1	Donnée non valide (Note 1)
		8	0	Adresse de sous-programme	1	Donnée non valide (Note 1)

Note 1. Si le circuit qui est adressé pendant ce cycle utilise VMA, alors le bus données sera dans l'état haute impédance. Suivant la capacité du bus, la donnée du cycle précédent peut être conservée sur le bus données.

FIGURE 32 – MODE D'ADRESSAGE RELATIF



Mode d'adressage indexé — Dans ce mode l'adresse est une valeur numérique variable dépendant du contenu courant du registre index X. Une instruction écrite en source telle que

Opérateur	Opérande	Commentaire
STAA	X	METTRE A A L'ADRESSE X

exécutée par le MPU range le contenu de l'accumulateur A à l'emplacement mémoire dont l'adresse est la valeur contenue dans X. (Important : le label "X" est réservé au registre index). Comme il existe des instructions permettant la manipulation de X pendant l'exécution du programme (LDX, INX, DEX, etc.) le mode d'adressage indexé permet une modification dynamique rapide de l'activité du programme.

Le champ opérande peut aussi contenir une valeur numérique qui est additionnée automatiquement à X lors de l'exécution. Ce cas est illustré figure 33.

Quand le MPU décode le code opération LDAB en mode indexé à l'adresse 5006, il acquiert l'octet suivant pour l'additionner à X (5 dans l'exemple) et calcule l'adresse demandée en ajoutant 5 au contenu actuel (400) de X. Dans le format de l'opérande, il est admis une étiquette ou une valeur numérique comprise entre 0 et 255 comme dans l'exemple. Dans l'exemple précédent, STAA X, l'opérande est équivalent à 0,X — 0 peut donc être omis lorsque l'adresse désirée est égale au contenu de X. Le tableau 16 montre le déroulement cycle par cycle du mode d'adressage indexé.

FIGURE 33 — MODE D'ADRESSAGE INDEXE

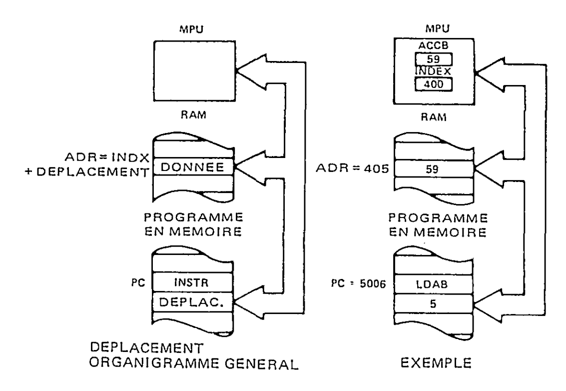


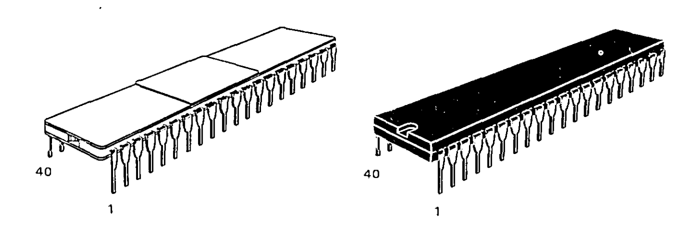
TABLEAU 16 – EXECUTION CYCLE PAR CYCLE DES INSTRUCTIONS
ADRESSAGE INDEXE

Mode d'adressage et instructions	Cycles	Cycle #	Ligne VMA	Bus Adresses	Ligne R/W	Bus Données
INDEXE						
JMP	4	1	1	Adresse du Code Op	1	Code Op
		2	1	Adresse du Code Op+1	1	Déplacement
		3	0	Registre Index	1	Donnée non valide (Note 1)
		4	0	Registre Index+ Déplacement (sans retenue)	1	Donnée non valide (Note 1)
ADC EOR ADD LDA AND ORA BIT SBC CMP SUB	5	1	1	Adresse du Code Op	1	Code Op
		2	1	Adresse du Code Op+1	1	Déplacement
		3	0	Registre Index	1	Donnée non valide (Note 1)
		4	0	Registre Index+ Déplacement (sans retenue)	1	Donnée non valide (Note 1)
		5	1	Registre Index+ Déplacement	1	Opérande
CPX LDS LDX	6	1	1	Adresse du Code Op	1	Code Op
		2	1	Adresse du Code Op+1	1	Déplacement
		3	0	Registre Index	1	Donnée non valide (Note 1)
		4	0	Registre Index+ Déplacement (sans retenue)	1	Donnée non valide (Note 1)
		5	1	Registre Index+ Déplacement	1	Opérande (octet de poids fort)
		6	1	Registre Index+ Déplacement+1	1	Opérande (octet de poids faible)
STA	6	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code+1	1	Déplacement
		3	0	Registre Index	1	Donnée non valide (Note 1)
		4	0	Registre Index+ Déplacement (sans retenue)	1	Donnée non valide (Note 1)
		5	0	Registre Index+ Déplacement	1	Donnée non valide (Note 1)
		6	1	Registre Index+ Déplacement	0	Opérande
ASL LSR ASR NEG CLR ROL COM ROR DEC TST INC	7	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Déplacement
		3	0	Registre Index	1	Donnée non valide (Note 1)
		4	0	Registre Index+ Déplacement (sans retenue)	1	Donnée non valide (Note 1)
		5	1	Registre Index+ Déplacement	1	Opérande
		6	0	Registre Index+ Déplacement	1	Donnée non valide (Note 1)
		7	1/0 (Note 2)	Registre Index+ Déplacement	0	Nouvel opérande (Note 2)
STS STX	7	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Déplacement
		3	0	Registre Index	1	Donnée non valide (Note 1)
		4	0	Registre Index+ Déplacement (sans retenue)	1	Donnée non valide (Note 1)
		5	0	Registre Index+ Déplacement	1	Donnée non valide (Note 1)
		6	1	Registre Index+ Déplacement	0	Opérande (octet de poids fort)
		7	1	Registre Index+ Déplacement+1	0	Opérande (octet de poids faible)
JSR	8	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Déplacement
		3	0	Registre Index	1	Donnée non valide (Note 1)
		4	1	Pointeur de pile	0	Adresse de retour (octet de poids faible)
		5	1	Pointeur de pile – 1	0	Adresse de retour (octet de poids fort)
		6	0	Pointeur de pile – 2	1	Donnée non valide (Note 1)
		7	0	Registre Index	1	Donnée non valide (Note 1)
		8	0	Registre Index+ Déplacement (sans retenue)	1	Donnée non valide (Note 1)

Note 1. Si le circuit qui est adressé pendant ce cycle utilise VMA, alors le bus données sera dans l'état haute impédance. Suivant la capacité du bus, la donnée du cycle précédent peut être conservée sur le bus donnée.

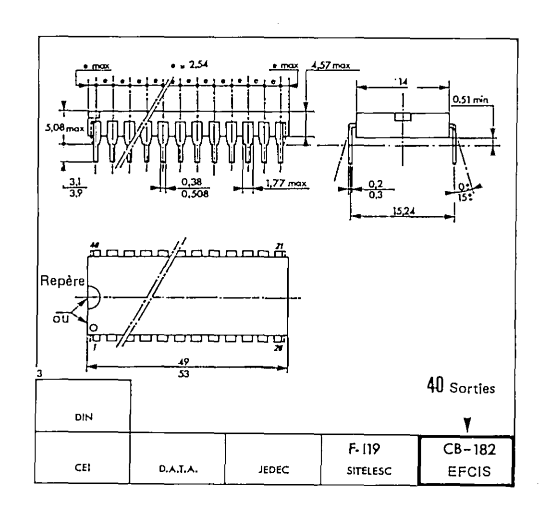
Note 2. Pour TST, VMA = O et l'opérande ne change pas.

BOITIER : CB-182

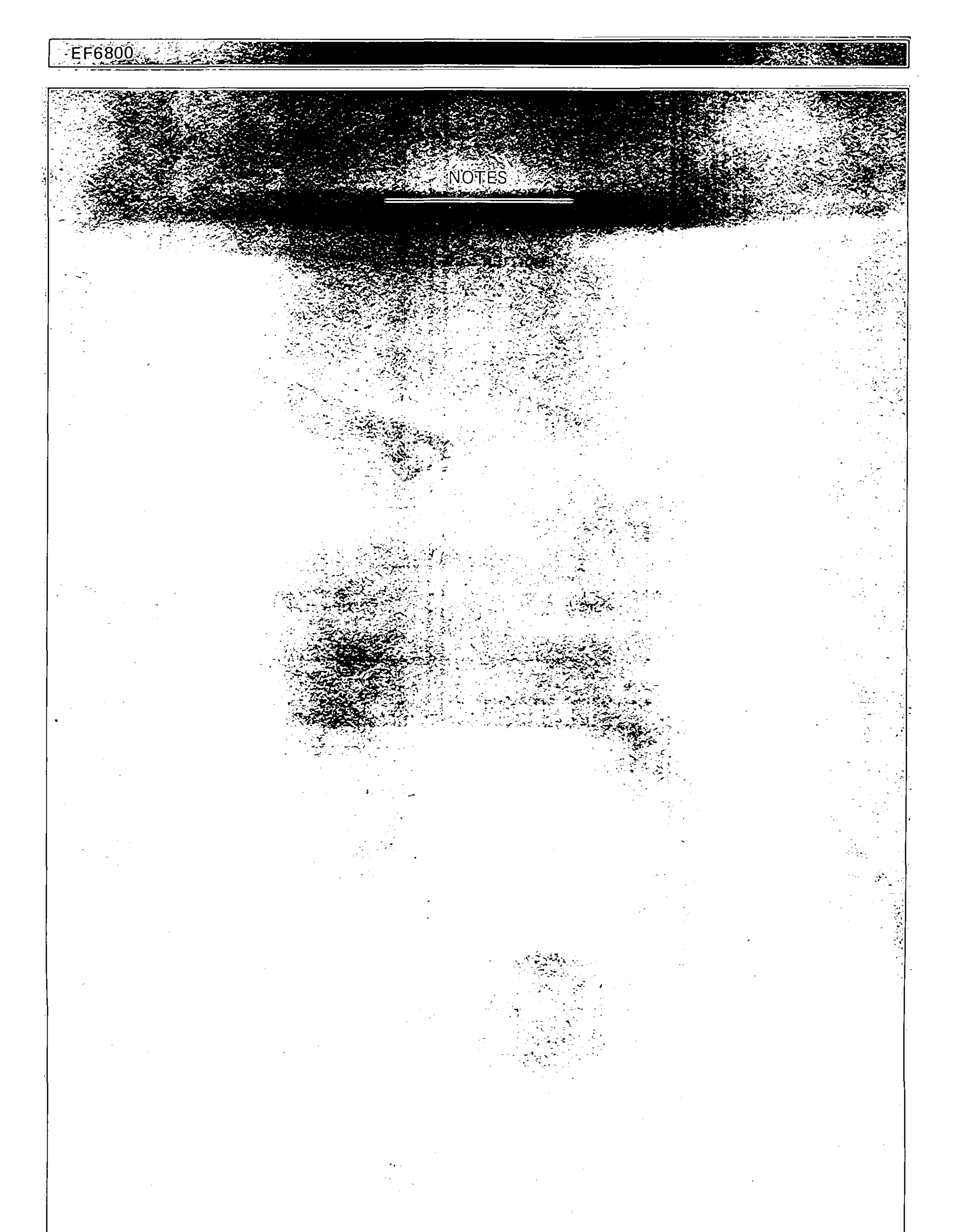


SUFFIXE C
BOITIER CERAMIQUE

SUFFIXE P
BOITIER PLASTIQUE



Ces spécifications peuvent changer sans préavis.
Consultez notre réseau de vente pour connaître la disponibilité des différentes versions de ce circuit.



NOTES

EFCIS



Circuits Intégrés MOS THOMSON-EFCIS

mosmosmosmosmosmosmosmosmosmos

EF6802
EF6808

Anciennes appellations : SFF9-6802
SFF9-6808

SPECIFICATIONS PROVISOIRES

MOS

(A APPAUVRISSEMENT, CANAL N, GRILLE SILICIUM)

MICROPROCESSEUR
AVEC HORLOGE *ET RAM*

EF6802 – *MICROPROCESSEUR AVEC HORLOGE ET RAM*

EF6808 – MICROPROCESSEUR AVEC HORLOGE

Les circuits EF6802/EF6808 sont des microprocesseurs monolithiques 8 bits contenant, outre les mêmes registres et accumulateurs que le EF6800, un oscillateur d'horloge interne et une sortie des signaux d'horloge. *De plus, le EF6802 possède, intégrés sur la pastille,, 128 octets de mémoire RAM d'adresses $0000 à $007F en système hexadécimal. Les 32 premiers octets de la mémoire d'adresses $0000 à $001F peuvent avoir leur contenu maintenu en mode faible consommation en utilisant le* V_{CC} *de repos, permettant ainsi la sauvegarde de la mémoire durant une coupure d'alimentation.*
Le logiciel du EF6802/EF6808 est entièrement compatible avec le EF6800 et tous les constituants de la famille 6800. Par suite, la mémoire du EF6802/EF6808 est extensible jusqu'à 64 Kmots.

- *Mémoire RAM intégrée 128 x 8 bits*
- *32 octets de cette mémoire peuvent être sauvegardés*
- Circuit d'horloge intégré
- Logiciel compatible avec le EF6800
- Extensible jusqu'à 64 Kmots
- Entrées et sorties compatibles avec la logique TTL standard
- Mots de 8 bits
- 16 bits d'adressage
- Possibilité d'interruption.

NOTA : *Les textes écrits en italique ne concernent que le EF6802.*

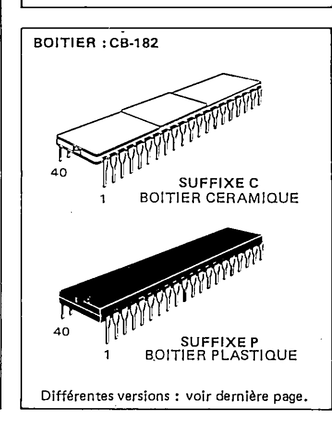
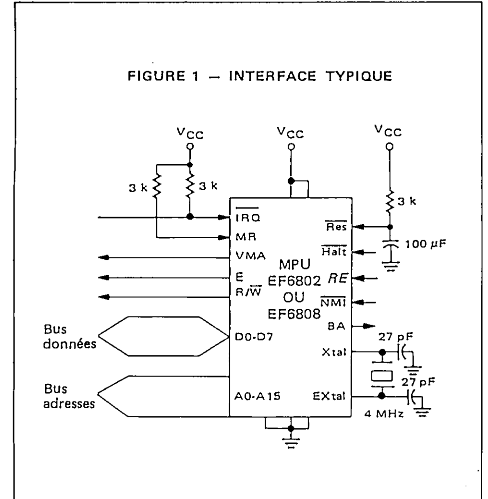


FIGURE 1 – INTERFACE TYPIQUE



BROCHAGE

EF6808

Broche	Signal	Signal	Broche
1	V_{SS}	$\overline{Reset}$	40
2	$\overline{Halt}$	EXtal	39
3	MR	Xtal	38
4	$\overline{IRQ}$	E	37
5	VMA	V_{SS}	36
6	$\overline{NMI}$	V_{CC}	35
7	BA	R/$\overline{W}$	34
8	V_{CC}	D0	33
9	A0	D1	32
10	A1	D2	31
11	A2	D3	30
12	A3	D4	29
13	A4	D5	28
14	A5	D6	27
15	A6	D7	26
16	A7	A15	25
17	A8	A14	24
18	A9	A13	23
19	A10	A12	22
20	A11	V_{SS}	21

EF6802

Broche	Signal	Signal	Broche
1	V_{SS}	$\overline{Reset}$	40
2	$\overline{Halt}$	EXtal	39
3	MR	Xtal	38
4	$\overline{IRQ}$	E	37
5	VMA	RE	36
6	$\overline{NMI}$	V_{CC} repos	35
7	BA	R/$\overline{W}$	34
8	V_{CC}	D0	33
9	A0	D1	32
10	A1	D2	31
11	A2	D3	30
12	A3	D4	29
13	A4	D5	28
14	A5	D6	27
15	A6	D7	26
16	A7	A15	25
17	A8	A14	24
18	A9	A13	23
19	A10	A12	22
20	A11	V_{SS}	21

EFCIS
45, av. de l'Europe
78140 VELIZY
FRANCE
Tel.: (1) 946 97 19
Telex : 698866F

VALEURS LIMITES

Paramètres		Symboles	Valeurs	Unités
Tension d'alimentation		V_{CC}	−0,3 à +7,0	V
Tension d'entrée		V_{in}	−0,3 à +7,0	V
Température de fonctionnement		T_A	0 à +70	°C
Température de stockage		T_{stg}	−55 à +150	°C
Résistance thermique	Plastique Céramique	θ_{JA}	100 50	°C/W

Les entrées de ce circuit sont protégées contre les hautes tensions statiques et les champs électriques; toutefois, il est recommandé de prendre les précautions normales pour éviter toute tension supérieure aux valeurs limites sur ce circuit à haute impédance.

CARACTERISTIQUES ELECTRIQUES (V_{CC} = 5,0 V ± 5%, V_{SS} = 0, T_A = 0 à 70°C sauf spécifications contraires)

Caractéristiques		Symboles	Min.	Typ.	Max.	Unités
Tension d'entrée à l'état haut	Logique, EXtal $\overline{Reset}$	V_{IH}	V_{SS}+2,0 V_{SS}+4,0	– –	V_{CC} V_{CC}	V
Tension d'entrée à l'état bas	Logique, EXtal, $\overline{Reset}$	V_{IL}	V_{SS}−0,3 V_{SS}−0,3	– –	V_{SS}+0,8 V_{SS}+2,3	V
Courant de fuite en entrée (V_{in} = 0 à 5,25 V, V_{CC} = max)	Logique*	I_{in}	–	1,0	2,5	µAdc
Tension de sortie à l'état haut (I_{charge} = −205 µA, V_{CC} = min) (I_{charge} = −145 µA, V_{CC} = min) (I_{charge} = −100 µA, V_{CC} = min)	 D0-D7 A0-A15, R/$\overline{W}$, VMA, E BA	V_{OH}	 V_{SS}+2,4 V_{SS}+2,4 V_{SS}+2,4	 – – –	 – – –	V
Tension de sortie à l'état bas (I_{charge} = 1,6 mA, V_{CC} = min)		V_{OL}	–	–	V_{SS}+0,4	V
Puissance dissipée		P_D**	–	0,600	1,2	W
Capacité # (V_{in} = 0, T_A = 25°C, f = 1,0 MHz)	 D0-D7 Entrées logiques, EXtal	C_{in}	 – –	 10 6,5	 12,5 10	pF
	A0-A15, R/$\overline{W}$, VMA	C_{out}	–	–	12	pF
Fréquence de travail (Horloge d'entrée ÷4) (Fréquence Quartz)		f f_{Xtal}	0,1 1,0	– –	1,0 4,0	MHz
Caractéristiques de l'horloge Temps de cycle		t_{cyc}	1,0	–	10	µs
Largeur d'impulsion d'horloge	(mesurée à 2,4 V) (mesurée à 0,4 V)	$PW_{\phi H}$s $PW_{\phi L}$	450 450	– –	4500 4500	ns
Temps de descente (Mesuré entre V_{SS} + 0,4 V et V_{SS} + 2,4 V)		t_{ϕ}	–	–	25	ns

* Sauf $\overline{IRQ}$ et $\overline{NMI}$, qui nécessitent une résistance de charge de 3 kΩ pour la réalisation de "OU câblé" pour un fonctionnement optimal. N'inclut pas EXtal et Xtal qui sont des entrées quartz.

** *En mode faible consommation, la puissance maximale dissipée est inférieure à 40 mW.*

Les capacités sont mesurées par prélèvement et ne sont pas testées à 100%.

CARACTERISTIQUES DYNAMIQUES (Figures 2 à 6; circuit de charge de la figure 4)

Caractéristiques	Symboles	Min.	Typ.	Max.	Unités
Temps de retard pour les adresses	t_{AD}	–	–	270	ns
Temps d'accès à la lecture $t_{acc} = t_{ut} - (t_{AD} + t_{DSR})$	t_{acc}	–	–	530	ns
Temps d'établissement des données (en lecture)	t_{DSR}	100	–	–	ns
Temps de maintien des données (en lecture)	t_H	10	–	–	ns
Temps de maintien des données (en écriture)	t_H	20	–	–	ns
Temps de maintien des adresses (Adresse, R/$\overline{W}$, VMA)	t_{AH}	20	–	–	ns
Temps de retard pour les données (en écriture)	t_{DDW}	–	165	225	ns
Lignes de commande du processeur Temps d'établissement des lignes de commande du processeur Temps de montée et de descente (Mesuré entre 0,8 V et 2,0 V)	 t_{PCS} t_{PCr}, t_{PCf}	 200 –	 – –	 – 100	 ns ns
Temps de retard pour le signal bus disponible (BA)	t_{BA}	–	–	250	ns



FIGURE 2 – LECTURE DES DONNEES EN MEMOIRE OU EN PROVENANCE DES PERIPHERIQUES

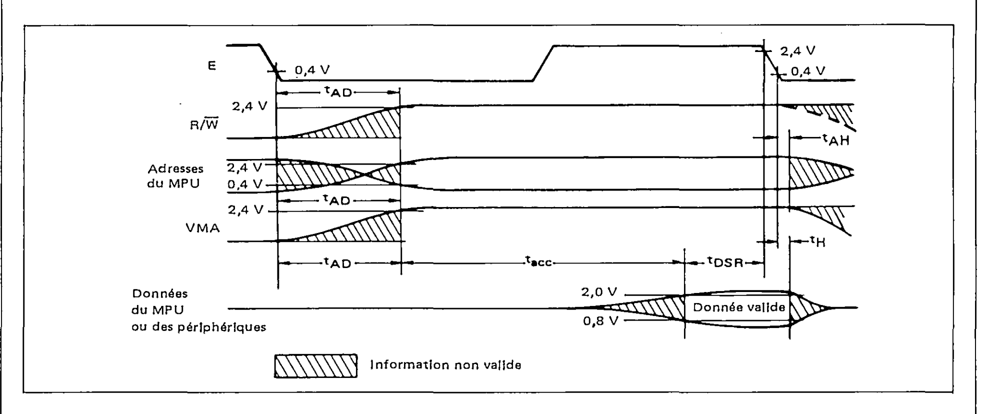


FIGURE 3 – ECRITURE DES DONNEES EN MEMOIRE OU EN CIRCUITS PERIPHERIQUES

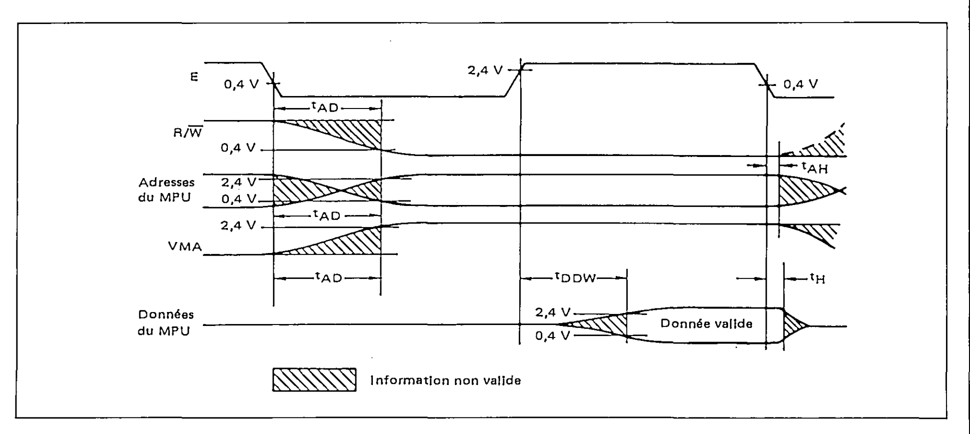
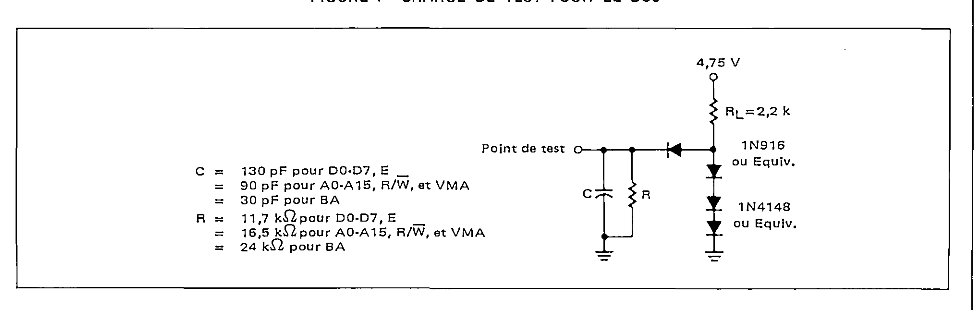


FIGURE 4 – CHARGE DE TEST POUR LE BUS



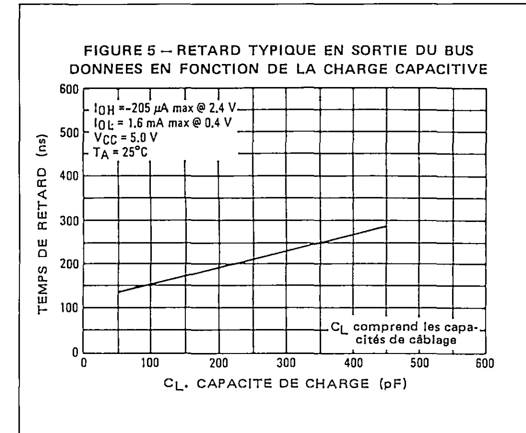


FIGURE 5 – RETARD TYPIQUE EN SORTIE DU BUS DONNEES EN FONCTION DE LA CHARGE CAPACITIVE

FIGURE 6 – RETARD TYPIQUE DE R/W, VMA ET DES ADRESSES EN FONCTION DE LA CHARGE CAPACITIVE

I_{OH} = -145 µA max @ 2.4 V
I_{OL} = 1.6 mA max @ 0.4 V
V_{CC} = 5.0 V
T_A = 25°C

TEMPS DE RETARD (ns): 0, 100, 200, 300, 400, 500, 600

Adresses, VMA

R/W

C_L comprend les capacités de câblage

C_L, CAPACITE DE CHARGE (pF): 0, 100, 200, 300, 400, 500, 600

FIGURE 7 — EF6802/EF6808 SCHEMA FONCTIONNEL

A15 25, A14 24, A13 23, A12 22, A11 20, A10 19, A9 18, A8 17

A7 16, A6 15, A5 14, A4 13, A3 12, A2 11, A1 10, A0 9

Amplificateurs de sortie Adresses

Amplificateurs de sortie Adresses

EF6802 seulement

Commande RAM

35 V_{CC} de repos
V_{CC} (EF6808)

32 octets

96 octets

36 Validation RAM (RE)
V_{SS} (EF6808)

Mémoire prête (MR) 3
Horloge (E) 37
Reset 40
Interruption non masquable (NMI) 6
Halt 2
Demande d'interruption (IRQ) 4
EXtal 39
Xtal 38
Bus disponible (BA) 7
Adresse mémoire valide (VMA) 5
Lecture/Ecriture (R/W) 34

Horloge, Décodage Instructions et Commandes

Compteur programme H

Pointeur de pile H

Registre index H

Compteur programme L

Pointeur de pile L

Registre index L

Accumulateur A

Accumulateur B

Reg. codes condition

ALU

Registre Instruction

Amplificateur et registre de données

26 D7, 27 D6, 28 D5, 29 D4, 30 D3, 31 D2, 32 D1, 33 D0

V_{CC} = broche 8,35
V_{SS} = broche 1,21

REGISTRES DU MPU

La figure 7 montre le schéma fonctionnel du EF6802/ EF6808. Comme indiqué, le nombre et la configuration des registres sont les mêmes que ceux du EF6800. *La RAM 128 x 8 bits a été ajoutée au MPU de base. Les 32 premiers octets peuvent fonctionner en mode faible consommation grâce à V_{CC} de repos. Ces 32 octets peuvent avoir leur contenu maintenu durant une mise sous ou hors tension par le signal RE.*
Le MPU possède trois registres de 16 bits et trois registres de 8 bits accessibles par programme (figure 8).

Compteur Programme — Le compteur programme est un registre de 16 bits qui contient l'adresse courante du programme.

Pointeur de Pile — Le pointeur de pile est un registre de 16 bits qui contient l'adresse de la position disponible dans une pile externe à fonctionnement "dernier entré", "premier sorti". Cette pile est généralement en mémoire RAM et peut se situer à une adresse quelconque.
Dans les applications qui demandent la sauvegarde d'informations dans la pile en cas de coupure d'alimentation, la pile sera de type non volatile.

Registre Index — Le registre index est un registre de 16 bits qui peut être utilisé pour des transferts de données ou comme index dans le mode d'adressage indexé.

Accumulateurs — Le MPU possède deux accumulateurs de 8 bits, A et B, qui sont utilisés pour contenir des opérandes et des résultats de l'unité arithmétique et logique (ALU).

Registre Codes Condition — Le registre codes condition indique les résultats d'une opération de l'unité arithmétique et logique : Négatif (N), Zéro (Z), Dépassement (V), Retenue du bit 7 (C), et demi-retenue du bit 3 (H). Les bits du registre codes condition sont utilisés comme conditions de test des instructions de branchement conditionnel. Le bit 4 est le bit de masquage des interruptions. Les bits 6 et 7 du registre codes condition, non utilisés, sont à un.

La figure 9 montre la sauvegarde de l'état du microprocesseur dans la pile.

FIGURE 8 — REGISTRES PROGRAMMABLES DU MICROPROCESSEUR

7 ACCA 0 — Accumulateur A
7 ACCB 0 — Accumulateur B
15 IX 0 — Registre index
15 PC 0 — Compteur programme
15 SP 0 — Pointeur de pile
7 | 1 | 1 | H | I | N | Z | V | C | 0 — Registre codes condition
Retenue (du bit 7)
Dépassement
Zéro
Négatif
Masque d'interruption
Demi-retenue (du bit 3)



FIGURE 9 — SAUVEGARDE DE L'ETAT DU MICROPROCESSEUR DANS LA PILE

SP = Pointeur de pile
CC = Registre codes condition (ou octet d'état du microprocesseur)
ACCB = Accumulateur B
ACCA = Accumulateur A
IXH = Registre Index, octet de poids fort
IXL = Registre Index, octet de poids faible
PCH = Compteur Programme, octet de poids fort
PCL = Compteur Programme, octet de poids faible

Avant : m - 2, m - 1, m ← SP, m + 1, m + 2 (Pile)

Après : m - 9, m - 8, m - 7 ← SP, m - 6 CC, m - 5 ACCB, m - 4 ACCA, m - 3 IXH, m - 2 IXL, m - 1 PCH, m PCL, m + 1, m + 2 (Pile)

DESCRIPTION DES SIGNAUX DU MICROPROCESSEUR EF6802/EF6808

Le fonctionnement correct du MPU nécessite que certains signaux de commande ou de synchronisation lui soient fournis pour accomplir certaines fonctions spécifiques et que l'état du processeur soit indiqué par d'autres signaux. Commandes et signaux de synchronisation du EF6802/EF6808 sont identiques à ceux du EF6800, aux exceptions suivantes près : les entrées TSC, DBE, ϕ 1 et ϕ 2 et deux broches non utilisées ont été supprimées et les signaux suivants ont été ajoutés :

Validation mémoire	*: RAM Enable (RE)*
V_{CC} de repos	*: V_{CC} Standby*
Entrées quartz	: EXtal et Xtal
Mémoire prête	: Memory Ready (MR)
Validation Sortie ϕ 2	: Enable ϕ 2 output (E)

Sommaire des signaux du MPU EF 6802/EF 6808 :

Bus adresses (A0-A15) — Seize broches sont utilisées pour le bus adresses. Les sorties peuvent commander une charge TTL et 130 pF.

Bus Données (D0-D7) — Huit broches sont utilisées pour le bus données bi-directionnel. Il permet les transferts de données entre MPU et circuits mémoire ou périphérique. Les amplificateurs de sortie, à trois états, peuvent commander une charge TTL et 130 pF. *Lorsque la mémoire interne est sélectionnée, le bus données est en position "sortie". Ceci interdit l'entrée d'une information externe dans l'unité centrale. La mémoire interne est entièrement décodée des adresses $0000 à $007F. Une éventuelle RAM externe située dans cette zone doit être invalidée lorsque la RAM interne est sélectée.*

$\overline{\text{Halt}}$ — Le microprocesseur est à l'arrêt quand cette entrée est au niveau bas. Cette entrée est sensible à un niveau. Dans ce mode, la machine s'arrête en fin d'exécution d'instruction, le signal BA (bus disponible) sera mis à un niveau haut, le signal VMA sera mis à l'état bas, et toutes les lignes trois états seront mises en état haute impédance. Le bus adresses comportera l'adresse de l'instruction suivante.
Pour réaliser une exécution pas à pas, la transition de la ligne $\overline{\text{Halt}}$ ne doit pas se produire pendant les dernières 250 ns de la phase E et la ligne $\overline{\text{Halt}}$ doit passer à l'état haut pendant un cycle d'horloge.
Lorsque la broche $\overline{\text{Halt}}$ n'est pas utilisée, elle doit être forcée à l'état haut. Ceci relève d'une bonne conception technique et permet un bon fonctionnement du circuit.

Lecture/$\overline{\text{Ecriture}}$ (R/$\overline{\text{W}}$) — Cette sortie compatible TTL indique aux circuits mémoires et périphériques que le MPU est en lecture (état haut) ou en écriture (état bas). Au repos, l'état normal de ce signal est à l'état haut (Lecture). Quand le processeur est à l'arrêt, il est à l'état logique un. Cette sortie peut commander une charge standard TTL et 90 pF.

Adresse Mémoire Valide (VMA) — Cette sortie indique aux circuits périphériques qu'il y a une adresse valide sur le bus adresses. En fonctionnement normal, ce signal doit être utilisé comme signal de validation des interfaces de périphériques telles que PIA et ACIA. Cette sortie n'est pas à trois états; elle peut commander une charge standard TTL et 90 pF (VMA = 1).

Bus Disponible (BA) — La sortie bus disponible est généralement à l'état bas; activée, elle passe à l'état haut indiquant que le processeur est à l'arrêt et que le bus adresses est disponible (mais pas en position trois-états). Ceci arrive quand la ligne $\overline{\text{Halt}}$ est à l'état bas ou que le processeur est en état WAIT résultat d'exécution d'une instruction WAIT (attente d'interruption). En même temps toutes les sorties trois-états sont mises à l'état haute impédance et les autres sorties à leur niveau normal de repos. Le processeur sort de l'état WAIT par une interruption masquable (bit de masque I = 0) ou par une interruption non-masquable. Cette sortie peut commander une charge standard TTL et 30 pF.

Demande d'Interruption ($\overline{\text{IRQ}}$) — Cette entrée provoque une demande d'interruption quand elle passe du niveau haut au niveau bas. Le processeur exécutera la séquence d'interruption à la fin de l'instruction en cours. La demande d'interruption est prise en compte si le bit masque d'interruption du registre codes condition est à zéro, la séquence d'interruption s'exécute alors. Le registre index, le compteur programme, les accumulateurs et le registre codes condition sont sauvegardés dans la pile. Le bit de masque est alors mis à un, interdisant la prise en compte d'autres interruptions. En fin de cycle, une adresse 16 bits est chargée et va pointer une adresse vecteur positionnée en mémoires FFF8 et FFF9. Ce vecteur contient l'adresse du programme de traitement des interruptions à laquelle se branche le MPU.

La ligne $\overline{\text{Halt}}$ doit être à l'état haut pour que la prise en compte des interruptions s'effectue. Les interruptions seront conservées intérieurement tant que $\overline{\text{Halt}}$ est à l'état bas.

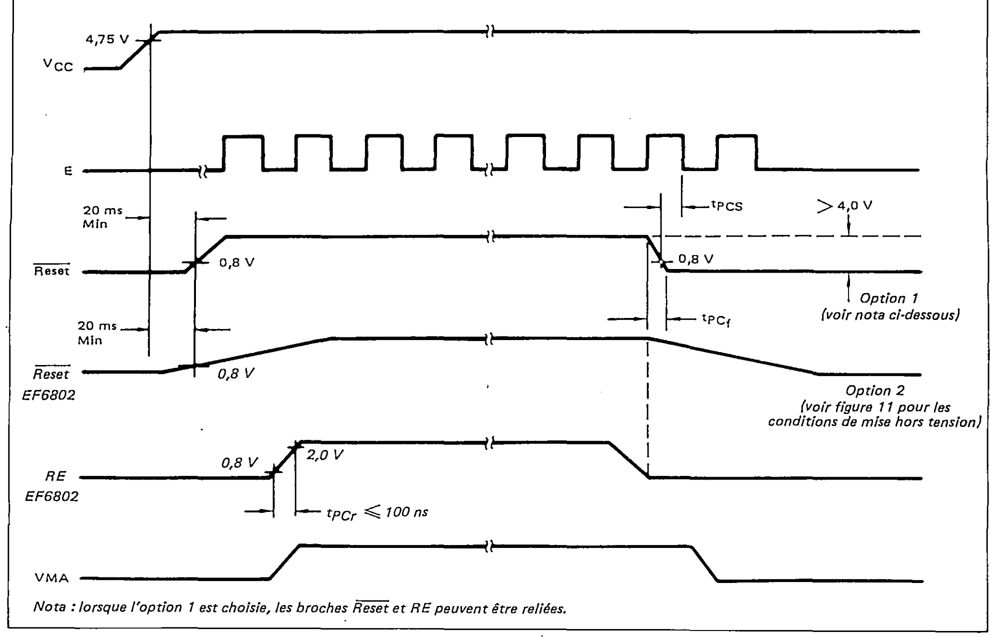
L'entrée $\overline{\text{IRQ}}$ possède une résistance de rappel au V_{CC} de haute impédance, interne à la puce; toutefois, une résistance 3 kΩ de rappel sur V_{CC} doit être utilisée pour réaliser un "OU" câblé et pour un contrôle optimal des interruptions.

Initialisation ($\overline{\text{Reset}}$) — Cette entrée est utilisée lors de la mise sous tension du MPU après une mise hors tension résultant d'un arrêt de l'alimentation. Quand cette ligne est à l'état bas, le MPU est inactif et les informations contenues dans les registres seront perdues. Le passage à l'état haut de cette entrée conduit le MPU à commencer la séquence de redémarrage; un programme d'initialisation s'exécute alors. Toutes les lignes adresse de poids forts sont forcées à un. Contenant l'adresse de branchement, les deux derniers octets de mémoire d'adresse FFFE et FFFF, sont lus et chargés dans le compteur programme, pour le redémarrage. Pendant la séquence de redémarrage, le masque d'interruption (bit I du registre codes condition) est mis à un; il devra être remis à zéro pour autoriser les interruptions par $\overline{\text{IRQ}}$. Les séquences de mise sous tension, d'initialisation *et de mise hors tension* sont montrées *respectivement* en figures 10 *et 11.*

La ligne $\overline{\text{Reset}}$ doit être maintenue à l'état bas au moins pendant trois cycles d'horloge. Ceci permet une bonne initialisation interne du EF6802/EF6808 et est indépendant des 20 ms nécessaires lors de la remise sous tension.

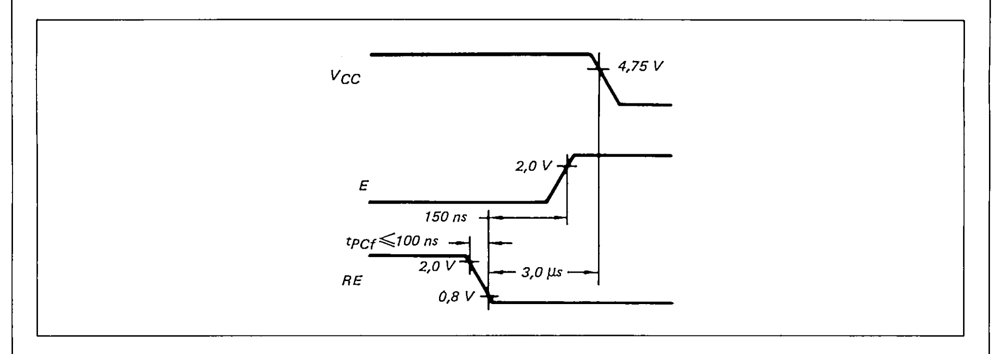
La ligne $\overline{\text{Reset}}$ doit passer de l'état bas à l'état haut sans rebondissement ou oscillation pour ne pas entraîner de mauvaise initialisation (si l'on a moins de trois cycles d'horloge). Ceci peut provoquer un mauvais fonctionnement du MPU jusqu'à la prochaine initialisation correcte.

FIGURE 10 — MISE SOUS TENSION ET INITIALISATION



Nota : lorsque l'option 1 est choisie, les broches $\overline{\text{Reset}}$ et RE peuvent être reliées.

FIGURE 11 — SEQUENCE DE MISE HORS TENSION (EF6802)



Interruption Non Masquable ($\overline{NMI}$) — Un front descendant sur cette entrée signale une interruption non masquable. Comme avec le signal demande d'interruption, le processeur termine l'exécution de l'instruction en cours avant de prendre en compte le signal $\overline{NMI}$. Le bit masque d'interruption I du registre codes condition n'a aucune influence sur la prise en compte de $\overline{NMI}$.

Le registre index, le compteur programme, les accumulateurs et le registre codes condition sont sauvegardés dans la pile. En fin de cycle une adresse de 16 bits est chargée et va pointer une adresse vecteur positionnée en mémoires FFFC et FFFD. Ce vecteur (ou pointeur associé aux interruptions non masquables) contient l'adresse du programme de traitement des interruptions non masquables à laquelle se branche le MPU.

L'entrée $\overline{NMI}$ possède une résistance de rappel de haute impédance, interne à la puce; toutefois une résistance 3 kΩ de rappel sur V_{CC} doit être utilisée pour réaliser un "OU" câblé et pour un contrôle optimal des interruptions.

Les entrées $\overline{NMI}$ et $\overline{IRQ}$ sont des lignes d'interruption qui sont échantillonnées lorsque le signal E est à l'état haut et la séquence d'interruption débutera lorsque le signal E est à l'état bas après l'exécution de l'instruction en cours.

Quand l'entrée NMI n'est pas utilisée, elle doit être forcée à l'état haut.

Ceci relève d'une bonne conception technique et permet un bon fonctionnement du circuit.

La figure 12 est un organigramme décrivant les principaux chemins de décision et les vecteurs d'interruption du microprocesseur. Le tableau 1 donne l'implantation en mémoire des vecteurs d'interruption.

Validation Mémoire RAM (RE) — *Une entrée validation mémoire compatible TTL commande la mémoire RAM intégrée sur la puce du EF6802. A l'état haut, cette entrée valide la mémoire intégrée lui permettant de répondre aux commandes du MPU. A l'état bas, cette entrée met hors circuit la mémoire. Cette entrée peut aussi être utilisée pour empêcher toute opération d'écriture ou de lecture de la mémoire intégrée durant une période de diminution de puissance de l'alimentation. RE doit être à l'état bas trois cycles avant que V_{CC} ne soit descendu au-dessous de 4,75 V durant une baisse d'alimentation. Quand l'entrée RE n'est pas utilisée, elle doit être maintenue soit à l'état haut, soit à l'état bas.*

Ceci relève d'une bonne conception technique et permet un bon fonctionnement du circuit.

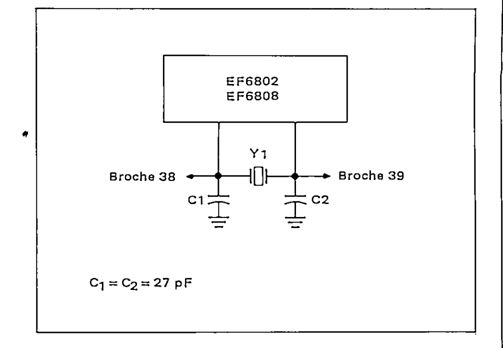
EXtal et Xtal — Le EF6802/EF6808 possède un oscillateur interne qui peut être piloté par quartz. Ces entrées sont prévues pour fonctionner avec un quartz de fréquence fondamentale de résonance série 1 MHz. Un diviseur par 4 a été ajouté au EF6802/EF6808 afin de pouvoir utiliser un quartz à 4 MHz au lieu d'un quartz à 1 MHz et améliorer le rapport prix/performances du système. La broche EXtal du EF6802/EF6808 peut être pilotée extérieurement par un signal d'entrée TTL si une horloge externe est nécessaire. Dans ce mode, la broche Xtal sera laissée en l'air.

Aux fréquences d'utilisation considérées, un réseau RC n'est pas directement utilisable entre les broches 38 et 39. Il n'est pas recommandé de remplacer un quartz par un réseau LC. Aucun essai n'a été fait pour simuler les caractéristiques d'un quartz à l'aide de composants discrets.

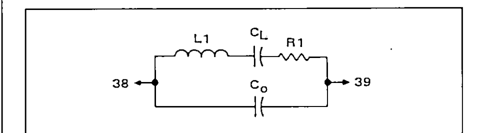
Si une horloge externe est utilisée, elle ne doit pas être arrêtée pendant plus de 4,5 µs. Le EF6802/EF6808 est un circuit dynamique *à l'exception de sa RAM interne* et il a donc besoin d'une horloge pour retenir les informations.

Caractéristiques du cristal :

Les spécifications pour 4 MHz sont indiquées ci-dessous :



Le schéma ci-dessous indique le schéma équivalent et les paramètres à préciser au fournisseur du cristal.



Cristal résonance parallèle coupe AT
C_0 = 7,0 pF max.
F = 4 MHz avec C_L = 24 pF
R_1 max. 50 Ω
Précision de la fréquence : ±5% à ±0,02%

NOTE : Les chemins critiques de propagation peuvent nécessiter une meilleure précision que 5%. Les tolérances de fabrication et le coefficient de température du EF6802/EF6808 ne permettent pas de garantir une tolérance supérieure à ±0,05% (500 ppm) en utilisant un quartz à ±0,02%. Si le EF6802/EF6808 n'est pas utilisé dans toute sa gamme de température (0 à +70°C), la tolérance globale sera améliorée.
Dans les applications ne nécessitant pas l'utilisation d'un quartz de 4 MHz, la tableau ci-dessous indique les paramètres du quartz. Ce tableau contient le spectre complet des quartz utilisables avec le EF6802/EF6808. Pour les fréquences comprises entré 1 et 4 MHz, les fréquences du cristal peuvent être obtenues par interpolation.

Fréquence du quartz	C1 et C2	C_L	R1 (Max)	C_o (Max)
4.0 MHz	27 pF	24 pF	50 ohms	7.0 pF
3.58 MHz	27 pF	20 pF	50 ohms	7.0 pF
3.0 MHz	27 pF	18 pF	75 ohms	6.7 pF
2.5 MHz	27 pF	18 pF	75 ohms	6.0 pF
2.0 MHz	33 pF	24 pF	100 ohms	5.5 pF
1.5 MHz	39 pF	27 pF	200 ohms	4.5 pF
1.0 MHz	39 pF	30 pF	250 ohms	4.0 pF

Mémoire Prête (MR) — MR est une entrée compatible TTL qui permet l'allongement de E. Lorsque MR est à l'état haut E travaille normalement. Lorsque MR est à l'état bas E est allongé d'un nombre entier de demi-périodes, permettant ainsi l'accès aux mémoires lentes. Le diagramme des temps de mémoire prête est montré en figure 13.
Quand l'entrée MR n'est pas utilisée, elle doit être maintenue à l'état haut. L'allongement maximum du signal d'horloge ne peut être supérieur à 10 µs.
Ceci relève d'une bonne conception technique et permet un bon fonctionnement du circuit.

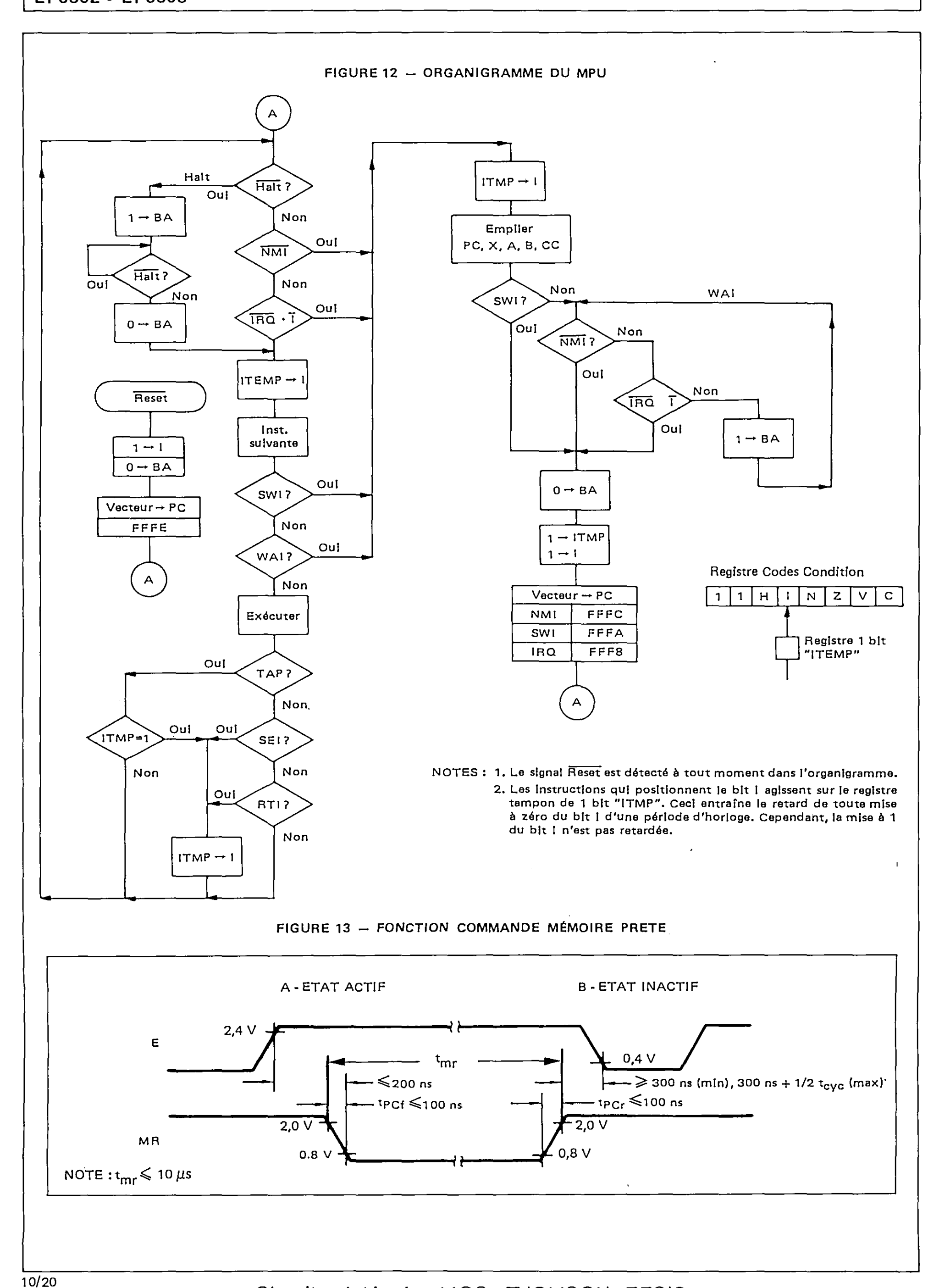
Horloge (E) — Cette broche fournit un signal d'horloge pour le MPU et le reste du système. Ce signal, compatible TTL, est un signal d'horloge à une seule phase. Cette horloge peut être commandée par le signal MR. C'est l'équivalent de la sortie $\phi 2$ du EF6800.

V_{CC} de repos : (de 4,0V à 5,25V) — *Cette broche permet d'alimenter les 32 premiers octets de RAM ainsi que la logique de commande de validation mémoire (RE). La sauvegarde des données dans cette zone de RAM est ainsi assurée lors des mises sous tension, hors tension et en position d'attente. Le courant maximal à 5,25 V est de 8 mA.*

TABLEAU 1 — IMPLANTATION EN MEMOIRE DES VECTEURS D'INTERRUPTION

Vecteur MS	Vecteur LS	Description
FFFE	FFFF	Redémarrage (Restart)
FFFC	FFFD	Interruption non masquable (NMI)
FFFA	FFFB	Interruption programmée (SWI)
FFF8	FFF9	Demande d'interruption (IRQ)

FIGURE 12 — ORGANIGRAMME DU MPU



NOTES : 1. Le signal $\overline{\text{Reset}}$ est détecté à tout moment dans l'organigramme.
2. Les instructions qui positionnent le bit I agissent sur le registre tampon de 1 bit "ITMP". Ceci entraîne le retard de toute mise à zéro du bit I d'une période d'horloge. Cependant, la mise à 1 du bit I n'est pas retardée.

FIGURE 13 — FONCTION COMMANDE MÉMOIRE PRETE

JEU D'INSTRUCTIONS DU MPU

Le MPU possède un jeu de 72 instructions différentes. Ce jeu comprend les instructions suivantes : arithmétique binaire et décimale, logique, décalages, décalages circulaires, chargements, stockages, branchements conditionnels et inconditionnels, instructions de manipulation de pile et instructions associées aux interruptions (tableaux 2 à 6). Ce jeu d'instructions est identique à celui du EF6800.

MODES D'ADRESSAGE DU MPU

Le microprocesseur EF6802/EF6808 a sept modes d'adressage qui peuvent être utilisés par programme. Le tableau 7 donne les modes d'adressage possibles pour chaque instruction avec les temps d'exécution associés. Avec une horloge de fréquence 1 MHz, les temps donnés en cycles machine seraient des µs.

Adressage des Accumulateurs (ACCX) — Dans ce mode d'adressage, l'opérande est soit l'accumulateur A, soit l'accumulateur B. L'instruction porte sur un octet.

Adressage immédiat — En adressage immédiat, l'opérande est contenu dans le 2e octet de l'instruction, sauf pour les instructions LDS et LDX qui ont l'opérande dans le 2e et 3e octet. Le MPU adresse directement cet opérande lorsqu'il exécute une instruction en adressage immédiat. Les instructions portent sur deux ou trois octets.

Adressage direct — L'adresse de l'opérande est contenue dans le deuxième octet de l'instruction. L'adressage direct permet à l'utilisateur d'adresser directement les 256 octets de poids faible de la mémoire (octets mémoire d'adresse 0 à 255). Les temps d'exécution sont améliorés en plaçant des données dans cette zone mémoire. Dans la plupart des configurations, cette zone mémoire est une RAM. Les instructions portent sur deux octets.

Adressage étendu — Dans ce mode d'adressage, l'adresse de l'opérande est contenue dans les deuxième (bits de poids fort) et troisième (bits de poids faible) octets de l'instruction. Les instructions portent sur trois octets.

Adressage indexé — En adressage indexé, le contenu du 2e octet de l'instruction (ou déplacement) est ajouté au contenu du registre index pour former l'adresse (absolue) de l'opérande. L'adresse absolue est maintenue dans un registre d'adresse temporaire, le registre index reste ainsi inchangé. Les instructions portent sur deux octets.

Adressage implicite — Dans ce mode d'adressage, le code opération de l'instruction indique l'adresse de l'opérande (pointeur de pile, registre index, etc...). Les instructions portent sur un octet.

Adressage relatif — En adressage relatif, le contenu du 2e octet de l'instruction (ou déplacement) ajouté au contenu du compteur programme détermine l'adresse de branchement. Ceci permet à l'utilisateur d'effectuer des branchements dans la limite de − 125 à + 129 octets par rapport à l'adresse de début de l'instruction. Ces instructions portent sur deux octets.

TABLEAU 2 — JEU D'INSTRUCTIONS DU MPU — LISTE ALPHABETIQUE

ABA	Addition des accumulateurs A et B
ADC	Addition avec retenue
ADD	Addition
AND	"ET" logique
ASL	Décalage arithmétique gauche
ASR	Décalage arithmétique droite
BCC	Branchement si pas de retenue
BCS	Branchement si retenue
BEQ	Branchement si égal à zéro
BGE	Branchement si supérieur ou égal à zéro
BGT	Branchement si plus grand que zéro
BHI	Branchement si supérieur
BIT	Test de bits
BLE	Branchement si inférieur ou égal à zéro
BLS	Branchement si inférieur ou égal
BLT	Branchement si inférieur à zéro
BMI	Branchement si négatif
BNE	Branchement si non nul
BPL	Branchement si positif ou nul
BRA	Branchement inconditionnel
BSR	Branchement à un sous-programme
BVC	Branchement si pas de dépassement
BVS	Branchement si dépassement
CBA	Comparaison des accumulateurs
CLC	Mise à zéro du bit de retenue
CLI	Mise à zéro du masque d'interruption
CLR	Mise à zéro
CLV	Mise à zéro bit dépassement
CMP	Comparaison
COM	Complément à un
CPX	Comparaison du registre index
DAA	Ajustement décimal sur A
DEC	Décrémentation
DES	Décrémentation pointeur de pile
DEX	Décrémentation registre index
EOR	"OU" exclusif
INC	Incrémentation
INS	Incrémentation pointeur de pile
INX	Incrémentation registre index
JMP	Saut
JSR	Saut à un sous-programme
LDA	Chargement accumulateur
LDS	Chargement pointeur de pile
LDX	Chargement registre index
LSR	Décalage logique à droite
NEG	Complément à 2 (négatif)
NOP	Non opération
ORA	"OU" logique
PSH	Entrée d'un octet dans la pile
PUL	Sortie d'un octet de la pile
ROL	Décalage circulaire gauche
ROR	Décalage circulaire droite
RTI	Retour d'interruption
RTS	Retour de sous-programme
SBA	Soustraction entre accumulateurs
SBC	Soustraction avec retenue
SEC	Mise à un de la retenue
SEI	Mise à un du masque d'interruption
SEV	Mise à un du bit de dépassement
STA	Mise en mémoire accumulateur
STS	Mise en mémoire pointeur de pile
STX	Mise en mémoire registre index
SUB	Soustraction
SWI	Interruption programmée
TAB	Transfert accumulateur A dans accumulateur B
TAP	Transfert accumulateur A dans registre CC
TBA	Transfert accumulateur B dans accumulateur A
TPA	Transfert du registre codes condition dans accumulateur A
TST	Test
TSX	Transfert du pointeur de pile dans le registre index
TXS	Transfert du registre index dans le pointeur de pile
WAI	Attente d'interruption

TABLEAU 3 – INSTRUCTIONS SUR LES ACCUMULATEURS ET LA MEMOIRE

Instructions	Mnémonique	Modes d'adressage: Immédiat OP	~	=	Direct OP	~	=	Indexé OP	~	=	Etendu OP	~	=	Implicite OP	~	=	Opération arithmétique booléenne	Registre codes condition 5 H	4 I	3 N	2 Z	1 V	0 C
Addition	ADDA	8B	2	2	9B	3	2	AB	5	2	BB	4	3				A + M → A	↕	•	↕	↕	↕	↕
	ADDB	CB	2	2	DB	3	2	EB	5	2	FB	4	3				B + M → B	↕	•	↕	↕	↕	↕
Add. Accumulateurs	ABA													1B	2	1	A + B → A	↕	•	↕	↕	↕	↕
Add. avec retenue	ADCA	89	2	2	99	3	2	A9	5	2	B9	4	3				A + M + C → A	↕	•	↕	↕	↕	↕
	ADCB	C9	2	2	D9	3	2	E9	5	2	F9	4	3				B + M + C → B	↕	•	↕	↕	↕	↕
"ET" logique	ANDA	84	2	2	94	3	2	A4	5	2	B4	4	3				A · M → A	•	•	↕	↕	R	•
	ANDB	C4	2	2	D4	3	2	E4	5	2	F4	4	3				B · M → B	•	•	↕	↕	R	•
Test de bit	BITA	85	2	2	95	3	2	A5	5	2	B5	4	3				A · M	•	•	↕	↕	R	•
	BITB	C5	2	2	D5	3	2	E5	5	2	F5	4	3				B · M	•	•	↕	↕	R	•
Remise à zéro	CLR							6F	7	2	7F	6	3				00 → M	•	•	R	S	R	R
	CLRA													4F	2	1	00 → A	•	•	R	S	R	R
	CLRB													5F	2	1	00 → B	•	•	R	S	R	R
Comparaison	CMPA	81	2	2	91	3	2	A1	5	2	B1	4	3				A – M	•	•	↕	↕	↕	↕
	CMPB	C1	2	2	D1	3	2	E1	5	2	F1	4	3				B – M	•	•	↕	↕	↕	↕
Comparaison accumulateurs	CBA													11	2	1	A – B	•	•	↕	↕	↕	↕
Complément à 1	COM							63	7	2	73	6	3				$\overline{M}$ → M	•	•	↕	↕	R	S
	COMA													43	2	1	$\overline{A}$ → A	•	•	↕	↕	R	S
	COMB													53	2	1	$\overline{B}$ → B	•	•	↕	↕	R	S
Complément à 2	NEG							60	7	2	70	6	3				00 – M → M	•	•	↕	↕	①	②
(negatif)	NEGA													40	2	1	00 – A → A	•	•	↕	↕	①	②
	NEGB													50	2	1	00 – B → B	•	•	↕	↕	①	②
Ajustement décimal sur A	DAA													19	2	1	convertir le résultat de l'addition de caractères BCD en format BCD	•	•	↕	↕	↕	③
Décrémentation	DEC							6A	7	2	7A	6	3				M – 1 → M	•	•	↕	↕	4	•
	DECA													4A	2	1	A – 1 → A	•	•	↕	↕	4	•
	DECB													5A	2	1	B – 1 → B	•	•	↕	↕	4	•
"OU" exclusif	EORA	88	2	2	98	3	2	A8	5	2	B8	4	3				A⊕M → A	•	•	↕	↕	R	•
	EORB	C8	2	2	D8	3	2	E8	5	2	F8	4	3				B⊕M → B	•	•	↕	↕	R	•
Incrémentation	INC							6C	7	2	7C	6	3				M + 1 → M	•	•	↕	↕	⑤	•
	INCA													4C	2	1	A + 1 → A	•	•	↕	↕	⑤	•
	INCB													5C	2	1	B + 1 → B	•	•	↕	↕	⑤	•
Chargement accumulateurs	LDAA	86	2	2	96	3	2	A6	5	2	B6	4	3				M → A	•	•	↕	↕	R	•
	LDAB	C6	2	2	D6	3	2	E6	5	2	F6	4	3				M → B	•	•	↕	↕	R	•
"OU" logique	ORAA	8A	2	2	9A	3	2	AA	5	2	BA	4	3				A + M → A	•	•	↕	↕	R	•
	ORAB	CA	2	2	DA	3	2	EA	5	2	FA	4	3				B + M → B	•	•	↕	↕	R	•
Mise des données dans la pile	PSHA													36	4	1	A → M_{SP}, SP – 1 → SP	•	•	•	•	•	•
	PSHB													37	4	1	B → M_{SP}, SP – 1 → SP	•	•	•	•	•	•
Chargement d'accu. à partir de la pile	PULA													32	4	1	SP + 1 → SP, M_{SP} → A	•	•	•	•	•	•
	PULB													33	4	1	SP + 1 → SP, M_{SP} → B	•	•	•	•	•	•
Décalage circulaire vers la gauche	ROL							69	7	2	79	6	3				M	•	•	↕	↕	⑥	↕
	ROLA													49	2	1	A □ ← □□□□□□□□	•	•	↕	↕	⑥	↕
	ROLB													59	2	1	B C b7 ← b0	•	•	↕	↕	⑥	↕
Décalage circulaire vers la droite	ROR							66	7	2	76	6	3				M	•	•	↕	↕	⑥	↕
	RORA													46	2	1	A □ → □□□□□□□□	•	•	↕	↕	⑥	↕
	RORB													56	2	1	B C b7 → b0	•	•	↕	↕	⑥	↕
Décalage arithmétique vers la gauche	ASL							68	7	2	78	6	3				M	•	•	↕	↕	⑥	↕
	ASLA													48	2	1	A □ ← □□□□□□□□ ← 0	•	•	↕	↕	⑥	↕
	ASLB													58	2	1	B C b7 b0	•	•	↕	↕	⑥	↕
Décalage arithmétique vers la droite	ASR							67	7	2	77	6	3				M	•	•	↕	↕	⑥	↕
	ASRA													47	2	1	A □□□□□□□□ → □	•	•	↕	↕	⑥	↕
	ASRB													57	2	1	B b7 b0 C	•	•	↕	↕	⑥	↕
Décalage logique vers la droite	LSR							64	7	2	74	6	3				M	•	•	R	↕	⑥	↕
	LSRA													44	2	1	A 0 → □□□□□□□□ → □	•	•	R	↕	⑥	↕
	LSRB													54	2	1	B b7 b0 C	•	•	R	↕	⑥	↕
Mise en mémoire de l'accumulateur	STAA				97	4	2	A7	6	2	B7	5	3				A → M	•	•	↕	↕	R	•
	STAB				D7	4	2	E7	6	2	F7	5	3				B → M	•	•	↕	↕	R	•
Soustraction	SUBA	80	2	2	90	3	2	A0	5	2	B0	4	3				A – M → A	•	•	↕	↕	↕	↕
	SUBB	C0	2	2	D0	3	2	E0	5	2	F0	4	3				B – M → B	•	•	↕	↕	↕	↕
Soustraction accumulateur	SBA													10	2	1	A – B → A	•	•	↕	↕	↕	↕
Soustraction avec retenue	SBCA	82	2	2	92	3	2	A2	5	2	B2	4	3				A – M – C → A	•	•	↕	↕	↕	↕
	SBCB	C2	2	2	D2	3	2	E2	5	2	F2	4	3				B – M – C → B	•	•	↕	↕	↕	↕
Transfert entre accumulateurs	TAB													16	2	1	A → B	•	•	↕	↕	R	•
	TBA													17	2	1	B → A	•	•	↕	↕	R	•
Test (zéro ou négatif)	TST							6D	7	2	7D	6	3				M – 00	•	•	↕	↕	R	R
	TSTA													4D	2	1	A – 00	•	•	↕	↕	R	R
	TSTB													5D	2	1	B – 00	•	•	↕	↕	R	R

LEGENDE :

OP	Code opération (hexadécimal)	+	"OU" logique
~	Nombre de cycles d'horloge	⊕	"OU" exclusif
=	Nombre d'octets de programme	$\overline{M}$	complément de M
+	Plus arithmétique	→	Transfert dans
–	Moins arithmétique	0	Bit=zéro
·	"ET" logique	00	Octet=zéro
M_{SP}	Contenu de l'octet mémoire adressé par le pointeur de pile		

Note: Les instructions utilisant le mode d'adressage d'accumulateur sont incluses dans la colonne pour l'adressage implicite

SYMBOLES DES CODES CONDITION :

H	Demi-retenue (du bit 3)
I	Masque d'interruption
N	Négatif (bit du signe)
Z	Zéro (octet)
V	Dépassement (en complément à 2)
C	Retenue du bit 7
R	Toujours mis à un
S	Toujours mis à zéro
↕	Test et mis à un si vrai; si non mis à zéro
•	Inchangé

TABLEAU 4 – INSTRUCTIONS SUR LE REGISTRE INDEX ET LE POINTEUR DE PILE

Instructions	Mnémonique	Immédiat			Direct			Indexé			Etendu			Implicite			Opération arithmétique booléenne	Registre codes condition 5	4	3	2	1	0
		OP	~	#	OP	~	#	OP	~	#	OP	~	#	OP	~	#		H	I	N	Z	V	C
Comparaison de X	CPX	8C	3	3	9C	4	2	AC	6	2	BC	5	3				$X_H - M, X_L - (M+1)$	•	•	(7)	↕	(8)	•
Décrémentation de X	DEX													09	4	1	$X - 1 \rightarrow X$	•	•	•	↕	•	•
Décrémentation du SP	DES													34	4	1	$SP - 1 \rightarrow SP$	•	•	•	•	•	•
Incrémentation de X	INX													08	4	1	$X + 1 \rightarrow X$	•	•	•	↕	•	•
Incrémentation du SP	INS													31	4	1	$SP + 1 \rightarrow SP$	•	•	•	•	•	•
Chargement de X	LDX	CE	3	3	DE	4	2	EE	6	2	FE	5	3				$M \rightarrow X_H, (M+1) \rightarrow X_L$	•	•	(9)	↕	R	•
Chargement du SP	LDS	8E	3	3	9E	4	2	AE	6	2	BE	5	3				$M \rightarrow SP_H, (M+1) \rightarrow SP_L$	•	•	(9)	↕	R	•
Mise en mémoire de X	STX				DF	5	2	EF	7	2	FF	6	3				$X_H \rightarrow M, X_L \rightarrow (M+1)$	•	•	(9)	↕	R	•
Mise en mémoire du SP	STS				9F	5	2	AF	7	2	BF	6	3				$SP_H \rightarrow M, SP_L \rightarrow (M+1)$	•	•	(9)	↕	R	•
Transfert X → SP	TXS													35	4	1	$X - 1 \rightarrow SP$	•	•	•	•	•	•
Transfert SP → X	TSX													30	4	1	$SP + 1 \rightarrow X$	•	•	•	•	•	•

X : registre index
SP : pointeur de pile

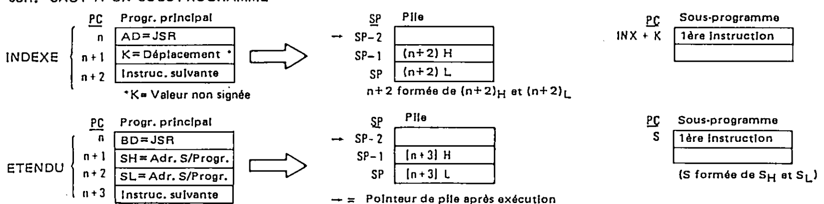
TABLEAU 5 – INSTRUCTIONS DE SAUT ET BRANCHEMENT

Instructions	Mnémonique	Relatif			Indexé			Etendu			Implicite			Test de branchement	Registre codes condition 5	4	3	2	1	0
		OP	~	#	OP	~	#	OP	~	#	OP	~	#		H	I	N	Z	V	C
Branch. inconditionnel	BRA	20	4	2										Nul	•	•	•	•	•	•
Branch. si retenue à 0	BCC	24	4	2										$C = 0$	•	•	•	•	•	•
Branch. si retenue à 1	BCS	25	4	2										$C = 1$	•	•	•	•	•	•
Branch. si = 0	BEQ	27	4	2										$Z = 1$	•	•	•	•	•	•
Branch. si ⩾ 0	BGE	2C	4	2										$N \oplus V = 0$	•	•	•	•	•	•
Branch. si > 0	BGT	2E	4	2										$Z + (N \oplus V) = 0$	•	•	•	•	•	•
Branch. si supérieur	BHI	22	4	2										$C + Z = 0$	•	•	•	•	•	•
Branch. si ⩽ 0	BLE	2F	4	2										$Z + (N \oplus V) = 1$	•	•	•	•	•	•
Branch. si ⩽	BLS	23	4	2										$C + Z = 1$	•	•	•	•	•	•
Branch. si < 0	BLT	2D	4	2										$N \oplus V = 1$	•	•	•	•	•	•
Branch. si négatif	BMI	2B	4	2										$N = 1$	•	•	•	•	•	•
Branch. si non égal à 0	BNE	26	4	2										$Z = 0$	•	•	•	•	•	•
Branch. si non dépassement	BVC	28	4	2										$V = 0$	•	•	•	•	•	•
Branch. si dépassement	BVS	29	4	2										$V = 1$	•	•	•	•	•	•
Branch. si positif	BPL	2A	4	2										$N = 0$	•	•	•	•	•	•
Branch. à un sous-program.	BSR	8D	8	2											•	•	•	•	•	•
Saut	JMP				6E	4	2	7E	3	3				voir opérations spéciales	•	•	•	•	•	•
Saut à un sous-programme	JSR				AD	8	2	BD	9	3					•	•	•	•	•	•
Non opération	NOP										01	2	1	Passage en séquence	•	•	•	•	•	•
Retour d'interruption	RTI										3B	10	1				(10)			
Retour de sous-programme	RTS										39	5	1		•	•	•	•	•	•
Interruption programmée	SWI										3F	12	1	voir opérations spéciales	•	•	•	•	•	•
Attente d'interruption *	WAI										3E	9	1		•	(11)	•	•	•	•

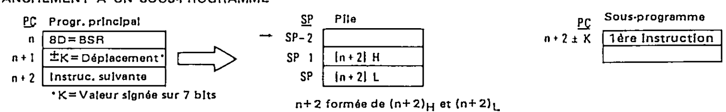
* WAI positionne le bus adresses et données et la ligne R/$\overline{W}$ dans l'état haute impédance tandis que VMA est tenue à l'état bas.

OPERATIONS SPECIALES

JSR. SAUT A UN SOUS-PROGRAMME



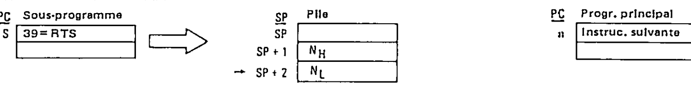
BSR. BRANCHEMENT A UN SOUS-PROGRAMME



JMP. SAUT



RTS. RETOUR DE SOUS-PROGRAMME



RTI. RETOUR DE PROGRAMME D'INTERRUPTION

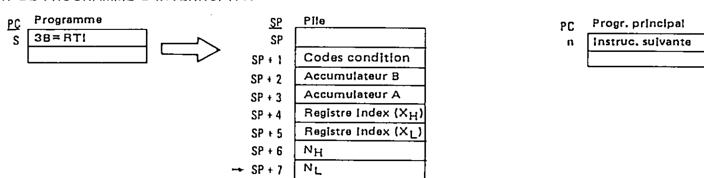


TABLEAU 6 — INSTRUCTIONS DE TRAITEMENT DU REGISTRE CODES CONDITION

Instructions	Mnémo-nique	Implicite			Opération booléenne	Registre codes condition					
						5	4	3	2	1	0
		OP	~	#		H	I	N	Z	V	C
Mise à 0 du bit de retenue	CLC	0C	2	1	0→C	•	•	•	•	•	R
Mise à 0 du masque d'interruption	CLI	0E	2	1	0→I	•	R	•	•	•	•
Mise à 0 du bit de dépassement	CLV	0A	2	1	0→V	•	•	•	•	R	•
Mise à 1 de la retenue	SEC	0D	2	1	1→C	•	•	•	•	•	S
Mise à 1 du masque d'interruption	SEI	0F	2	1	1→I	•	S	•	•	•	•
Mise à 1 du bit de dépassement	SEV	0B	2	1	1→V	•	•	•	•	S	•
Transfert Accu.A → Codes condition	TAP	06	2	1	A→CCR	(12)					
Transfert Codes condition → Accu.A	TPA	07	2	1	CCR→A	•	•	•	•	•	•

NOTES POUR LE REGISTRE CODES CONDITION : (Bit mis à un si le test est vrai et mis à zéro si non)

1 (Bit V) Test : Résultat 10000000 ?
2 (Bit C) Test : Résultat ≠ 00000000 ?
3 (Bit C) Test : Valeur décimale du caractère BCD de poids fort plus grand que 9 ? (non remis à zéro si précédemment mis à 1)
4 (Bit V) Test : Opérande = 10000000 avant exécution ?
5 (Bit V) Test : Opérande = 01111111 avant exécution ?
6 (Bit V) Test : Prend la valeur de N ⊕ C après décalage ?
7 (Bit N) Test : Bit de signe de l'octet de poids fort = 1 ?
8 (Bit V) Test : Dépassement en complément à 2 dans la soustraction des octets de poids fort ?
9 (Bit N) Test : Résultat négatif ? (Bit 15 = 1)
10 (Tous) Chargement du registre codes condition à partir de la pile (voir opérations spéciales)
11 (Bit I) Mis à un quand arrive une interruption. Si mis à un précédemment, une interruption non masquable est nécessaire.
12 (Tous) Positionnés suivant le contenu de l'accumulateur A

TABLEAU 7 — MODES D'ADRESSAGE POUR CHAQUE INSTRUCTION ET TEMPS D'EXECUTION ASSOCIES
(Temps exprimés en cycles d'horloge)

	(2 opérandes)	ACCX	Immédiat	Direct	Etendu	Indexé	Implicite	Relatif
ABA		•	•	•	•	•	2	•
ADC	x	•	2	3	4	5	•	•
ADD	x	•	2	3	4	5	•	•
AND	x	•	2	3	4	5	•	•
ASL		2	•	•	6	7	•	•
ASR		2	•	•	6	7	•	•
BCC		•	•	•	•	•	•	4
BCS		•	•	•	•	•	•	4
BEA		•	•	•	•	•	•	4
BGE		•	•	•	•	•	•	4
BGT		•	•	•	•	•	•	4
BHI		•	•	•	•	•	•	4
BIT	x	•	2	3	4	5	•	•
BLE		•	•	•	•	•	•	4
BLS		•	•	•	•	•	•	4
BLT		•	•	•	•	•	•	4
BMI		•	•	•	•	•	•	4
BNE		•	•	•	•	•	•	4
BPL		•	•	•	•	•	•	4
BRA		•	•	•	•	•	•	4
BSR		•	•	•	•	•	•	8
BVC		•	•	•	•	•	•	4
BVS		•	•	•	•	•	•	4
CBA		•	•	•	•	•	2	•
CLC		•	•	•	•	•	2	•
CLI		•	•	•	•	•	2	•
CLR		2	•	•	6	7	•	•
CLV		•	•	•	•	•	2	•
CMP	x	•	2	3	4	5	•	•
COM		2	•	•	6	7	•	•
CPX		•	3	4	5	6	•	•
DAA		•	•	•	•	•	2	•
DEC		2	•	•	6	7	•	•
DES		•	•	•	•	•	4	•
DEX		•	•	•	•	•	4	•
EOR	x	•	2	3	4	5	•	•

	(2 opérandes)	ACCX	Immédiat	Direct	Etendu	Indexé	Implicite
INC		2	•	•	6	7	•
INS		•	•	•	•	•	4
INX		•	•	•	•	•	4
JMP		•	•	•	3	4	•
JSR		•	•	•	9	8	•
LDA	x	•	2	3	4	5	•
LDS		•	3	4	5	6	•
LDX		•	3	4	5	6	•
LSR		2	•	•	6	7	•
NEG		2	•	•	6	7	•
NOP		•	•	•	•	•	2
ORA	x	•	2	3	4	5	•
PSH		•	•	•	•	•	4
PUL		•	•	•	•	•	4
ROL		2	•	•	6	7	•
ROR		2	•	•	6	7	•
RTI		•	•	•	•	•	10
RTS		•	•	•	•	•	5
SBA		•	•	•	•	•	2
SBC	x	•	2	3	4	5	•
SEC		•	•	•	•	•	2
SEI		•	•	•	•	•	2
SEV		•	•	•	•	•	2
STA	x	•	•	4	5	6	•
STS		•	•	5	6	7	•
STX		•	•	5	6	7	•
SUB	x	•	2	3	4	5	•
SWI		•	•	•	•	•	12
TAB		•	•	•	•	•	2
TAP		•	•	•	•	•	2
TBA		•	•	•	•	•	2
TPA		•	•	•	•	•	2
TST		2	•	•	6	7	•
TSX		•	•	•	•	•	4
TSX		•	•	•	•	•	4
WAI		•	•	•	•	•	9

Nota : Le temps de prise en compte d'une interruption est de 12 cycles à partir de la fin de l'exécution de l'instruction en cours, sauf après une instruction WAI où il est de 4 cycles.

RESUME DE L'EXECUTION CYCLE PAR CYCLE DES INSTRUCTIONS

Le tableau 8 fournit une description détaillée des informations circulant sur le bus adresses, le bus données, la ligne lecture/écriture (R/W) et la ligne adresse mémoire valide (VMA) pour chaque cycle d'exécution de chaque instruction.
Cette information est très utile pour comparer les résultats réels avec les résultats attendus en cours de mise au point de matériel et logiciel lors de l'exécution du programme de contrôle. L'information est répertoriée et groupée en fonction des modes d'adressage et du nombre de cycles par instruction. (En général, des instructions de même mode d'adressage et de nombre de cycles machines identiques s'exécutent de la même manière; les exceptions sont indiquées dans le tableau).

TABLEAU 8 – RESUME D'EXECUTION

Mode d'adressage et instructions	Cycles	Cycle #	Ligne VMA	Bus Adresses	Ligne R/W	Bus Données
IMMEDIAT						
ADC EOR ADD LDA AND ORA BIT SBC CMP SUB	2	1	1	Adresse du Code Op	1	Code Op
		2	1	Adresse du Code Op+1	1	Opérande
CPX LDS LDX	3	1	1	Adresse du Code Op	1	Code Op
		2	1	Adresse du Code Op+1	1	Opérande (octet de poids fort)
		3	1	Adresse du Code Op+2	1	Opérande (octet de poids faible)
DIRECT						
ADC EOR ADD LDA AND ORA BIT SBC CMP SUB	3	1	1	Adresse du Code Op	1	Code Op
		2	1	Adresse du Code Op+1	1	Adresse de l'opérande
		3	1	Adresse de l'opérande	1	Opérande
CPX LDS LDX	4	1	1	Adresse du Code Op	1	Code Op
		2	1	Adresse du Code Op+1	1	Adresse de l'opérande
		3	1	Adresse de l'opérande	1	Opérande (octet de poids fort)
		4	1	Adresse de l'opérande+1	1	Opérande (octet de poids faible)
STA	4	1	1	Adresse du Code Op	1	Code Op
		2	1	Adresse du Code Op+1	1	Adresse de destination
		3	0	Adresse de destination	1	Donnée non valide (Note 1)
		4	1	Adresse de destination	0	Donnée de l'accumulateur
STS STX	5	1	1	Adresse du Code Op	1	Code Op
		2	1	Adresse du Code Op+1	1	Adresse de l'opérande
		3	0	Adresse de l'opérande	1	Donnée non valide (Note 1)
		4	1	Adresse de l'opérande	0	Donnée du registre (octet de poids fort)
		5	1	Adresse de l'opérande+1	0	Donnée du registre (octet de poids faible)
INDEXE						
JMP	4	1	1	Adresse du Code Op	1	Code Op
		2	1	Adresse du Code Op+1	1	Déplacement
		3	0	Registre Index	1	Donnée non valide (Note 1)
		4	0	Registre Index+Déplacement (sans retenue)	1	Donnée non valide (Note 1)
ADC EOR ADD LDA AND ORA BIT SBC CMP SUB	5	1	1	Adresse du Code Op	1	Code Op
		2	1	Adresse du Code Op+1	1	Déplacement
		3	0	Registre Index	1	Donnée non valide (Note 1)
		4	0	Registre Index+Déplacement (sans retenue)	1	Donnée non valide (Note 1)
		5	1	Registre Index+Déplacement	1	Opérande
CPX LDS LDX	6	1	1	Adresse du Code Op	1	Code Op
		2	1	Adresse du Code Op+1	1	Déplacement
		3	0	Registre Index	1	Donnée non valide (Note 1)
		4	0	Registre Index+Déplacement (sans retenue)	1	Donnée non valide (Note 1)
		5	1	Registre Index+Déplacement	1	Opérande (octet de poids fort)
		6	1	Registre Index+Déplacement+1	1	Opérande (octet de poids faible)

Note 1 : voir page 20/20

TABLEAU 8 – RESUME D'EXECUTION (suite)

Mode d'adressage et instructions	Cycles	Cycle #	Ligne VMA	Bus Adresses	Ligne R/W	Bus Données
INDEXE (suite)						
STA	6	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code+1	1	Déplacement
		3	0	Registre Index	1	Donnée non valide (Note 1)
		4	0	Registre Index+ Déplacement (sans retenue)	1	Donnée non valide (Note 1)
		5	0	Registre Index+ Déplacement	1	Donnée non valide (Note 1)
		6	1	Registre Index+ Déplacement	0	Opérande
ASL LSR ASR NEG CLR ROL COM ROR DEC TST INC	7	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Déplacement
		3	0	Registre Index	1	Donnée non valide (Note 1)
		4	0	Registre Index+ Déplacement (sans retenue)	1	Donnée non valide (Note 1)
		5	1	Registre Index+ Déplacement	1	Opérande
		6	0	Registre Index+ Déplacement	1	Donnée non valide (Note 1)
		7	1/0 (Note 3)	Registre Index+ Déplacement	0	Nouvel Opérande (Note 3)
STS STX	7	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Déplacement
		3	0	Registre Index	1	Donnée non valide (Note 1)
		4	0	Registre Index+ Déplacement (sans retenue)	1	Donnée non valide (Note 1)
		5	0	Registre Index+ Déplacement	1	Donnée non valide (Note 1)
		6	1	Registre Index+ Déplacement	0	Opérande (octet de poids fort)
		7	1	Registre Index+ Déplacement+1	0	Opérande (octet de poids faible)
JSR	8	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Déplacement
		3	0	Registre Index	1	Donnée non valide (Note 1)
		4	1	Pointeur de pile	0	Adresse de retour (octet de poids faible)
		5	1	Pointeur de pile – 1	0	Adresse de retour (octet de poids fort)
		6	0	Pointeur de pile – 2	1	Donnée non valide (Note 1)
		7	0	Registre Index	1	Donnée non valide (Note 1)
		8	0	Registre Index+ Déplacement (sans retenue)	1	Donnée non valide (Note 1)
ETENDU						
JMP	3	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Adresse de saut (octet de poids fort)
		3	1	Adresse du code Op+2	1	Adresse de saut (octet de poids faible)
ADC EOR ADD LDA AND ORA BIT SBC CMP SUB	4	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Adresse opérande (octet de poids fort)
		3	1	Adresse du code Op+2	1	Adresse opérande (octet de poids faible)
		4	1	Adresse opérande	1	Opérande
CPX LDS LDX	5	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Adresse opérande (octet de poids fort)
		3	1	Adresse du code Op+2	1	Adresse opérande (octet de poids faible)
		4	1	Adresse opérande	1	Opérande (octet de poids fort)
		5	1	Adresse opérande+1	1	Opérande (octet de poids faible)
STA A STA B	5	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Adresse de destination (octet de poids fort)
		3	1	Adresse du code Op+2	1	Adresse de destination (octet de poids faible)
		4	0	Adresse de destination	1	Donnée non valide (Note 1)
		5	1	Adresse de destination	0	Donnée de l'accumulateur

Notes 1 et 3 : voir page 20/20

TABLEAU 8 — RESUME D'EXECUTION (suite)

Mode d'adressage et instructions	Cycles	Cycle #	Ligne VMA	Bus Adresses	Ligne R/W	Bus Données
ETENDU (suite)						
ASL LSR ASR NEG CLR ROL COM ROR DEC TST INC	6	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Adresse de l'opérande (octet de poids fort)
		3	1	Adresse du code Op+2	1	Adresse de l'opérande (octet de poids faible)
		4	1	Adresse de l'opérande	1	Opérande
		5	0	Adresse de l'opérande	1	Donnée non valide (Note 1)
		6	1/0 Note 3	Adresse de l'opérande	0	Nouvel Opérande (Note 3)
STS STX	6	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Adresse opérande (octet de poids fort)
		3	1	Adresse du code Op+2	1	Adresse opérande (octet de poids faible)
		4	0	Adresse de l'opérande	1	Donnée non valide (Note 1)
		5	1	Adresse de l'opérande	0	Opérande (octet de poids fort)
		6	1	Adresse de l'opérande+1	0	Opérande (octet de poids faible)
JSR	9	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Adresse de sous-programme (octet de poids fort)
		3	1	Adresse du code Op+2	1	Adresse de sous-programme (octet de poids faible)
		4	1	Adresse départ du sous-programme	1	Code Op de l'instruction suivante
		5	1	Pointeur de pile	0	Adresse de retour (octet de poids faible)
		6	1	Pointeur de pile − 1	0	Adresse de retour (octet de poids fort)
		7	0	Pointeur de pile − 2	1	Donnée non valide (Note 1)
		8	0	Adresse du code Op+2	1	Donnée non valide (Note 1)
		9	1	Adresse du code Op+2	1	Adresse de sous-programme (octet de poids faible)
IMPLICITE						
ABA DAA SEC ASL DEC SEI ASR INC SEV CBA LSR TAB CLC NEG TAP CLI NOP TBA CLR ROL TPA CLC ROR TST COM SBA	2	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Code Op de l'instruction suivante
DES DEX INS INX	4	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Code Op de l'instruction suivante
		3	0	Précédent contenu du registre	1	Donnée non valide (Note 1)
		4	0	Nouveau contenu du registre	1	Donnée non valide (Note 1)
PSH	4	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Code Op de l'instruction suivante
		3	1	Pointeur de pile	0	Contenu de l'accumulateur
		4	0	Pointeur de pile − 1	1	Contenu de l'accumulateur
PUL	4	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Code Op de l'instruction suivante
		3	0	Pointeur de pile	1	Donnée non valide (Note 1)
		4	1	Pointeur de pile+1	1	Donnée tirée de la pile
TSX	4	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Code Op de l'instruction suivante
		3	0	Pointeur de pile	1	Donnée non valide (Note 1)
		4	0	Nouveau Registre Index	1	Donnée non valide (Note 2)
TXS	4	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Code Op de l'instruction suivante
		3	0	Registre Index	1	Donnée non valide
		4	0	Nouveau pointeur de pile	1	Donnée non valide

Notes 1, 2 et 3 : voir page 20/20

TABLEAU 8 – RESUME D'EXECUTION (suite)

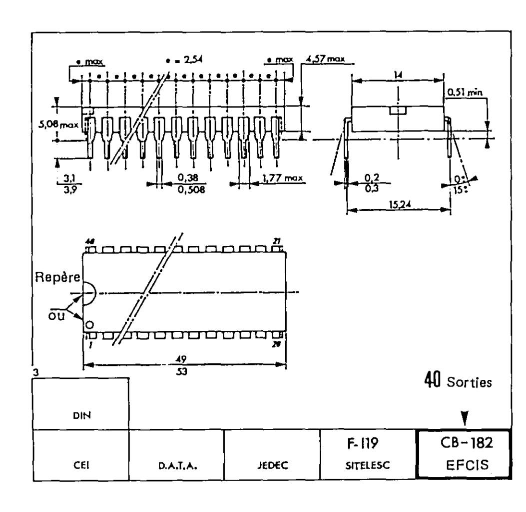
Mode d'adressage et instructions	Cycles	Cycle #	Ligne VMA	Bus Adresses	Ligne R/W	Bus Données
IMPLICITE (suite)						
RTS	5	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Donnée non valide (Note 2)
		3	0	Pointeur de pile	1	Donnée non valide (Note 1)
		4	1	Pointeur de pile+1	1	Adresse de retour (octet de poids fort)
		5	1	Pointeur de pile+2	1	Adresse de retour (octet de poids faible)
WAI	9	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Code Op de l'instruction suivante
		3	1	Pointeur de pile	0	Adresse de retour (octet de poids faible)
		4	1	Pointeur de pile–1	0	Adresse de retour (octet de poids fort)
		5	1	Pointeur de pile–2	0	Registre Index (octet de poids faible)
		6	1	Pointeur de pile–3	0	Registre Index (octet de poids fort)
		7	1	Pointeur de pile–4	0	Contenu de l'accumulateur A
		8	1	Pointeur de pile–5	0	Contenu de l'accumulateur B
		9	1	Pointeur de pile–6 (Note 4)	1	Contenu du registre codes condition
RTI	10	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Donnée non valide (Note 2)
		3	0	Pointeur de pile	1	Donnée non valide (Note 1)
		4	1	Pointeur de pile+1	1	Contenu du registre codes condition tiré de la pile
		5	1	Pointeur de pile+2	1	Accumulateur B tiré de la pile
		6	1	Pointeur de pile+3	1	Accumulateur A tiré de la pile
		7	1	Pointeur de pile+4	1	Registre Index tiré de la pile (octet de poids fort)
		8	1	Pointeur de pile+5	1	Registre Index tiré de la pile (octet de poids faible)
		9	1	Pointeur de pile+6	1	Adresse de retour tirée de la pile (octet de poids fort)
		10	1	Pointeur de pile+7	1	Adresse de retour tirée de la pile (octet de poids faible)
SWI	12	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Donnée non valide (Note 1)
		3	1	Pointeur de pile	0	Adresse de retour (octet de poids faible)
		4	1	Pointeur de pile–1	0	Adresse de retour (octet de poids fort)
		5	1	Pointeur de pile–2	0	Registre Index (octet de poids faible)
		6	1	Pointeur de pile–3	0	Registre Index (octet de poids fort)
		7	1	Pointeur de pile–4	0	Contenu de l'accumulateur A
		8	1	Pointeur de pile–5	0	Contenu de l'accumulateur B
		9	1	Pointeur de pile–6	0	Contenu du registre codes condition
		10	0	Pointeur de pile–7	1	Donnée non valide (Note 1)
		11	1	FFFA adresse du vecteur (Hexa)	1	Adresse de sous-programme (octet de poids fort)
		12	1	FFFB adresse du vecteur (Hexa)	1	Adresse de sous-programme (octet de poids faible)

Notes 1, 2 et 4 : voir page 20/20

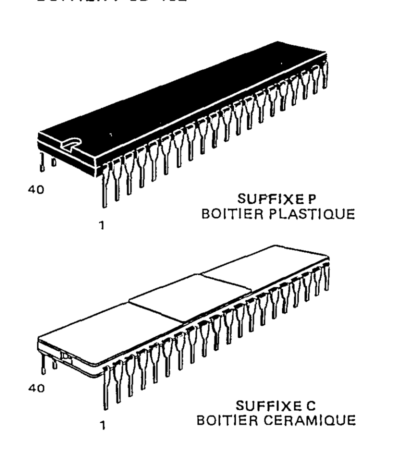
TABLEAU 8 — RESUME D'EXECUTION (suite)

Mode d'adressage et instructions	Cycles	Cycle #	Ligne VMA	Bus Adresses	Ligne R/W	Bus Données
RELATIF						
BCC BHI BNE BCS BLE BPL BEQ BLS BRA BGE BLT BVC BGT BMI BVS	4	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Adresse relative
		3	0	Adresse du code Op+2	1	Donnée non valide (Note 1)
		4	0	Adresse de branchement	1	Donnée non valide (Note 1)
BSR	8	1	1	Adresse du code Op	1	Code Op
		2	1	Adresse du code Op+1	1	Adresse relative
		3	0	Adresse de retour	1	Donnée non valide (Note 1)
		4	1	Pointeur de pile	0	Adresse de retour (octet de poids faible)
		5	1	Pointeur de pile − 1	0	Adresse de retour (octet de poids fort)
		6	0	Pointeur de pile − 2	1	Donnée non valide (Note 1)
		7	0	Adresse de retour	1	Donnée non valide (Note 1)
		8	0	Adresse de sous-programme	1	Donnée non valide (Note 1, Note 5)

Note 1. Si le circuit qui est adressé pendant ce cycle utilise VMA, alors le bus données sera dans l'état haute impédance. Suivant la capacité du bus, la donnée du cycle précédent peut être conservée sur le bus données.
Note 2. La donnée est ignorée par le MPU.
Note 3. Pour TST, VMA=0 et l'opérande ne change pas.
Note 4. Tant que le MPU est en attente d'interruption, BA est au niveau haut indiquant l'état suivant des lignes de contrôle : VMA est à l'état bas; le bus adresses R/W et le bus données sont dans l'état haute impédance.
Note 5. L'octet de poids fort est le même que celui de l'adresse de l'instruction BSR.
L'octet de poids faible est le même que celui de l'adresse du sous-programme.



BOITIER : CB-182



Informations préliminaires : ces spécifications peuvent changer sans préavis.
Consultez notre réseau de vente pour connaître la disponibilité des différentes versions de ce circuit.

EFCIS 

Circuits Intégrés MOS THOMSON-EFCIS

mosmosmosmosmosmosmosmosmosmos

EF6805P2

Ancienne appellation : SFF9 - 6805P2

SPÉCIFICATIONS PROVISOIRES

HMOS

HAUTE-DENSITE,
CANAL N, GRILLE SILICIUM
CHARGE A DEPLETION

MICRO-ORDINATEUR
8 BITS

MICRO-ORDINATEUR 8 BITS

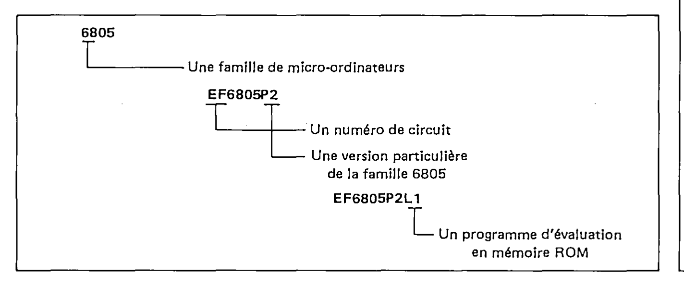
Le **EF6805P2** fait partie de la famille des micro-ordinateurs **6805.** Ce micro-ordinateur 8 bits contient l'unité de traitement (CPU), une horloge intégrée, des mémoires ROM et RAM, des E/S et un temporisateur. Il est conçu pour l'utilisateur qui a besoin d'un micro-ordinateur économique ayant les possibilités éprouvées du jeu d'instructions de base du **6800.** Le tableau 9 compare les caractéristiques clé de la famille des micro-ordinateurs **6805.** Les points matériels et logiciels les plus significatifs du MCU sont les suivants :

CARACTERISTIQUES DU MATERIEL

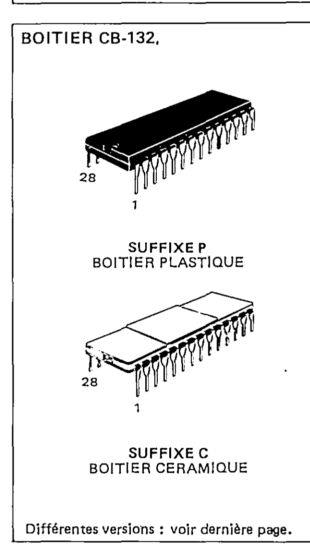
- Architecture 8 bits
- Mémoire RAM de 64 octets
- E/S en configuration mémoire
- Mémoire ROM utilisateur de 1100 octets
- Temporisateur interne 8 bits avec précompteur 7 bits
- Interruptions vectorisées — Externe et Temporisateur
- 20 lignes d'E/S compatibles TTL/CMOS
  8 lignes compatibles diodes électroluminescentes (LED)
- Horloge intégrée
- Mode auto-test
- Remise à zéro générale
- Inhibition tension faible
- Système de développement complet sur EXORciser*
- Alimentation unique 5 Volts

CARACTERISTIQUES DU LOGICIEL

- Similaire à la famille **6800**
- Jeu d'instructions sur octet efficace
- Facile à programmer
- Véritable manipulation de bits
- Instructions de test de bits et de branchement
- Traitement d'interruptions variées
- Adressage indexé puissant pour tableaux
- Jeu complet de branchements conditionnels
- Mémoire utilisable comme registres/indicateurs
- Instruction unique examen/changement mémoire
- 10 modes d'adressage puissants
- Tous les modes d'adressage s'appliquent aux mémoires ROM, RAM et aux E/S



BOITIER CB-132.

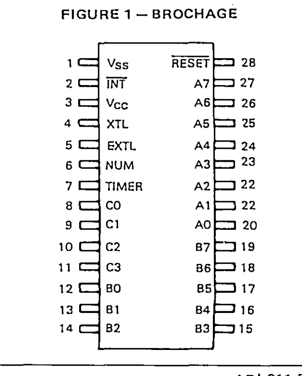


SUFFIXE P
BOITIER PLASTIQUE

SUFFIXE C
BOITIER CERAMIQUE

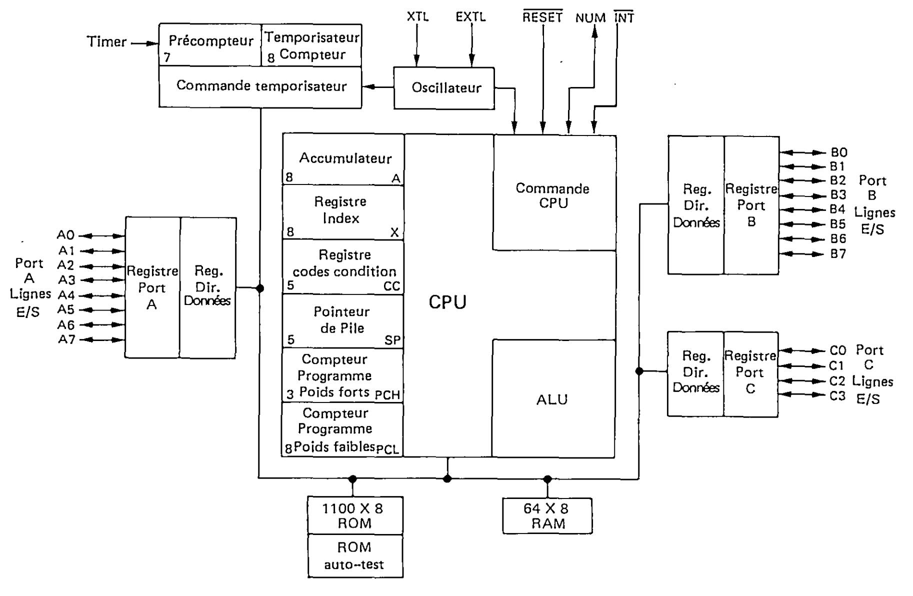
Différentes versions : voir dernière page.

FIGURE 1 — BROCHAGE



EFCIS
45, av. de l'Europe
78140 VELIZY
FRANCE
Tel.: (1) 946 97 19
Telex : 698866F

FIGURE 2 – DIAGRAMME FONCTIONNEL DU EF6805P2



VALEURS LIMITES

Paramètres		Symboles	Valeurs	Unités
Tension d'alimentation		V_{CC}	−0.3 à +7.0	V
Tension d'entrée		V_{in}	−0.3 à +7.0	V
Température de fonctionnement		T_A	0 à 70	°C
Température de stockage		T_{stg}	− 55 à + 150	°C
Resistance thermique	Boîtier plastique	θ_{JA}	85	°C/W
	Boîtier céramique		50	
	Cerdip		51	

Les entrées de ce circuit sont protégées contre les hautes tensions statiques et les champs électriques ; toutefois, il est recommandé de prendre les précautions normales pour éviter toute tension supérieure aux valeurs limites sur ce circuit à haute impédance. Pour assurer un bon fonctionnement, V_{in} et V_{out} doivent être tels que $V_{SS} \leqslant V_{in}$ ou $V_{out} \leqslant V_{CC}$.

CARACTERISTIQUES ELECTRIQUES

(V_{CC} = +5,25 V ± 0,5 V. V_{SS} = 0V. T_A = 0° à 70°C sauf spécifications contraires)

Caractéristiques		Symboles	Min	Typ	Max	Unités
Tension d'entrée à l'état haut	$\overline{RESET}$	V_{IH}	4.0	—	V_{CC}	V
	$\overline{INT}$	V_{IH}	—	2.2	—	V
	Toutes les autres	V_{IH}	V_{SS} + 2.0	—	V_{CC}	V
Tension d'entrée à l'état haut du temporisateur	Mode temporisateur	V_{IH}	V_{SS} + 2.0	—	V_{CC}	V
	Mode test automatique	V_{IH}	—	9.0	15.0	V
Tension d'entrée à l'état bas	$\overline{RESET}$	V_{IL}	V_{SS} - 0.3		0.8	V
	$\overline{INT}$	V_{IL}	—	2.0	—	V
	Toutes les autres	V_{IL}	V_{SS} - 0.3	—	V_{SS} + 0.8	V
$\overline{INT}$ Hystérésis		VH	—	100	—	mV
Puissance dissipée		P_D	—	350	—	mV
Capacité d'entrée	EXTL	C_{in}	—	20	—	pF
	Toutes les autres	C_{in}	—	10	—	pF
Tension de recouvrement		LVR	—	—	4.75	V
Tension d'inhibition		LVI	—	4.5	—	

CARACTERISTIQUES DYNAMIQUES

(V_{CC} = +5,25 V ± 0,5 V. V_{SS} = 0V. T_A = 0° à 70°C sauf spécifications contraires)

Caractéristiques	Symboles	Min	Typ	Max	Unités
Fréquences d'horloge	f_{cl}	0.4	—	4.0	MHz
Temps de cycle	t_{CYC}	1.0	—	10	μs
$\overline{INT}$ Largeur d'impulsion	t_{IWL}	t_{CYC} + 250	—	—	ns
$\overline{RESET}$ Largeur d'impulsion	t_{RWL}	t_{CYC} + 250	—	—	ns
Temps d'initialisation (cap. externe= 0,47 μF)	t_{RHL}	20	50	—	ms

CARACTERISTIQUES ELECTRIQUES DES PORTS

(V_{CC} = +5,25 V ± 0,5 V. V_{SS} = 0V. T_A = 0° à 70°C sauf spécifications contraires)

Caractéristiques	Symboles	Min	Typ	Max	Unités
Port A					
Tension de sortie à l'état bas I_{charge} = 1,6 mA	V_{OL}	—	—	0.4	V
Tension de sortie à l'état haut I_{charge} = −100 μA	V_{OH}	2.4	—	—	V
Tension de sortie à l'état haut I_{charge} = −10 μA	V_{OH}	3.5	—	—	V
Tension d'entrée à l'état haut I_{charge} = −300 μA (max)	V_{IH}	V_{SS} + 2.0	—	V_{CC}	V
Tension d'entrée à l'état bas I_{charge} = −500 μA (max)	V_{IL}	V_{SS} - 0.3	—	V_{SS} + 0.8	V
Port B					
Tension de sortie à l'état bas I_{charge} = 3.2 mA	V_{OL}	—	—	0.4	V
Tension de sortie à l'état bas I_{charge} = −10 mA (courant de fuite)	V_{OL}	—	—	1.0	V
Tension de sortie à l'état haut I_{charge} = −200 μA	V_{OH}	2.4	—	—	V
Source de courant pour un darlington V_o = 1.5 V	I_{OH}	-1.0	—	-10	mA
Tension d'entrée à l'état haut	V_{IH}	V_{SS} + 2.0	—	V_{CC}	V
Tension d'entrée à l'état bas	V_{IL}	V_{SS} - 0.3	—	V_{SS} + 0.8	V
Port C					
Tension de sortie à l'état bas I_{charge} = 1,6 mA	V_{OL}	—	—	0.4	V
Tension de sortie à l'état haut I_{charge} = −100 μA	V_{OH}	2.4	—	—	V
Tension d'entrée à l'état haut	V_{IH}	V_{SS} + 2.0	—	V_{CC}	V
Tension d'entrée à l'état bas	V_{IL}	V_{SS} - 0.3	—	V_{SS} + 0.8	V
Courant d'entrée état haute-impédance					
Ports B & C (Trois états)	I_{TSI}	—	2	20	μA
Courant d'entrée					
Temporisateur à V_{in} = (0.4 à 2.4 V)	I_{in}	—	—	20	μA

FIGURE 3
CHARGE DE TEST EQUIV. TTL
(PORT B)

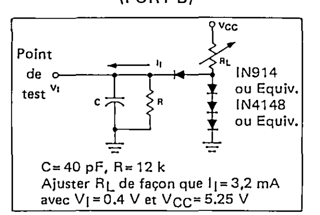


FIGURE 4
CHARGE DE TEST EQUIV. CMOS
(PORT A)

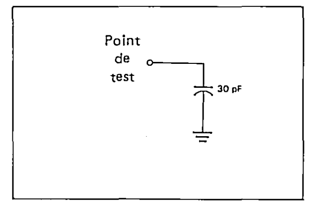
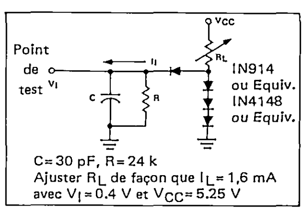


FIGURE 5
CHARGE DE TEST EQUIV. TTL
(PORTS A ET C)



DESCRIPTION DES SIGNAUX

Les signaux d'entrée et sortie du MCU montrés en figure 1 sont décrits dans les paragraphes suivants.

V_{CC} et V_{SS} – L'alimentation du MCU utilise ces deux broches. V_{CC} = + 5,25 Volts ± 0,5 V. V_{SS} est reliée à la masse.

$\overline{INT}$ – Cette broche permet à une interruption externe d'atteindre le MCU. Voir le chapitre INTERRUPTIONS pour informations complémentaires.

XTAL ET EXTAL – Ces broches fournissent l'entrée de commande du circuit horloge intégré. Un quartz (de coupe AT, 4 MHz maximum) ou une résistance peuvent être connectés à ces broches et fournir l'oscillateur interne avec divers degrés de stabilité. Se référer au chapitre OPTIONS OSCILLATEUR INTERNE pour des recommandations concernant ces entrées.

TEMPORISATEUR (TIMER) – Cette broche permet d'utiliser une entrée externe pour décrémenter la circuiterie du temporisateur interne.

$\overline{RESET}$ – Cette broche permet l'initialisation du MCU à d'autres moments que les initialisations automatiques existant déjà dans le MCU.

NUM – Cette broche ne concerne pas une application utilisateur et doit être connectée à la masse.

LIGNES D'ENTRÉES/SORTIES (A0-A7, B0-B7, C0-C3) - Ces 20 lignes sont constituées en deux ports 8 bits (A et B) et un port 4 bits (C). Toutes les lignes sont programmables soit comme des entrées soit comme des sorties, sous contrôle du registre de direction des données. Se reporter au chapitre ENTRÉES/SORTIES pour informations complémentaires.

MEMOIRE

La mémoire du MCU est configurée comme décrite en figure 6. Pendant le processus d'interruption, les contenus des registres du MCU sont empilés sur la pile dans l'ordre indiqué en figure 7. Le pointeur de pile étant décrémenté pendant ces empilements, l'octet de poids faible du compteur programme (PCL) est empilé le premier ; puis sont empilés les trois bits de poids fort (PCH). Ceci assure le chargement correct du compteur programme, le pointeur de pile s'incrémentant lorsqu'il dépile les données de la pile. Un appel de sous-programme provoquera seulement l'empilement du contenu du compteur programme (PCH, PCL).

FIGURE 6 – CONFIGURATION DE l'ESPACE MEMOIRE DU MCU

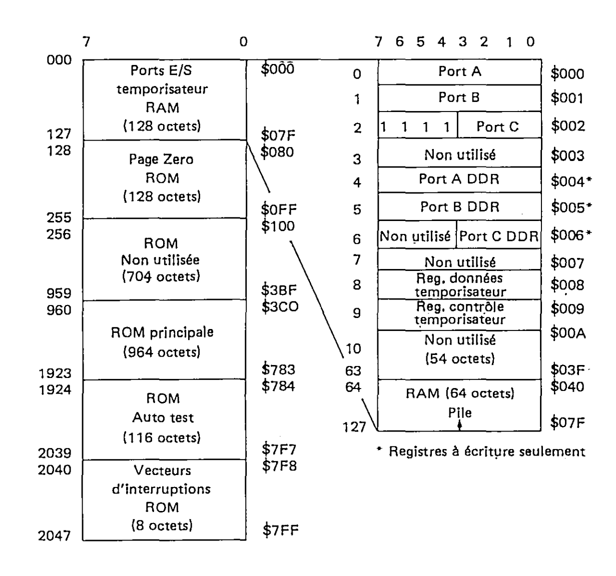
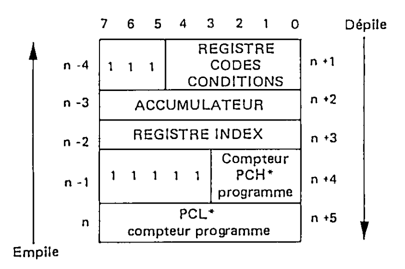
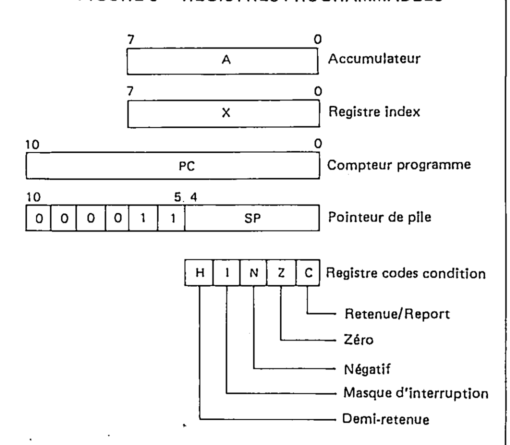


FIGURE 7 – ORDRE D'EMPILEMENT DES INTERRUPTIONS



* Pour les appels de sous-programmes, seuls PCH et PCL sont empilés

FIGURE 8 – REGISTRES PROGRAMMABLES



REGISTRES

Le MCU dispose de cinq registres accessibles par le programmeur. Ils sont montrés en figure 8 et sont expliqués dans les paragraphes suivants.

ACCUMULATEUR (A) – L'accumulateur est un registre universel 8 bits utilisé pour contenir des opérandes et les résultats de calculs arithmétiques ou de manipulations de données.

REGISTRE INDEX (X) – Le registre index est un registre 8 bits utilisé dans le mode d'adressage indexé. Il contient une adresse 8 bits qui peut être additionnée à une valeur de déplacement pour créer une adresse effective. Le registre index peut aussi être utilisé pour des calculs limités et des manipulations de données lorsque les instructions de lecture/modification/écriture sont utilisées. Le registre index peut être utilisé comme zone mémoire temporaire lorsqu'il n'est pas utilisé par la séquence du code en cours d'exécution.

COMPTEUR PROGRAMME (PC) – Le compteur programme est un registre 11 bits qui contient l'adresse de l'instruction suivante à exécuter.

POINTEUR DE PILE (SP) – Le pointeur de pile est un registre 11 bits qui contient l'adresse de la position suivante disponible sur la pile. Initialement, le pointeur de pile est positionné à l'adresse $07F et est décrémenté lorsque des données sont empilées, et incrémenté lorsque des données sont dépilées. Les 6 bits de poids forts du pointeur de pile sont mis à 000011 en permanence. Lors d'une initialisation du MCU ou de l'instruction d'initialisation du pointeur de pile (RSP), le pointeur de pile est positionné à l'adresse $07F. Sous-programmes et interruptions peuvent être empilés jusqu'à l'emplacement $061, ce qui permet au programmeur d'utiliser jusqu'à 15 niveaux d'appel de sous-programmes.

REGISTRE CODES CONDITION (CC) – Le registre codes condition est un registre 5 bits dans lequel chaque bit est utilisé comme indicateur de résultat de la dernière instruction exécutée. Ces bits peuvent être testés individuellement par un programme et une action spécifique peut être prise comme résultat de leur état. Chaque bit du registre codes condition est décrit dans les paragraphes suivants.

Demi-retenue (H) – Utilisé lors d'opérations arithmétiques (ADD et ADC) pour indiquer une retenue entre les bits 3 et 4.

Interruption (I) – Ce bit est mis à un pour masquer les interruptions temporisateur et externe (INT). Si une interruption survient pendant que ce bit est mis à un, elle est mémorisée dans un registre tampon et elle est traitée aussitôt que le bit d'interruption est remis à zéro.

Négatif (N) – Utilisé pour indiquer que le résultat de la dernière instruction arithmétique, logique, ou manipulation de données, a été négatif (bit 7 du résultat égal à un "un" logique).

Zéro (Z) – Utilisé pour indiquer que le résultat de la dernière instruction arithmétique, logique ou manipulation de données, a été zéro.

Retenue/Report (C) – Utilisé pour indiquer qu'une retenue ou un report, en sortie de l'unité arithmétique et logique (ALU) est survenu lors de la dernière opération arithmétique. Ce bit est aussi positionné lors d'instructions de test et de branchement, décalages et décalages circulaires.

TEMPORISATEUR

Le circuit temporisateur du MCU est montré en figure 9. Le compteur 8 bits est chargé sous contrôle du programme et décompte jusqu'à zéro dès que l'entrée horloge est appliquée. Lorsque le temporisateur atteint zéro, le bit requête d'interruption temporisateur (bit 7) du registre de contrôle temporisateur est mis à un. Le MCU répond à cette interruption en sauvegardant son état présent dans la pile, en recherchant le vecteur d'interruption temporisateur dans les emplacements $7F8 et $7F9 et en exécutant le programme de traitement de l'interruption. L'interruption de temporisateur peut être masquée en mettant à un le bit masque d'interruption temporisateur (bit 6) du registre contrôle temporisateur. Le bit interruption du registre codes condition (bit I) empêche aussi une interruption temporisateur de s'exécuter. L'entrée horloge du temporisateur peut être une source externe appliquée sur la broche d'entrée TIMER ou peut être l'horloge interne ϕ 2. Noter que lorsque l'horloge interne ϕ 2 est utilisée comme source elle peut être déclenchée par une entrée appliquée à la broche d'entrée TIMER, permettant à l'utilisateur de réaliser facilement des mesures de largeur d'impulsion. La source d'entrée horloge est l'une

FIGURE 9 – DIAGRAMME FONCTIONNEL DU TEMPORISATEUR

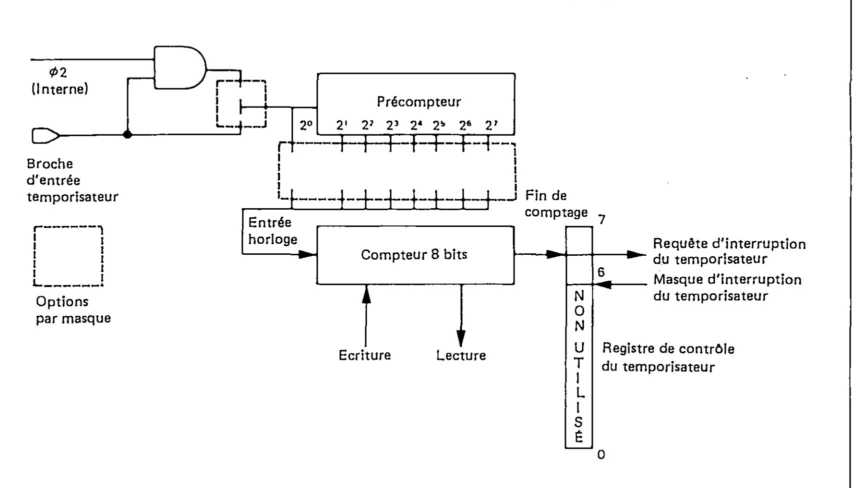
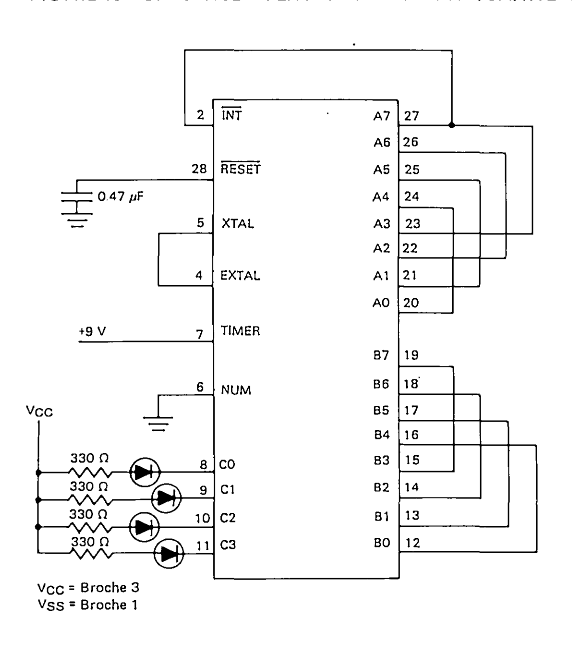


FIGURE 10 – BROCHAGE DE LA FONCTION TEST AUTOMATIQUE



des options qui doivent être précisées avant la fabrication du MCU. Une option pré-compteur peut être appliquée à l'entrée horloge (augmentant l'intervalle de temps jusqu'à un maximum de 128 périodes) avant d'être appliquée au compteur. Cette option de précomptage doit aussi être précisée avant fabrication. Le temporisateur continue à compter après zéro et son compte peut être contrôlé à tout instant par le registre de données temporisateur. Ceci permet à un programme de déterminer la durée à partir de l'interruption du temporisateur sans perturber la séquence de comptage.

A la mise sous tension ou à l'initialisation, le pré-compteur et le compteur sont initialisés avec des un logiques; le bit requête d'interruption temporisateur (bit 7) est mis à zéro et le bit masque d'interruption temporisateur (bit 6) est mis à un.

AUTO-TEST

La possibilité d'auto-test du MCU fournit un test interne de contrôle de fonctionnement du circuit. Connecter le MCU comme indiqué en figure 10 et contrôler sur la sortie du bit 3 du port C un signal d'environ trois hertz.

INITIALISATIONS

Le MCU peut être initialisé de trois façons : par l'entrée d'initialisation externe ($\overline{RESET}$), par un circuit interne de détection de basse tension et pendant la mise sous tension (voir figure 11).

Lors d'une mise sous tension, 20 ms minimum sont nécessaires avant d'autoriser l'entrée initialisation de passer à l'état haut. Ce temps permet à l'oscillateur interne de se stabiliser. La connexion d'un condensateur à l'entrée $\overline{RESET}$, comme montré sur la figure 12, fournit une temporisation suffisante.

OPTIONS OSCILLATEUR INTERNE

Le circuit oscillateur interne a été conçu pour requerrir un minimum de composants externes. L'utilisation d'un quartz (coupe du quartz à résonance parallèle, 4 MHz max) ou d'une résistance est suffisante pour piloter l'oscillateur interne avec divers degrés de stabilité. Une option de fabrication par masque est disponible pour assortir au mieux les composants externes et l'oscillateur interne.

Les différentes méthodes de connexion sont indiquées en figure 13. Un abaque de sélection de résistance est donné en figure 15.

FIGURE 11 – DIAGRAMME DES TEMPS A LA MISE SOUS TENSION ET A L'INITIALISATION

FIGURE 12 – SCHEMA DE TEMPORISATION POUR LA MISE SOUS TENSION ET L'INITIALISATION

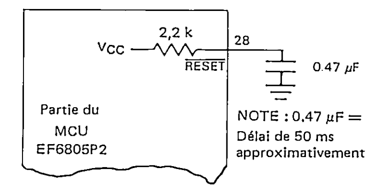
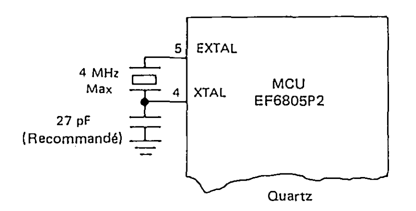
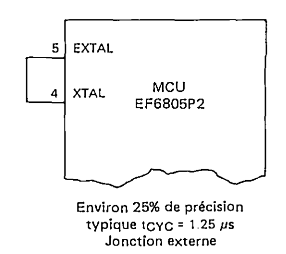


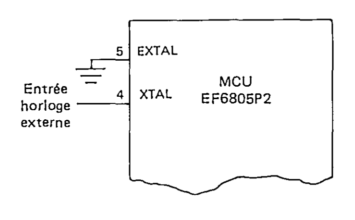
FIGURE 13 – OPTIONS POUR L'OSCILLATEUR INTERNE



Quartz

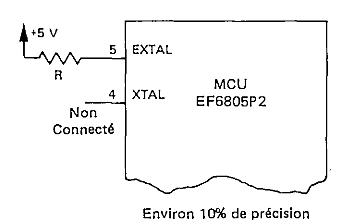


Environ 25% de précision
typique t_{CYC} = 1.25 µs
Jonction externe



Horloge externe

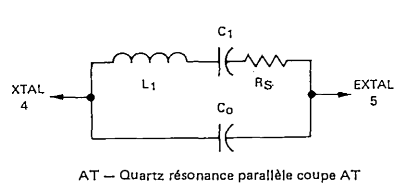
OPTIONS QUARTZ



Environ 10% de précision
Résistance externe

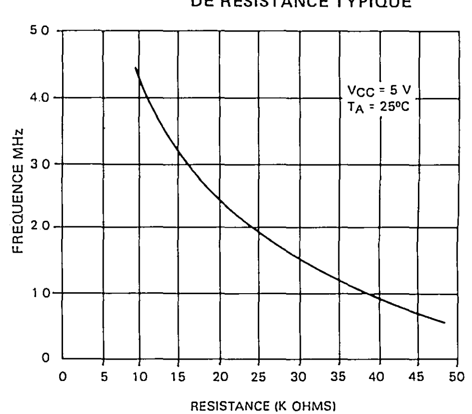
OPTIONS RESISTANCES

FIGURE 14 – PARAMETRES DU QUARTZ



AT – Quartz résonance parallèle coupe AT
C_O = 7pF Max.
FREQ = 4,0 MHz @ C_L = 24 pF
R_S = 50 ohms Max.

FIGURE 15 – ABAQUE DE SELECTION DE RESISTANCE TYPIQUE



INTERRUPTIONS

Le MCU peut être interrompu de trois manières différentes : par l'entrée interruptions externes ($\overline{INT}$), par une requête d'interruption temporisateur interne, et par une instruction d'interruption logicielle (SWI). Lorsqu'une interruption survient, l'exécution du programme en cours est suspendue, l'état présent du MCU est sauvegardé sur la pile, le bit d'interruption (I) du registre codes condition est mis à un, l'adresse du sous-programme de traitement de l'interruption est obtenue à partir de l'adresse appropriée du vecteur d'interruption et une routine d'interruption s'exécute. Les sous-programmes d'interruption se terminent normalement par une instruction retour d'interruption (RTI) qui permet au MCU de réinitialiser le programme qui était en cours d'exécution au moment de l'interruption. Le tableau 1 fournit une liste des interruptions, leurs priorités, et l'adresse vecteur qui contient l'adresse de début du programme de traitement d'interruption approprié.

Un signal sinusoïdal (1 kHz maximum) peut être utilisé pour générer une interruption externe ($\overline{INT}$) comme montré figure 16.

Un organigramme de la séquence de traitement d'interruption est donné figure 17.

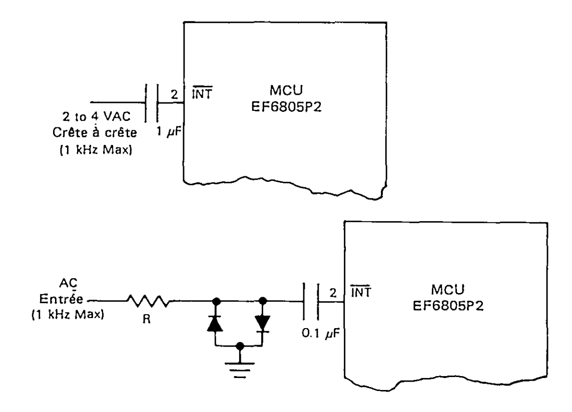
TABLEAU 1 — PRIORITES DES INTERRUPTIONS

Interruption	Priorité	Adresse Vecteur
$\overline{RESET}$	1	$7FE et $7FF
SWI	2	$7FC et $7FD
$\overline{INT}$	3	$7FA et $7FB
Temporisateur	4	$7F8 et $7F9

ENTREES/SORTIES

Il y a 20 broches d'entrées/sorties. Toutes les broches sont programmables soit en entrées soit en sorties, sous contrôle logiciel des registres direction des données. Programmées en sorties, toutes les broches d'entrées/sorties lisent les données de sortie mémorisées quel que soit le niveau logique sur la broche de sortie dû à la charge (voir figure 18). Lorsque le port B est programmé pour des sorties, il est capable de conduire 10 mA sur chaque broche (un volt maximum). Toutes les lignes d'entrées/sorties sont compatibles TTL aussi bien en entrées qu'en sorties. Les lignes du port A sont compatibles CMOS en sorties, tandis que les lignes des ports B et C sont compatibles CMOS en entrées. La figure 19 donne quelques exemples de connexion des ports.

FIGURE 16 — SCHEMA POUR INTERRUPTION PAR UN SIGNAL SINUSOIDAL



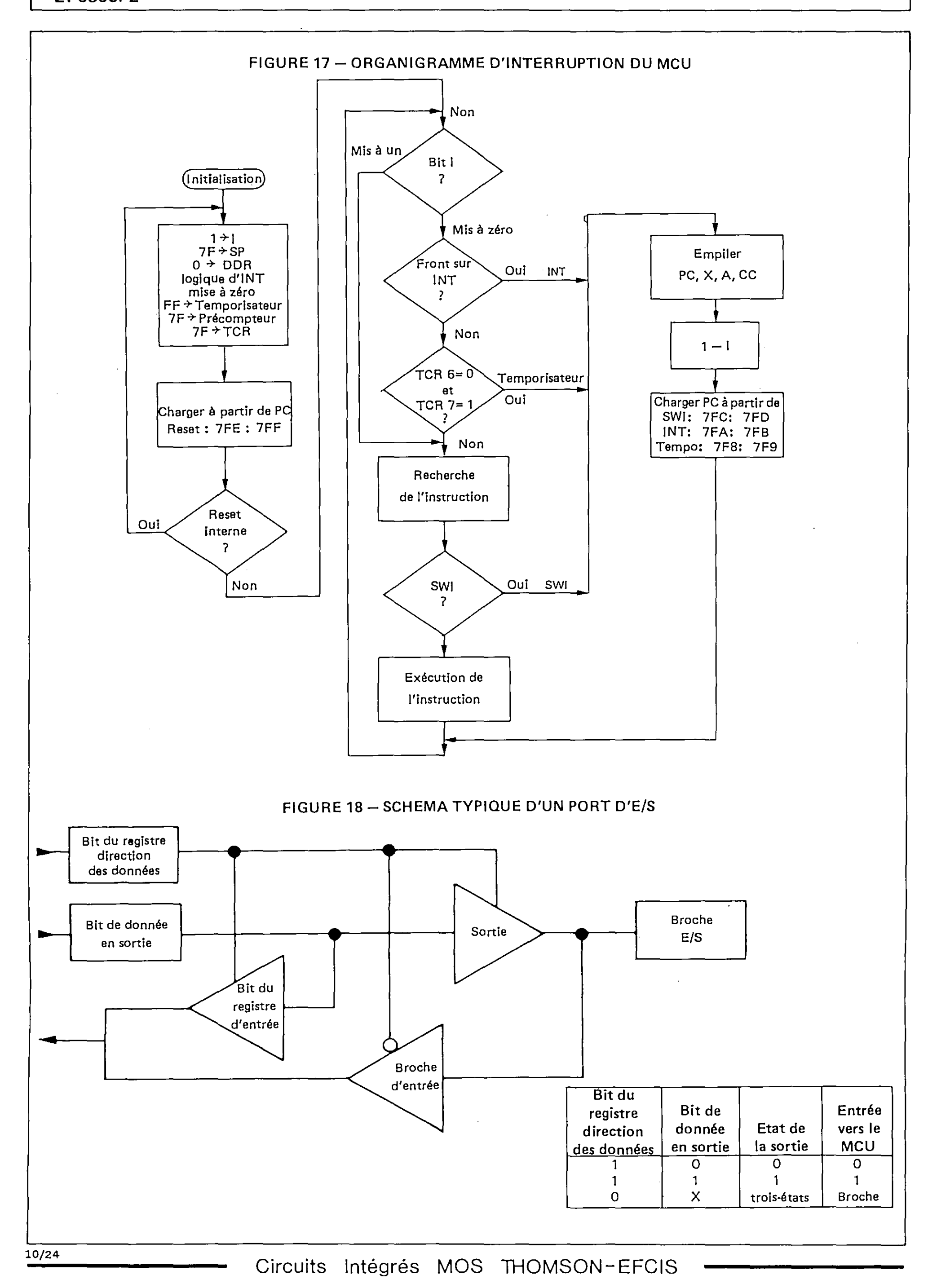
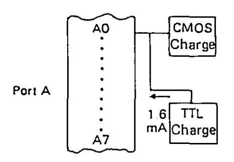


FIGURE 17 – ORGANIGRAMME D'INTERRUPTION DU MCU

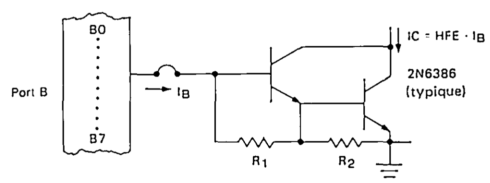
FIGURE 18 – SCHEMA TYPIQUE D'UN PORT D'E/S

Bit du registre direction des données	Bit de donnée en sortie	Etat de la sortie	Entrée vers le MCU
1	0	0	0
1	1	1	1
0	X	trois-états	Broche

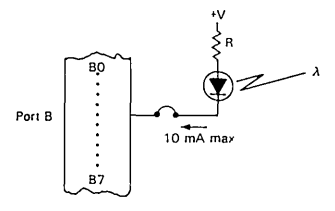
FIGURE 19 – CONNEXIONS TYPIQUES DES PORTS



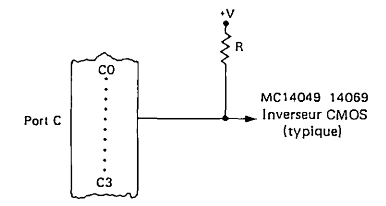
Port A programmé comme sortie(s) attaquant directement une charge TTL et CMOS
(a)



Port B programmé comme sortie(s) attaquant directement la base d'un Darlington
(b)



Port B programmé comme sortie(s) attaquant directement une LED
(c)



Port C programmé comme sortie(s) attaquant une charge CMOS avec résistance de rappel au V_{CC}
(d)

MANIPULATION DE BIT

Le MCU a la possibilité de mettre à un ou à zéro toute mémoire individuelle RAM ou tout bit d'entrées/sorties (à l'exception des registres direction des données) à l'aide d'une seule instruction (BSET, BCLR). Tout bit en page 0 de la mémoire ROM peut être testé en utilisant les instructions BRSET et BRCLR et le programme se branche en fonction de l'état du bit. Cette capacité à travailler avec tout bit en mémoire RAM, ROM ou E/S permet à l'utilisateur de placer des indicateurs individuels en RAM ou de manipuler des bits d'E/S individuels comme des lignes de contrôle. L'exemple de la figure 20 illustre l'utilité de la manipulation de bits et des instructions de test. Supposons que le bit 0 du port A soit connecté à un circuit détecteur de passage par zéro et que le bit 1 du port A soit connecté au déclencheur d'un triac qui alimente le circuit de commande.

Ce programme, qui utilise seulement sept emplacements ROM, fournit l'ouverture du triac 14 microsecondes après le passage à zéro. Le temporisateur peut aussi être incorporé pour fournir l'ouverture avec quelque retard, ce qui permet une modulation par largeur d'impulsion de la puissance commandée.

MODES D'ADRESSAGE – Le MCU dispose de dix modes d'adressage utilisables par le programmeur. Ils sont brièvement décrits et illustrés dans les paragraphes suivants.

FIGURE 20 – EXEMPLE DE MANIPULATION DE BIT

```
        .
        .
SELF 1. BRCLR 0, PORTA, SELF 1
        BSET 1, PORTA
        BCLR 1, PORTA
        .
        .
```

IMMEDIAT — Voir figure 21. Le mode d'adressage immédiat accède à des constantes qui ne changent pas en cours d'exécution du programme. De telles instructions portent sur deux octets. L'adresse effective (EA) est le contenu du compteur programme (PC) et l'opérande est recherché dans l'octet suivant le code opération.

DIRECT — Voir figure 22.En adressage direct, l'adresse de l'opérande est contenue dans le 2ème octet de l'instruction. L'adressage direct permet à l'utilisateur d'adresser directement les 256 octets de poids faibles en mémoire. Tout l'espace RAM, tous les registres d'E/S et les 128 octets de ROM sont implantés en page zéro pour bénéficier de l'efficacité de ce mode d'adressage mémoire.

ETENDU — Voir figure 23. L'adressage étendu est utilisé pour accéder à n'importe quel emplacement de l'espace mémoire. L'adresse effective est le contenu des deux octets suivant le code opération. Les instructions en adressage étendu portent sur trois octets.

RELATIF — Voir figure 24. Le mode d'adressage relatif s'applique seulement aux instructions de branchement. Dans ce mode, le contenu de l'octet suivant le code opération est additionné au compteur programme quand le branchement est utilisé. EA = (PC) + 2 + Rel. Rel est le contenu de l'emplacement suivant le code opération de l'instruction, le bit 7 étant considéré comme bit de signe. Si le branchement n'est pas utilisé, Rel = 0, si un branchement survient le programme se positionne quelque part dans l'espace + 129 octets à - 127 octets de l'instruction en cours. Ces instructions portent sur deux octets.

INDEXÉ (SANS DÉPLACEMENT) — Voir figure 25. Ce mode d'adressage accède aux 256 premiers octets de la mémoire. Ces instructions portent sur un octet et leur adresse effective est contenue dans le registre index.

INDEXÉ (DÉPLACEMENT 8 BITS) — Voir figure 26. L'adresse effective est calculée en additionnant le contenu de l'octet suivant le code opération au contenu du registre index. Ce mode permet d'accéder les 511 premiers emplacements mémoire. Ces instructions portent sur deux octets.

INDEXÉ (DÉPLACEMENT 16 BITS) — Voir figure 27. Ce mode d'adressage calcule l'adresse effective EA en additionnant le contenu des deux octets suivant le code opération au registre index. Tout l'espace mémoire peut ainsi être accédé. Les instructions qui utilisent ce mode d'adressage portent sur trois octets.

BIT MIS A UN/MIS A ZÉRO — Voir figure 28. Ce mode d'adressage s'applique aux instructions qui peuvent mettre à un ou à zéro chaque bit de la page zéro. Les trois bits de poids faible du code opération spécifient le bit devant être mis à un ou zéro tandis que l'octet suivant le code opération précise l'adresse en page zéro.

TEST DE BIT ET BRANCHEMENT — Voir figure 29. Ce mode d'adressage s'applique à des instructions qui peuvent tester chaque bit des 256 premiers emplacements ($00-$FF) et brancher le programme à n'importe quelle position par rapport au compteur programme. L'octet devant être testé est adressé par l'octet suivant le code opération. Le bit devant être testé dans cet octet est adressé par les trois premiers bits du code opération. Le troisième octet contient l'adresse relative devant être additionnée au compteur programme si la condition de branchement est rencontrée. Ces instructions portent sur trois octets. La valeur du bit testé est écrite dans le bit de retenue du registre codes condition.

IMPLICITE — Voir figure 30. Le mode d'adressage implicite n'a pas d'adresse effective. Toute l'information nécessaire pour exécuter une instruction est contenue dans le code opération. Des opérations directes sur l'accumulateur et le registre index sont comprises dans ce mode d'adressage. De plus, des instructions de contrôle telles que SWI, RTI appartiennent à ce groupe. Toutes les instructions d'adressage implicite portent sur un octet.

FIGURE 21 — EXEMPLE D'ADRESSAGE IMMEDIAT

EA
Mémoire
Additionneur
A
F8
Reg.index
Pointeur de pile
PROG LDA #$F8 05BE A6
05BF F8
Compteur programme
05C0
CC

FIGURE 22 — EXEMPLE D'ADRESSAGE DIRECT

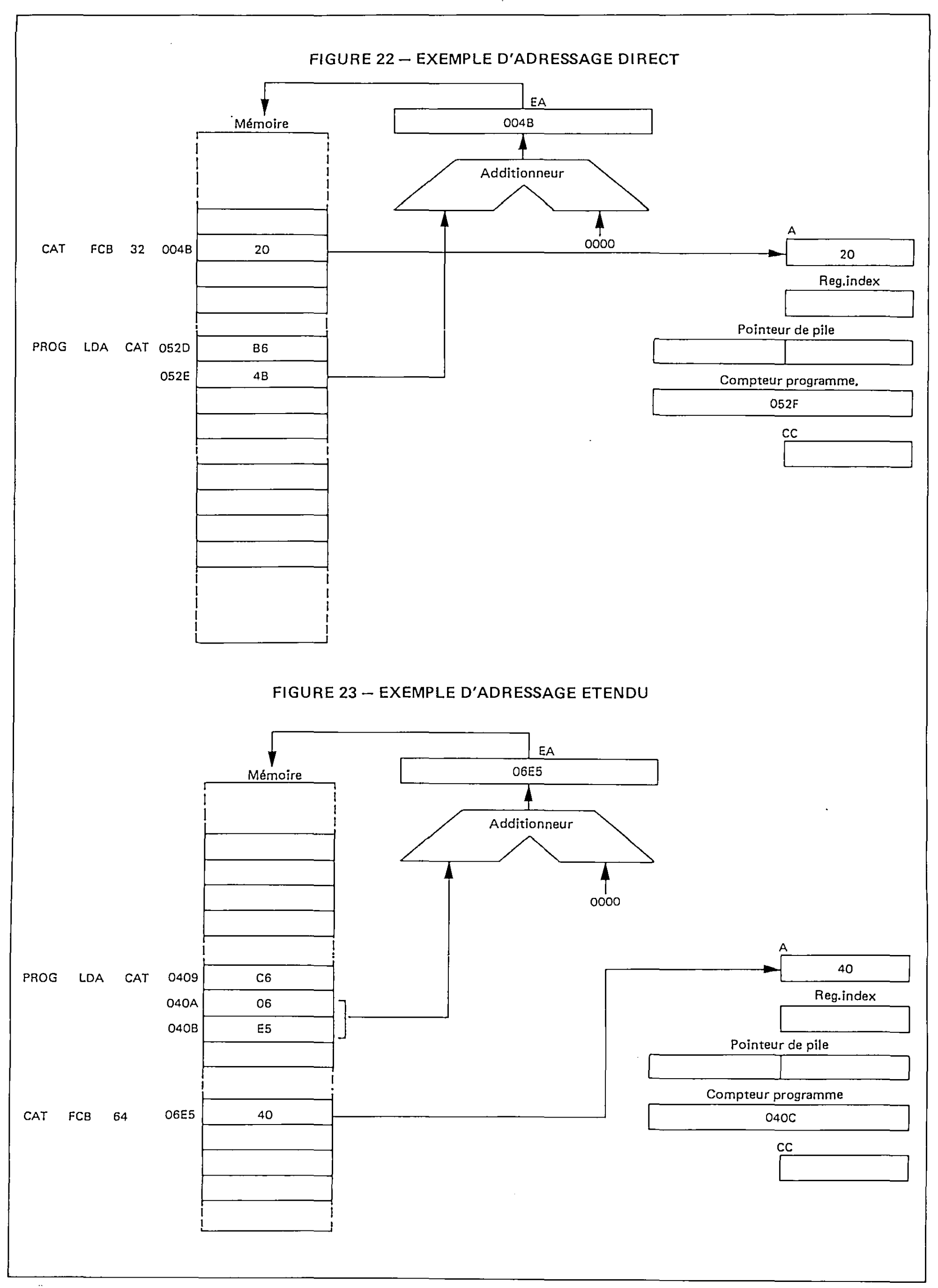


FIGURE 24 — EXEMPLE D'ADRESSAGE RELATIF

Mémoire
EA
04CI
Additionneur
OU
0000
A
Reg.index
Pointeur de pile
Compteur programme
04CI
CC
N
PROG BEQ PROG2 04A7 27
04A8 17



FIGURE 25 — EXEMPLE D'ADRESSAGE INDEXE (SANS DEPLACEMENT)

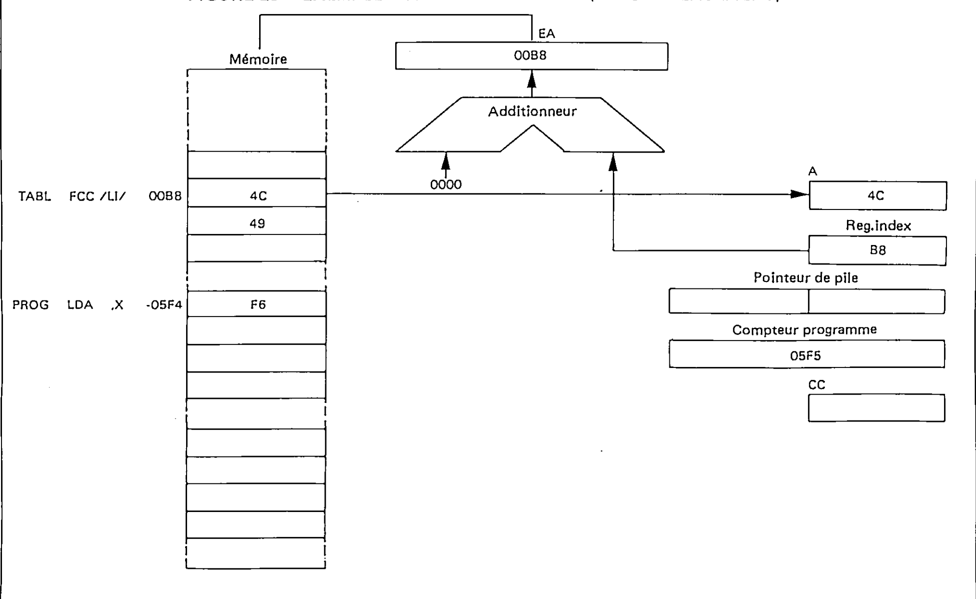


FIGURE 26 – EXEMPLE D'ADRESSAGE INDEXE (DEPLACEMENT DE 8 BITS)

EA
008C
Mémoire
Additionneur
TABL FCB #BF 0089 BF
FCB #86 008A 86
FCB #DB 008B DB
FCB #CF 008C CF
PROG LDA TABL, X 075B E6
075C 89
A
CF
Reg.index
03
Pointeur de pile
Compteur programme
075E
CC

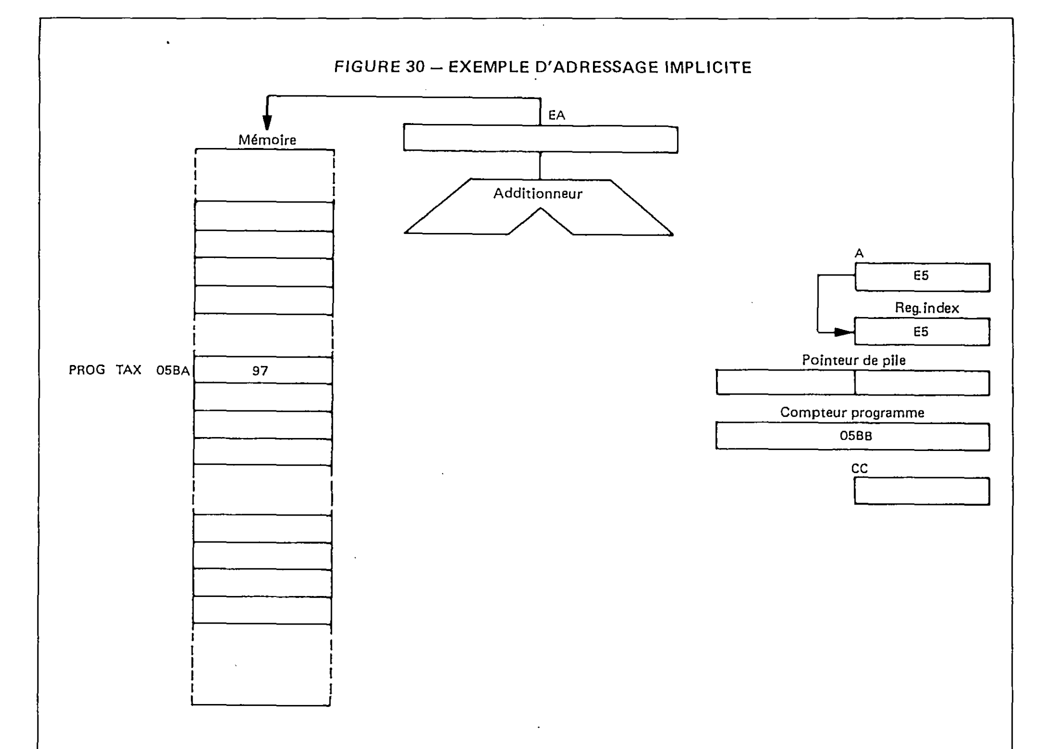
FIGURE 27 – EXEMPLE D'ADRESSAGE INDEXE (DEPLACEMENT DE 16 BITS)

EA
0780
Mémoire
Additionneur
PROG LDA TABL, X 0692 D6
0693 07
0694 7E
TABL FCB #BF 077E BF
FCB #86 077F 86
FCB #DB 0780 DB
FCB #CF 0781 CF
A
DB
Reg.index
02
Pointeur de pile
Compteur programme
0695
CC

FIGURE 28 – EXEMPLE D'ADRESSAGE DE BIT : MIS A UN/MIS A ZERO

FIGURE 29 – EXEMPLE D'ADRESSAGE DE BIT : TEST ET BRANCHEMENT

FIGURE 30 – EXEMPLE D'ADRESSAGE IMPLICITE



JEU D'INSTRUCTIONS

Le MCU possède un jeu de 59 instructions de base. Celles-ci peuvent être classées en cinq types différents : registre/mémoire, lecture/modification/écriture, branchement, manipulation de bits et commande. Les paragraphes suivants expliquent brièvement chaque type. Toutes les instructions d'un type donné sont présentées sous forme de tableaux séparés.

INSTRUCTIONS REGISTRE/MÉMOIRE – La plupart de ces instructions utilisent deux opérandes. Un opérande est soit l'accumulateur soit le registre index. L'autre opérande s'obtient depuis la mémoire en utilisant l'un des modes d'adressage. Les instructions de saut inconditionnel (JMP) et de saut à un sous-programme (JSR) n'ont pas de registre opérande. Voir tableau 2.

INSTRUCTIONS DE LECTURE/MODIFICATION/ÉCRITURE – Ces instructions lisent une position mémoire ou un registre, modifient ou testent leur contenu et écrivent la nouvelle valeur en mémoire ou en registre. L'instruction (TST) de test de résultat négatif ou nul est une exception parmi les instructions de lecture/modification/écriture du fait qu'elle ne réalise pas l'écriture. Voir tableau 3.

INSTRUCTIONS DE BRANCHEMENT – Les instructions de branchement provoquent un branchement du programme lorsqu'une condition particulière est réalisée. Voir tableau 4.

INSTRUCTIONS DE MANIPULATION DE BIT – Ces instructions sont utilisées sur chacun des 256 premiers octets de la mémoire. Un groupe d'instructions effectue la mise à un ou à zéro. L'autre groupe réalise le test de bit et les opérations de branchement. Voir tableau 5.

INSTRUCTIONS DE COMMANDE – Ces instructions commandent le déroulement des opérations du MCU lors de l'exécution du programme. Voir tableau 6.

LISTE ALPHABÉTIQUE – Le jeu complet d'instructions est donné par ordre alphabétique en tableau 7.

TABLEAU DES CODES OPÉRATION – Le tabeau 8 présente la liste des codes opération des instructions utilisées dans le MCU.

TABLEAU 2 — INSTRUCTIONS REGISTRES/MÉMOIRES

		Modes d'adressage																	
		Immediat			Direct			Etendu			Indexé (Pas de déplacement)			Indexé (Déplacement 8 bits)			Indexé (Déplacement 16 bits)		
Fonction	Mnémonique	Code Op	# Octets	# Cycles	Code Op	# Octets	# Cycles	Code Op	# Octets	# Cycles	Code Op	# Octets	# Cycles	Code Op	# Octets	# Cycles	Code Op	# Octets	# Cycles
Chargement de A	LDA	A6	2	2	B6	2	4	C6	3	5	F6	1	4	E6	2	5	D6	3	6
Chargement de X	LDX	AE	2	2	BE	2	4	CE	3	5	FE	1	4	EE	2	5	DE	3	6
Mise en mémoire de A	STA	—	—	—	B7	2	5	C7	3	6	F7	1	5	E7	2	6	D7	3	7
Mise en mémoire de X	STX	—	—	—	BF	2	5	CF	3	6	FF	1	5	EF	2	6	DF	3	7
Addition de M à A	ADD	AB	2	2	BB	2	4	CB	3	5	FB	1	4	EB	2	5	DB	3	6
Addition de M à A avec retenue	ADC	A9	2	2	B9	2	4	C9	3	5	F9	1	4	E9	2	5	D9	3	6
Soustraction de M à A	SUB	A0	2	2	B0	2	4	C0	3	5	F0	1	4	E0	2	5	D0	3	6
Soustraction de M à A avec report	SBC	A2	2	2	B2	2	4	C2	3	5	F2	1	4	E2	2	5	D2	3	6
ET logique entre M et A	AND	A4	2	2	B4	2	4	C4	3	5	F4	1	4	E4	2	5	D4	3	6
"OU" logique entre M et A	ORA	AA	2	2	BA	2	4	CA	3	5	FA	1	4	EA	2	5	DA	3	6
"OU" exclusif entre M et A	EOR	A8	2	2	B8	2	4	C8	3	5	F8	1	4	E8	2	5	D8	3	6
Comparaison arithmétique entre M et A	CMP	A1	2	2	B1	2	4	C1	3	5	F1	1	4	F1	2	5	D1	3	6
Comparaison arithmétique entre M et X	CPX	A3	2	2	B3	2	4	C3	3	5	F3	1	4	E3	2	5	D3	3	6
Test de bit mémoire avec A (comparaison logique)	BIT	A5	2	2	B5	2	4	C5	3	5	F5	1	4	E5	2	5	D5	3	6
Saut inconditionnel	JMP	—	—	—	BC	2	3	CC	3	4	FC	1	3	EC	2	4	DC	3	5
Saut à un sous-programme	JSR	—	—	—	BD	2	7	CD	3	8	FD	1	7	ED	2	8	DD	3	9

A → Accumulateur
X → Index
M → Mémoire

TABLEAU 3 — INSTRUCTIONS LECTURE/MODIFICATION/ECRITURE

		Modes d'adressage														
		Implicite A			Implicite (X)			Direct			Indexé (Pas de déplacement)			Indexé (Déplacement 8 bits)		
Fonction	Mnémonique	Code Op	# Octets	# Cycles	Code Op	# Octets	# Cycles	Code Op	# Octets	# Cycles	Code Op	# Octets	# Cycles	Code Op	# Octets	# Cycles
Incrémentation	INC	4C	1	4	5C	1	4	3C	2	6	7C	1	6	6C	2	7
Décrémentation	DEC	4A	1	4	5A	1	4	3A	2	6	7A	1	6	6A	2	7
Mise à zéro	CLR	4F	1	4	5F	1	4	3F	2	6	7F	1	6	6F	2	7
Complément à un	COM	43	1	4	53	1	4	33	2	6	73	1	6	63	2	7
Complément à deux (négatif)	NEG	40	1	4	50	1	4	30	2	6	70	1	6	60	2	7
Décalage circulaire gauche	ROL	49	1	4	59	1	4	39	2	6	79	1	6	69	2	7
Décalage circulaire droite	ROR	46	1	4	56	1	4	36	2	6	76	1	6	66	2	7
Décalage logique gauche	LSL	48	1	4	58	1	4	38	2	6	78	1	6	68	2	7
Décalage logique droite	LSR	44	1	4	54	1	4	34	2	6	74	1	6	64	2	7
Décalage arithmétique	ASR	47	1	4	57	1	4	37	2	6	77	1	6	67	2	7
Test négatif ou nul	TST	4D	1	4	5D	1	4	3D	2	6	7D	1	6	6D	2	7

TABLEAU 4 — INSTRUCTIONS DE BRANCHEMENT

Fonction	Mnémonique	Mode d'adressage relatif		
		Code Op	# Octets	# Cycles
Branchement inconditionnel	BRA	20	2	4
Pas de branchement	BRN	21	2	4
Branchement si supérieur	BHI	22	2	4
Branchement si inférieur ou égal	BLS	23	2	4
Branchement si pas de retenue (C= 0)	BCC	24	2	4
Branchement si supérieur ou égal	(BHS)	24	2	4
Branchement si retenue (C= 1)	BCS	25	2	4
Branchement si inférieur	(BLO)	25	2	4
Branchement si non égal à zéro (Z= 0)	BNE	26	2	4
Branchement si égal à zéro (Z= 1)	BEQ	27	2	4
Branchement si demi retenue (H= 0)	BHCC	28	2	4
Branchement si pas de demi retenue (H= 1)	BHCS	29	2	4
Branchement si positif (N= 0)	BPL	2A	2	4
Branchement si négatif (N= 1)	BMI	2B	2	4
Branchement si le bit masque des interruptions est à zéro	BMC	2C	2	4
Branchement si le bit masque des interruptions est à un	BMS	2D	2	4
Branchement si la ligne d'interruption est à l'état bas	BIL	2E	2	4
Branchement si la ligne d'interruption est à l'état haut	BIH	2F	2	4
Branchement à un sous-programme	BSR	AD	2	8

TABLEAU 5 — INSTRUCTIONS DE MANIPULATION DE BIT

Fonction	Mnémonique	Modes d'adressage					
		Bit mis à un/mis à zéro			Test de bit et Branchement		
		Code Op	# Octets	# Cycles	Code Op	# Octets	# Cycles
Branchement si le bit n est à un	BRSET n (n= 0...7)	—	—	—	2 · n	3	10
Branchement si le bit n est à zéro	BRCLR n (n = 0 7)	—	—	—	01 + 2 · n	3	10
Mettre à un le bit n	BSET n (n = 0 7)	10 + 2 · n	2	7	—	—	—
Mettre à zéro le bit n	BCLR n (n = 0 7)	11 + 2 · n	2	7	—	—	—

TABLEAU 6 — INSTRUCTIONS DE CONTROLE

Fonction	Mnémonique	Implicite		
		Code Op	# Octets	# Cycles
Transfert de A à X	TAX	97	1	2
Transfert de X à A	TXA	9F	1	2
Mise à un du bit de retenue	SEC	99	1	2
Mise à zéro du bit de retenue	CLC	98	1	2
Mise à un du bit masque d'interruption	SEI	9B	1	2
Mise à zéro du bit masque d'interruption	CLI	9A	1	2
Interruption logicielle	SWI	83	1	11
Retour de sous-programme	RTS	81	1	6
Retour d'interruption	RTI	80	1	9
Initialisation du pointeur de pile	RSP	9C	1	2
Pas d'opération	NOP	9D	1	2

TABLEAU 7 — JEU D'INSTRUCTIONS

	Modes d'adressage										Codes Condition				
Mnémonique	Implicite	Immediat	Direct	Etendu	Relatif	Indexé (pas de déplacement)	Indexé (8 bits)	Indexé (16 bits)	Bit Mis à 1 Mis à 0	Test de Bit et Branch.	H	I	N	Z	C
ADC		X	X	X		X	X	X			∧	●	∧	∧	∧
ADD		X	X	X		X	X	X			∧	●	∧	∧	∧
AND		X	X	X		X	X	X			●	●	∧	∧	●
ASL	X		X			X	X				●	●	∧	∧	∧
ASR	X		X			X	X				●	●	∧	∧	∧
BCC					X						●	●	●	●	●
BCLR									X		●	●	●	●	●
BCS					X						●	●	●	●	●
BEQ					X						●	●	●	●	●
BHCC					X						●	●	●	●	●
BHCS					X						●	●	●	●	●
BHI					X						●	●	●	●	●
BHS					X						●	●	●	●	●
BIH					X						●	●	●	●	●
BIL					X						●	●	●	●	●
BIT		X	X	X		X	X	X			●	●	∧	∧	●
BLO					X						●	●	●	●	●
BLS					X						●	●	●	●	●
BMC					X						●	●	●	●	●
BMI					X						●	●	●	●	●
BMS					X						●	●	●	●	●
BNE					X						●	●	●	●	●
BPL					X						●	●	●	●	●
BRA					X						●	●	●	●	●
BRN					X						●	●	●	●	●
BRCLR										X	●	●	●	●	∧
BRSET										X	●	●	●	●	∧
BSET									X		●	●	●	●	●
BSR					X						●	●	●	●	●
CLC	X										●	●	●	●	0
CLI	X										●	0	●	●	●
CLR	X		X			X	X				●	●	0	1	●
CMP		X	X	X		X	X	X			●	●	∧	∧	∧
COM	X		X			X	X				●	●	∧	∧	1
CPX		X	X	X		X	X	X			●	●	∧	∧	∧
DEC	X		X			X	X				●	●	∧	∧	●
EOR		X	X	X		X	X	X			●	●	∧	∧	●
INC	X		X			X	X				●	●	∧	∧	●
JMP			X	X		X	X	X			●	●	●	●	●
JSR			X	X		X	X	X			●	●	●	●	●
LDA		X	X	X		X	X	X			●	●	∧	∧	●
LDX		X	X	X		X	X	X			●	●	∧	∧	●
LSL	X		X			X	X				●	●	∧	∧	∧
LSR	X		X			X	X				●	●	0	∧	∧
NEG	X		X			X	X				●	●	∧	∧	∧
NOP	X										●	●	●	●	●
ORA		X	X	X		X	X	X			●	●	∧	∧	●
ROL	X		X			X	X				●	●	∧	∧	∧
ROR	X		X			X	X				●	●	∧	∧	∧
RSP	X										●	●	●	●	●

SYMBOLES DU REGISTRE CODES CONDITION

H	Demi-retenue (du bit 3)	C	Report/Retenue
I	Masque d'interruption	∧	Test et mis à un si vrai, si non mis à zéro
N	Négatif (bit de signe)	●	Inchangé
Z	Zéro		

TABLEAU 7 — JEU D'INSTRUCTIONS (SUITE)

Mnémonique	Modes d'adressage: Implicite	Immédiat	Direct	Etendu	Relatif	Indexé (Pas de déplacement)	Indexé (8 bits)	Indexé (16 bits)	Bit Mis à 1 Mis à 0	Test de Bit et Branch.	Codes Condition: H	I	N	Z	C
RTI	X										?	?	?	?	?
RTS	X										●	●	●	●	●
SBC		X	X	X		X	X	X			●	●	Λ	Λ	Λ
SEC	X										●	●	●	●	1
SEI	X										●	1	●	●	●
STA			X	X		X	X	X			●	●	Λ	Λ	●
STX			X	X		X	X	X			●	●	Λ	Λ	●
SUB		X	X	X		X	X	X			●	●	Λ	Λ	Λ
SWI	X										●	1	●	●	●
TAX	X										●	●	●	●	●
TST	X		X			X	X				●	●	Λ	Λ	●
TXA	X										●	●	●	●	●

SYMBOLES DU REGISTRE CODES CONDITION

H	Demi-retenue (du bit 3)	C	Report/Retenue
I	Masque d'interruption	Λ	Test et mise à un si vrai, si non mise à zéro
N	Négatif (bit de signe)	●	Inchangé
Z	Zéro	?	Charge le registre CC à partir de la pile

TABLEAU 8 — TABLEAU DES CODES OPERATION

	Manipul. de bits		Brnch	Lecture/Modification/Ecriture					Contrôle			Registre/Mémoire						Poids fort →
	Test et Branch.	Mis à 1 Mis à 0	Rel.	DIR	A	X	,X1	,X0	INH	INH	IMM	DIR	EXT	,X2	,X1	,X0	
	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
0	BRSET0	BSET0	BRA	NEG					RTI*	—	SUB						0
1	BRCLR0	BCLR0	BRN	—					RTS*	—	CMP						1
2	BRSET1	BSET1	BHI	—					—	—	SBC						2
3	BRCLR1	BCLR1	BLS	COM					SWI*	—	CMPX/CPX						3
4	BRSET2	BSET2	BCC	LSR					—	—	AND						4
5	BRCLR2	BCLR2	BCS	—					—	—	BIT						5
6	BRSET3	BSET3	BNE	ROR					—	—	LDA						6
7	BRCLR3	BCLR3	BEQ	ASR					—	TAX	—	STA (+1)					7
8	BRSET4	BSET4	BHCC	LSL/ASL					—	CLC	EOR						8
9	BRCLR4	BCLR4	BHCS	ROL					—	SEC	ADC						9
A	BRSET5	BSET5	BPL	DEC					—	CLI	ORA						A
B	BRCLR5	BCLR5	BMI	—					—	SEI	ADD						B
C	BRSET6	BSET6	BMC	INC					—	RSP	—	JMP (-1)					C
D	BRCLR6	BCLR6	BMS	TST					—	NOP	BSR*	JSR (+3)					D
E	BRSET7	BSET7	BIL	—					—	—	LDX						E
F	BRCLR7	BCLR7	BIH	CLR					—	TXA	—	STX (+1)					F
	3/10	2/7	2/4	2/6	1/4	1/4	2/7	1/6	1/*	1/2	2/2	2/4	3/5	3/6	2/5	1/4	

Poids faible

Notes :

Les codes opération indéfinis sont indiqués par "—"

Les nombres au bas de chaque colonne donnent le nombre d'octets et le nombre de cycles nécessaires (Octets/Cycles)

Les mnémoniques suivis par un "*" nécessitent un nombre de cycles différents :

RTI 9
RTS 6
SWI 11
BSR 8

( ) indique que le nombre entre parenthèses doit être ajouté au nombre de cycles pour cette instruction

INFORMATIONS POUR COMMANDER

Les informations suivantes sont nécessaires pour commander un MCU. A la demande ces informations peuvent être transmises à EFCIS par chacun des moyens suivants :

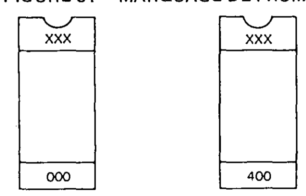
PROM(s)
bande objet formatée en assembleur
paquet de cartes perforées
ruban papier au format du paquet de cartes
fichier disque MDOS

Pour mettre en oeuvre un modèle de mémoire ROM pour le MCU, il est nécessaire de contacter d'abord votre bureau commercial local, responsable des ventes local ou votre représentant local EFCIS.

PROM — Les PROM type EF2708 ou EF2716, programmées avec le programme de l'utilisateur (logique positive pour les adresses et les données), peuvent être soumises pour la réalisation du masque. Les PROM doivent être clairement marquées pour indiquer quelle PROM correspond à tel espace adresse (000-3FF HEX). Voir figure 31 pour la procédure de marquage recommandée.

Une fois les PROM marquées, elles doivent être placées sur des supports conducteurs de CI et emballées avec soin. Ne pas utiliser de polystyrène expansé.

FIGURE 31 — MARQUAGE DE PROM



xxx = Identification Client

BANDE OBJET AU FORMAT ASSEMBLEUR — Les bandes de cassette réalisées sur terminal type Silent 700 et EXORciser sont acceptées.

PAQUET DE CARTES PERFOREES — La fabrication du MCU peut être spécifiée à l'aide d'un jeu de cartes perforées 80 colonnes standard.

Le jeu de cartes spécifiant le MCU client possède le format suivant :

CARTE OPTION
CARTES COMMENTAIRES
CARTES X
CARTES C

Carte Option — La première carte du paquet doit être la carte option. Le format est le suivant :

Colonnes 1-20	Nom du client. Les 20 caractères peuvent être utilisés.
Colonnes 25-29	C'est un nombre de 5 digits fixé par EFCIS. Laisser cet espace blanc. Il sera perforé par EFCIS sauf avis contraire.
Colonnes 37-39	Base champ d'adresses sur listing de sortie. Les caractères HEX ou DEC spécifient la base adresse du listing de sortie en hexadécimal ou décimal respectivement. En l'absence de précisions, la base est supposée décimale.
Colonnes 41-43	Base du champ de données sur listing de sortie. Les caractères HEX ou DEC spécifient la base des données ROM du listing de sortie comme étant respectivement hexadécimale ou décimale. En l'absence de précisions, la base est supposée décimale.

Cartes commentaires — Les cartes commentaires doivent avoir un astérisque (*) en colonne 1. Les 79 colonnes restantes peuvent contenir n'importe quelle lettre, nombre ou caractère.

Cartes X — Il peut y avoir jusqu'à 5 cartes X. Toutes les cartes X ont un X en colonne 1 et un ou trois mots ou plus, chacun séparé par un espace blanc.

Les possibilités sont les suivantes :

1) X SEQUENCE
2) X BASE DEC DEC
3) X BASE DEC HEX
4) X BASE HEX DEC
5) X BASE HEX HEX

La carte 1 spécifie qu'il y a des numéros de séquence sur chaque carte de données qui suit. Les numéros de séquence doivent être en colonnes 77-79 des cartes de données (cartes C) et doivent être en décimal, justifié à droite. Les numéros doivent commencer avec 1 (un) et doivent être dans l'ordre. La carte X SEQUENCE peut apparaître n'importe où dans le paquet après la carte option. Si elle apparaît dans la section cartes de données, les cartes de données rencontrées avant la carte X SEQUENCE ne seront pas prises en compte pour des numéros de séquence. Toutes les cartes suivantes seront pointées.

Il est initialement supposé que le nombre d'adresses et d'octets ainsi que les données spécifiées sur les cartes C sont en décimal. Une carte X BASE peut être utilisée pour outrepasser cette condition. Le second mot de la carte (celui qui suit BASE) spécifie la base adresse (soit HEX, soit DEC) et le nombre d'octets sur toutes les cartes C suivantes. Le dernier mot spécifie la base des champs de données sur les cartes C. Une carte X BASE peut apparaître n'importe où dans le paquet à la suite de la carte OPTION. Elle peut être outrepassée par une autre carte X BASE. Toutes les cartes de données (cartes C) qui suivent une carte X BASE seront interprétées en fonction de cette carte X BASE jusqu'à ce qu'une autre carte X BASE soit rencontrée. Il est supposé que tous les champs sur les cartes C sont en décimal.

NOTE :

Lorsqu'une carte X SEQUENCE est trouvée, toutes les cartes suivantes seront pointées pour ce numéro de séquence particulier ; et, à l'inverse des cartes X BASE, cette option ne peut pas être modifiée par une autre carte X SEQUENCE.

Cartes C – Ces cartes contiennent les données effectives de la mémoire ROM.

Tous les champs sont

Colonne 1	C (la lettre C)
Colonnes 2-9	ADD
Colonnes 10-12	OCTET
Colonnes 14-16	DONNÉE 1
Colonnes 17-19	DONNÉE 2
.	.
.	.
Colonnes 76-78	DONNÉE 21
Colonnes 77-79	DONNÉE 22 OU NUMÉRO DE SEQUENCE

ADD est l'adresse du premier octet de données (DONNÉE 1) contenu sur cette carte. OCTET est le nombre d'octets de données à être lus sur cette carte. OCTET doit être supérieur à zéro, et inférieur à 23 (1-22) si aucun numéro de séquence n'est utilisé, et inférieur à 22 (1-21) si des numéros de séquence sont utilisés. Si, par exemple, il y a dix champs de données perforées sur la carte, et que OCTET = 2, les deux premiers seulement seront lus. Aussi, s'il y a deux champs de données perforées par exemple, et que OCTET = 6, six emplacements ROM seront remplis à partir de cette carte. Les quatre champs non spécifiés seront décodés comme des zéro. ADD et OCTET sont toujours dans la même base (HEX ou DEC). Les DONNÉES 1 à N sont les données devant être placées en mémoire ROM de l'adresse ADD jusqu'à ADD +(N − 1), respectivement.

Toute adresse ROM non utilisée suite à la lecture de données d'une carte C, est remplie par des zéro. Si un emplacement particulier a déjà été spécifié pour une carte C, et qu'une carte C suivante contient aussi les données qui doivent être placées dans cette position mémoire, la seconde carte C prévaut sur la première.

RUBAN PAPIER AU FORMAT PAQUET DE CARTES – Un ruban papier (ASCII) au même format que les cartes peut aussi être accepté. Cependant votre commande sera exécutée plus rapidement si les données sont au format carte. Après le début de bande il doit y avoir un CR, LF. Les enregistrements des données doivent se faire sur 80 colonnes et chacun suivi d'un CR, LF. A la suite du dernier enregistrement de données, il doit y avoir un enregistrement de plus avec comme trois premiers caractères EOF, suivis par 77 espaces et un CR, LF.

CR = Retour chariot
LF = Ligne suivante

LISTE DES OPTIONS

Sélectionnez les options de votre MCU à partir de la liste suivante. Un masque de fabrication sera généré à partir de cette information.

☐ Masque ROM

Source horloge temporisateur

☐ Horloge interne ϕ 2

☐ Broche d'entrée TIMER (7)

Précompteur temporisateur

☐ 2^0 (diviseur par 1)	☐ 2^4 (diviseur par 16)
☐ 2^1 (diviseur par 2)	☐ 2^5 (diviseur par 32)
☐ 2^2 (diviseur par 4)	☐ 2^6 (diviseur par 64)
☐ 2^3 (diviseur par 8)	☐ 2^7 (diviseur par 128)

Entrée oscillateur interne

☐ Quartz

☐ Résistance

Inhibition basse tension

☐ Inactive

☐ Active

Les spécifications de formatage ci-dessus sont susceptibles de changer. Veuillez prendre contact avec notre réseau de vente pour la façon de décrire le contenu de la mémoire.

Nom du client ____________________

Adresse ____________________

Ville ____________ Pays ____________ Code Postal ____________

Téléphone ____________ Poste ____________

Personne à contacter ____________________

Identification circuit client ____________________

Support utilisé

PROM 2708
PROM 2716
Bande objet
Cartes perforées
Bande magnétique au format paquet de cartes
Disquette MDOS
(Note 2) ____________________

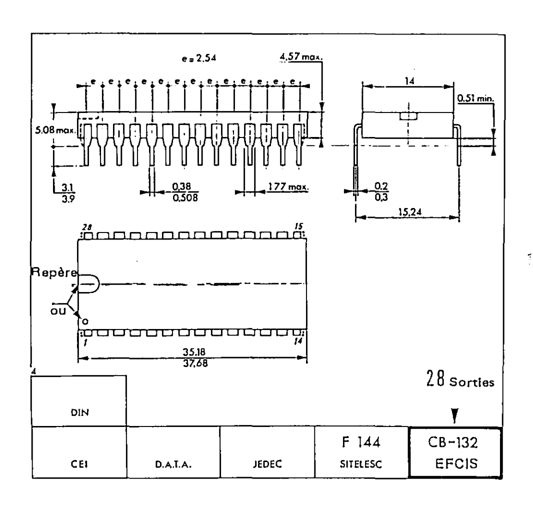
Note : (2) Pour tout autre support, nous consulter.

Signature ____________________

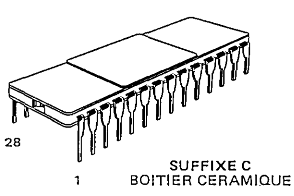
Fonction ____________________

TABLEAU 9 — L'EXTENSION DE LA FAMILLE 6805

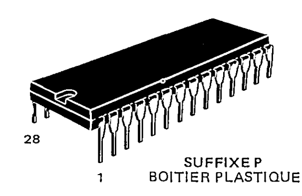
Famille 6805 Configuration Système et caractéristiques de programmation	EF6805P2	EF6805R2
Technologie	NMOS	NMOS
Nombre de broches	28	40
Mémoire RAM intégrée (octets)	64	64
ROM utilisateur intégrée (octets)	1,1 k	2 k
Extension de bus	Nul	Nul
Lignes E/S bi-directionnelles	20	32
Options E/S	Nul	Convertis. A/D
Compatibilité logicielle	Similaire au EF6800	
Véritable manipulation de bits	Oui	Oui
Instructions	59	59
Dix modes d'adressage	Oui	Oui



BOITIER CB-132



SUFFIXE C
BOITIER CERAMIQUE



SUFFIXE P
BOITIER PLASTIQUE

Informations préliminaires : ces spécifications peuvent changer sans préavis.
Consultez notre réseau de vente pour connaître la disponibilité des différentes versions de ce circuit.

EFCIS



Circuits Intégrés MOS THOMSON-EFCIS

mosmosmosmosmosmosmosmosmosmos

EF6809
(1.0 MHz)
EF68A09
(1.5 MHz)
EF68B09
(2.0 MHz)

Ancienne appellation : SFF9 - 6809

SPECIFICATIONS PROVISOIRES

MOS

CANAL N, GRILLE Si

MICROPROCESSEUR
8 BITS

MICROPROCESSEUR 8 BITS

Le circuit EF6809 est un microprocesseur 8 bits de conception révolutionnaire et utilisant les techniques de programmation moderne telles que banalisation de l'implantation en mémoire, réentrance et programmation modulaire.

Cet apport de 3e génération à la famille EF6800 offre des améliorations d'architecture qui incluent des registres, des instructions et des modes d'adressage supplémentaires.

Les instructions de base de tout ordinateur sont particulièrement améliorées par la présence de modes d'adressage puissants. Le jeu de modes d'adressage disponible du EF6809 est actuellement le plus complet des microprocesseurs existants. Les caractéristiques du logiciel et du matériel du circuit, en font un processeur idéal pour l'exécution de programmes en langages évolués ou pour la réalisation d'applications standards.

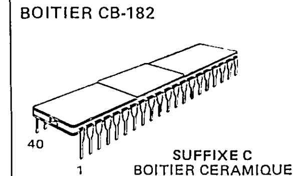
COMPATIBLE EF6800
- Matériel - Interfaces avec tous les périphériques de la famille 6800.
- Logiciel - Compatibilité ascendante au niveau du langage source et des modes d'adressage.

ARCHITECTURE
- Deux registres index 16 bits.
- Deux pointeurs de pile indexables 16 bits.
- Deux accumulateurs 8 bits peuvent être concaténés pour former un accumulateur 16 bits.
- Le registre page directe permet l'adressage direct dans tout l'espace mémoire.

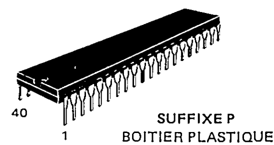
MATÉRIEL
- Oscillateur intégré (4 X fo XTAL)
- DMA/BREQ permet le fonctionnement en DMA ou le rafraîchissement des mémoires.
- L'entrée demande d'interruption rapide empile seulement le contenu du compteur programme et du registre codes condition.
- L'entrée MRDY augmente les temps d'accès lors de l'utilisation de mémoires lentes.
- La sortie reconnaissance d'interruption permet la vectorisation des interruptions par les périphériques.
- La sortie reconnaissance de synchronisation SYNC permet une synchronisation sur des événements externes
  - RESET (initialisation) cycle - bus unique
  - Fonctionnement sous tension unique 5 V
  - NMI bloqué après RESET jusqu'au chargement initial du pointeur de pile
  - La validation rapide du bus adresse permet l'utilisation de mémoires lentes.

LOGICIEL
- 10 modes d'adressage
  Compatibilité ascendante des modes d'adressage avec la famille 6800
  Adressage direct dans tout l'espace mémoire.
  Branchements relatifs longs
  Compteur programme relatif
  Indirection
  Adressage indexé étendu
    déplacements constants 0, 5, 8, 16 bits
    déplacements accumulateur 8, 16 bits
    Auto-incrémentation/décrentation
- Manipulation de pile améliorée
- 1464 instructions
- Multiplication non signée 8 x 8 bits
- Arithmétique 16 bits
- Transfert/échange tous registres
- Empilement/dépilement de chacun ou de l'ensemble des registres
- Adresse effective de chargement.

BOITIER CB-182



SUFFIXE C
BOITIER CERAMIQUE



SUFFIXE P
BOITIER PLASTIQUE

Différentes versions : voir dernière page.

BROCHAGE

Broche	Signal	Signal	Broche
1	VSS	HALT	40
2	NMI	XTAL	39
3	IRQ	EXTAL	38
4	FIRQ	RESET	37
5	BA	MRDY	36
6	BS	Q	35
7	VCC	E	34
8	A0	DMA/BREQ	33
9	A1	R/W	32
10	A2	D0	31
11	A3	D1	30
12	A4	D2	29
13	A5	D3	28
14	A6	D4	27
15	A7	D5	26
16	A8	D6	25
17	A9	D7	24
18	A10	A15	23
19	A11	A14	22
20	A12	A13	21

EFCIS
45, av. de l'Europe
78140 VELIZY
FRANCE
Tel.: (1) 946 97 19
Telex : 698866F

VALEURS LIMITES

Valeurs	Symboles	Valeurs	Unités
Tension d'alimentation	V_{CC}	−0.3 à +7.0	V
Tension d'entrée	V_{in}	−0.3 à +7.0	V
Température de fonctionnement	T_A	0 à +70	°C
Température de stockage	T_{stg}	−55 à +150	°C
Résistance thermique	θ_{JA}	70	°C/W

Les entrées de ce circuit sont protégées contre les hautes tensions statiques et les champs électriques ; toutefois, il est recommandé de prendre les précautions normales pour éviter toute tension supérieure aux valeurs limites sur ce circuit à haute impédance.

CARACTÉRISTIQUES ÉLECTRIQUES (V_{CC}= 5,0 V ± 5 %, V_{SS}= 0, T_A= 0 à 70°C sauf spécifications contraires)

Caractéristiques		Symboles	Min	Typ	Max	Unités
Tension d'entrée à l'état haut	logique, EXtal $\overline{RESET}$	V_{IH}	V_{SS} + 2.0 V_{SS} + 4.0	— —	V_{DD} V_{DD}	V
Tension d'entrée à l'état bas	logique, $\overline{RESET}$, EXtal	V_{IL}	V_{SS} - 0.3	—	V_{SS} + 0.8	V
Courante de fuite en entrée (V_{in}= 0 à 5,25 V, V_{CC}= max)	logique	I_{in}	—	1.0	2.5	µA
Tension de sortie à l'état haut (I_{charge}= −205 µA , V_{CC}= min) (I_{charge}= −145 µA , V_{CC}= min) (I_{charge}= −100 µA , V_{CC}= min)	 D0-D7 A0-A15, R/$\overline{W}$, Q, E BA, BS	V_{OH}	 V_{SS} + 2.4 V_{SS} + 2.4 V_{SS} + 2.4	 — — —	 — — —	V
Tension de sortie à l'état bas (I_{charge}= 2,0 mA , V_{CC}= min)		V_{OL}	—	—	V_{SS} +0.5	V
Puissance dissipée		P_D	—	—	1.0	W
Capacité # (V_{in} = 0, T_A = 25°C, f = 1,0 MHz)	 D0-D7 entrées logiques, EXtal A0-A15, R/$\overline{W}$	C_{in} C_{out}	 — — —	 10 7 —	 15 10 12	pF
Fréquence de travail (Quartz ou entrée extérieure)	EF6809 EF68A09 EF68B09	f f_{XTAL} f_{XTAL}	— — —	— — —	4 6 8	MHz
Trois états, courant d'entrée (V_{in}= 0,4 à 2,4 V, V_{CC}= max)	D0-D7 A0-A15, R/$\overline{W}$	I_{TSI}	— —	2.0 —	10 100	µA

CARACTERISTIQUES DYNAMIQUES (lecture - écriture) (figures 1 et 2)

Caractéristiques	Symboles	EF6809			EF68A09			EF68B09			Unités
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Temps de cycle	t_{CYC}	1000	—	—	667	—	—	500	—	—	ns
Temps utile total	t_{UT}	975	—	—	640	—	—	480	—	—	ns
Temps d'accès à la lecture t_{ac}= (t_{AD}= t_{DSR})	t_{ACC}	695	—	—	440	—	—	320	—	—	ns
Temps d'étab. données (lect.)	t_{DSR}	80	—	—	60	—	—	40	—	—	ns
Temps de maintien donn. (ent.)	t_{DHR}	10	—	—	10	—	—	10	—	—	ns
Temps de maintien donn. (sort.)	t_{DHW}	30	—	—	30	—	—	30	—	—	ns
Temps maintien des adresses (adresses, R/$\overline{W}$)	t_{AH}	30	—	—	30	—	—	30	—	—	ns
Temps de retard des adresses	t_{AD}	—	—	200	—	—	140	—	—	110	ns
Temps de retard des données	t_{DDW}	—	—	225	—	—	180	—	—	145	ns
Temps entre E bas et Q haut	t_{AVS}	—	—	250	—	—	165	—	—	125	ns
Temps entre adresse et Q haut	t_{AQ}	25	—	—	25	—	—	15	—	—	ns
Horloge proces., état bas	t_{PWEL}	450	—	—	295	—	—	210	—	—	ns
Horloge proces., état haut	t_{PWEH}	450	—	—	280	—	—	220	—	—	ns
MRDY, temps d'établissement	t_{PCSR}	60	—	—	60	—	—	60	—	—	ns
Temps d'établis., interruptions	t_{PCS}	200	—	—	140	—	—	110	—	—	ns
$\overline{HALT}$, temps d'établissement	t_{PCSH}	200	—	—	140	—	—	110	—	—	ns
$\overline{RESET}$, temps d'établissement	t_{PCSR}	200	—	—	140	—	—	110	—	—	ns
$\overline{DMA/BREQ}$, temps d'établis.	t_{PCSD}	125	—	—	125	—	—	125	—	—	ns
Temps démarrage de l'oscillateur	t_{rc}	100	—	—	100	—	—	100	—	—	ms
E, tps de montée et de descente	t_{ER}, t_{EF}	5	—	25	5	—	25	5	—	20	ns
Temps de montée et de descente du processeur	t_{PCR}, t_{PLF}	—	—	100	—	—	100	—	—	100	ns
Q, tps de montée et de descente	t_{QR}, t_{QF}	5	—	25	5	—	25	5	—	20	ns
Q, état haut	t_{PWQH}	450	—	—	280	—	—	220	—	—	ns

FIGURE 1 – LECTURE DE DONNÉES EN MÉMOIRE OU EN PROVENANCE DE PÉRIPHÉRIQUES

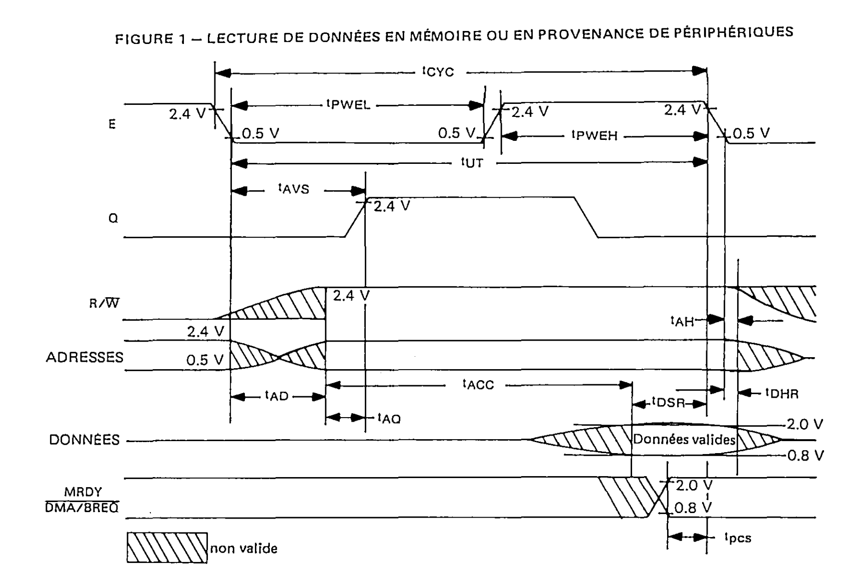


FIGURE 2 – ÉCRITURE DE DONNÉES EN MÉMOIRE OU DANS LES PÉRIPHÉRIQUES

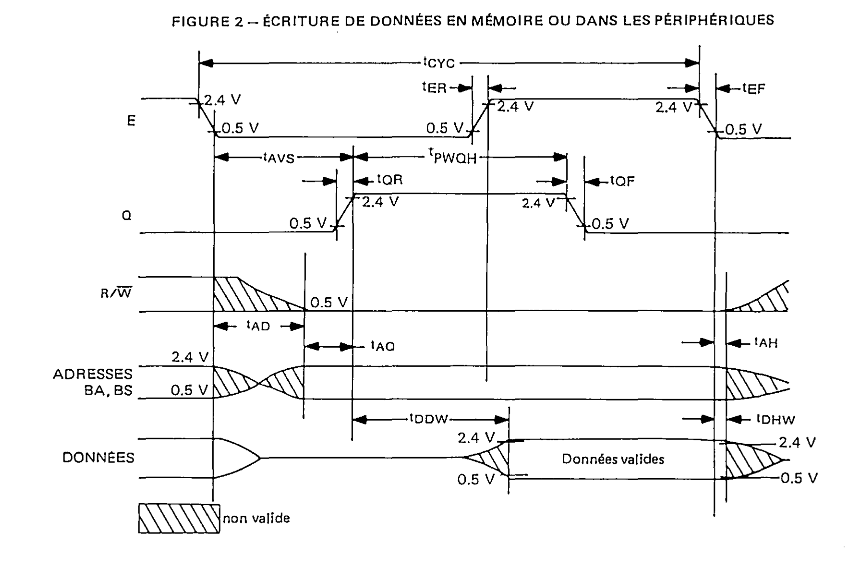


FIGURE 3 – SCHÉMA FONCTIONNEL DU EF6809

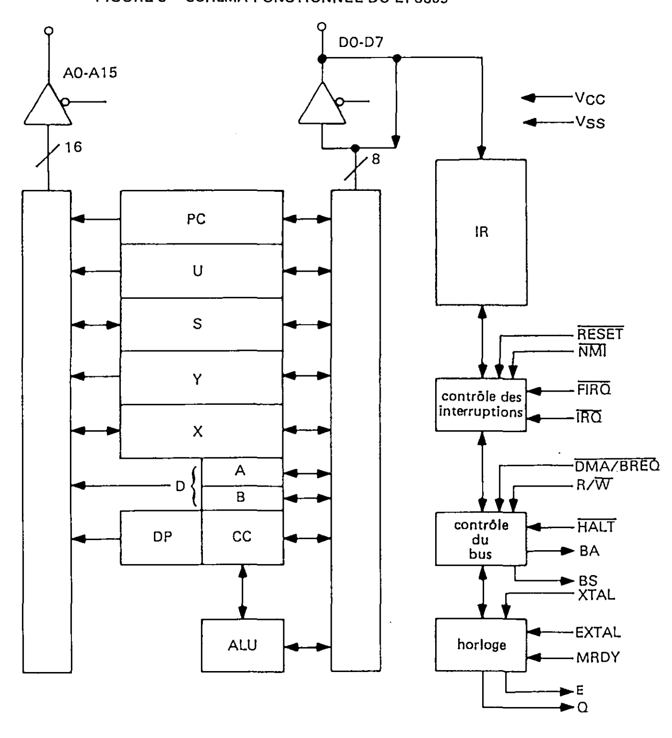
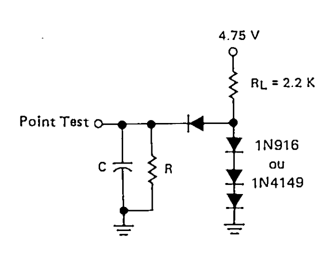


FIGURE 4 – CHARGE TEST DU BUS



C = 30 pF pour BA, BS
130 pF pour D0-D7, E, Q
90 pF pour A0-A15, R/W

R = 11,7 kΩ pour D0-D7
16,5 kΩ pour A0-A15, E, Q
24 kΩ pour BA, BS

REGISTRES PROGRAMMABLES

Comme indiqué en figure 5, le microprocesseur EF 6809 comporte trois registres supplémentaires par rapport au EF6800. Ces registres sont les suivants : un registre de page directe, un registre pointeur de pile utilisateur et un second registre index.

ACCUMULATEURS (A, B, D)

Les registres A et B sont des accumulateurs universels utilisés pour les calculs arithmétiques et manipulation de données.

Certaines instructions concatènent les registres A et B pour former un seul accumulateur 16 bits. Le registre A constitue l'octet de poids fort de cet accumulateur référencé registre D.

REGISTRE PAGE DIRECTE (DP)

Le registre page directe du circuit EF6809 est utilisé pour étendre les possibilités d'adressage en mode direct. Le contenu de ce registre apparait aux sorties d'adresse de poids fort (A8-A15) pendant l'exécution d'une instruction d'adressage direct. Ce registre permet d'utiliser le mode d'adressage direct, sous le contrôle du programme, dans tout l'espace d'adressage. Pour permettre la compatibilité avec la famille 6800 tous les bits de ce registre sont mis à zéro à l'initialisation du processeur.

FIGURE 5 – REGISTRES PROGRAMMABLES DU MICROPROCESSEUR

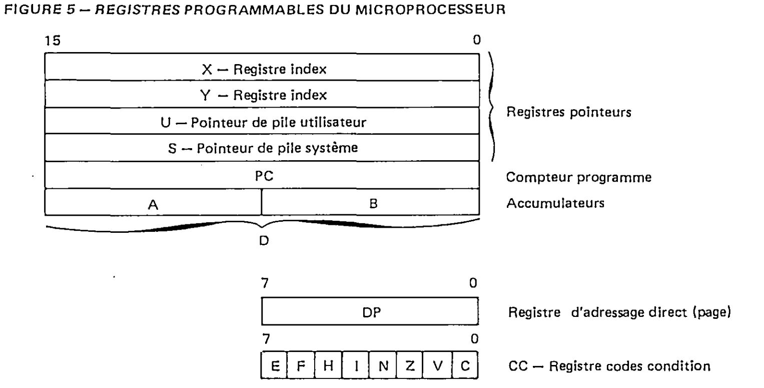
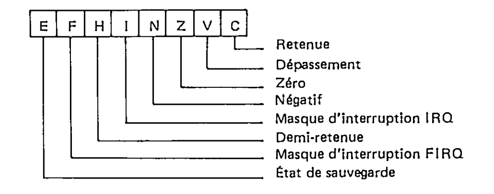


FIGURE 6 – REGISTRE CODES CONDITION



REGISTRES INDEX (X, Y)

Les registres d'index sont utilisés pour les modes d'adressage indexé. Lors des calculs d'adresse effective, les 16 bits de ce registre sont utilisés. Les adresses contenues dans ces registres peuvent servir comme pointeur de données et être modifiées par une constante optionnelle ou par une valeur de déplacement. Lors de rangement de données sous forme de table, dans certains modes d'adressage indexé, le contenu des registres d'index est incrémenté ou décrémenté pour pointer sur l'élément suivant. Les quatre registres (X, Y, U, S) peuvent être utilisés comme des registres d'index.

POINTEURS DE PILE (U, S)

Le pointeur de pile (S) est utilisé automatiquement par le processeur pour mémoriser les états de la machine pendant l'exécution de sous-programmes et interruptions. Les pointeurs du EF6809 pointent le haut de la pile, à l'opposé du pointeur du EF6800, qui pointait l'emplacement libre suivant sur la pile. Le pointeur de pile utilisateur (U) est commandé par le programmeur exclusivement, permettant ainsi le passage de paramètres de et vers des sous-programmes avec facilité.
Les pointeurs de pile U et S ont les mêmes possibilités que les registres X et Y pour les modes d'adressage indexé et pour les instructions d'empilement/dépilement. Le microprocesseur EF6809 peut être utilisé comme processeur avec gestion de pile, autorisant ainsi l'utilisation de langage de haut niveau et des méthodes de programmation modulaire.

COMPTEUR PROGRAMME (PC)

Le compteur programme est utilisé par le processeur pour pointer l'adresse de l'instruction suivante devant être exécutée. L'adressage relatif permet au compteur programme d'être utilisé comme un registre index dans certains cas.

REGISTRE CODES CONDITION (CC)

Le registre codes condition définit l'état du processeur à tout instant, voir figure 6.

DESCRIPTION DU REGISTRE CODES CONDITION (CC)

BIT 0 (C)

Le bit 0 est l'indicateur de retenue, il indique généralement la retenue lors d'une opération de l'unité arithmétique et logique. C est aussi utilisé pour représenter la retenue lors d'instructions correspondant à une soustraction (CMP, NEG, SUB, SBC). Dans ce cas cet indicateur est le complément de la retenue lors d'une opération de l'unité logique et arithmétique.

BIT 1 (V)

Le bit 1 est l'indicateur de débordement il est mis à un s'il y a débordement en complément à deux signé après une opération arithmétique. Le débordement est détecté lors d'une opération dans l'unité logique et arithmétique quand la retenue du MSB ne correspond pas à la retenue du MSB – 1.

BIT 2 (Z)

Le bit 2 est le bit indicateur de zéro, il est mis à un si le résultat de l'opération précédente est nul.

BIT 3 (N)

Le bit 3 indique un résultat négatif, il contient exactement la valeur du bit de poids fort de l'octet résultant de l'opération précédente. Un résultat négatif, en complément à deux positionne N à 1.

BIT 4 (I)

Le bit 4 est le bit masque des interruptions $\overline{IRQ}$. Ce bit mis à un, le processeur ne prendra pas en compte les interruptions arrivant sur la ligne $\overline{IRQ}$. $\overline{NMI}$, $\overline{FIRQ}$, $\overline{IRQ}$, $\overline{RESET}$ et SWI positionnent toutes I à un. SWI 2 et SWI 3 n'affectent pas I.

BIT 5 (H)

Le bit 5 est le bit de demi-retenue ; il est utilisé pour indiquer une retenue du bit 3 dans l'ALU comme résultat d'une addition 8 bits seulement (ADC ou ADD). Ce bit est utilisé dans une instruction DAA pour réaliser une opération d'ajustement décimal. L'état de cet indicateur est indéfini dans toutes les instructions de soustraction ou équivalentes.

BIT 6 (F)

Le bit 6 est le bit masque des interruptions rapides $\overline{FIRQ}$. Le processeur ne prendra pas en compte les interruptions de la ligne $\overline{FIRQ}$, lorsque ce bit est à un. $\overline{NMI}$, $\overline{FIRQ}$, $\overline{SWI}$, et $\overline{RESET}$ positionnent toutes F à un. F n'est pas affecté par $\overline{IRQ}$, SWI 2 et SWI 3.

BIT 7 (E)

Le bit E est le bit indicateur de l'état de sauvegarde, mis à un il indique que l'état complet de la machine (tous les registres) est empilé, à la place de l'état précédent (PC et CC). Le bit E du registre CC empilé est utilisé sur un retour d'interruption (RTI) pour déterminer l'étendue du dépilement. Par conséquent, le bit E courant laissé dans le registre CC représente l'action précédente.

DESCRIPTION DES SIGNAUX DU MPU EF6809

ALIMENTATION (V_{SS}, V_{CC})

Deux broches sont utilisées pour alimenter le circuit : V_{SS} est la masse du boîtier ou 0 volt, tandis que V_{CC} est à + 5 volts ± 5 %.

BUS ADRESSE (A0-A15)

Seize broches sont utilisées pour sortir l'information adresse du MPU sur le bus adresse. Lorsque le bus n'est pas occupé par le processeur pour un transfert de données, il sort l'adresse FFFF16, R/$\overline{W}$ = 1, et BS = 0. Les adresses sont validées sur le front montant de Q (voir figures 1 et 2). Tous les amplificateurs du bus adresse sont mis à l'état haute impédance lorsque la sortie Bus Available (BA) est à l'état haut. Chaque broche peut piloter une charge TTL Schottky et 90 pF.

BUS DONNÉES (D0-D7)

Ces huit broches permettent la communication avec le bus données bi-directionnel du système. Chaque broche peut piloter une charge TTL Schottky et 130 pF.

LECTURE/ÉCRITURE (R/$\overline{W}$)

Ce signal indique le sens du transfert des données sur le bus données. Un niveau bas indique que le MPU procède à une écriture, R/$\overline{W}$ passe à l'état haute impédance lorsque BA est à l'état haut. R/$\overline{W}$ est validé sur le front montant de Q, (figures 1 et 2).

MISE A L'ÉTAT INITIAL ($\overline{RESET}$)

Un niveau bas sur cette entrée trigger de Schmitt durant un temps supérieur à un cycle bus provoque une initialisation du MPU (fig. 7.). Les vecteurs d'initialisation seront accessibles aux adresses FFFE16 et FFFF16 (tableau 1) dès lors que la condition logique, reconnaissance d'interruption est vraie ($BA = 0 \wedge BS = 1$). A la mise sous tension, cette ligne doit-être maintenue à l'état bas jusqu'à ce que l'oscillateur d'horloge ait atteint un régime de fonctionnement normal (fig. 8). Un simple réseau RC peut être utilisé pour initialiser l'ensemble du système, puisque l'entrée $\overline{RESET}$ du EF6809 possède un trigger de Schmitt ayant une tension de seuil supérieure à celle des périphériques standards. Ce seuil de tension plus élevé garantit que tous les périphériques ne sont pas en phase d'initialisation après le processeur.

ARRET DU MICROPROCESSEUR ($\overline{HALT}$)

Un niveau bas sur cette entrée provoque l'arrêt du MPU à la fin de l'instruction en cours et celui-ci demeure à l'arrêt indéfiniment sans perte de données. A l'arrêt, la sortie BA passe à l'état haut indiquant que les bus sont à l'état haute impédance. BS est aussi à l'état haut indiquant que le processeur est arrêté ou à l'état bus accordé. A l'état arrêt, le MPU ne répond pas à des demandes externes en temps réel ($\overline{FIRQ}$, $\overline{IRQ}$) bien que $\overline{DMA}/\overline{BREQ}$ soit toujours accepté, et que $\overline{NMI}$ et $\overline{RESET}$ soient mémorisées pour une réponse ultérieure. A l'état arrêt Q et E continuent à fonctionner normalement. Si le MPU est arrêté ($\overline{RESET}$, $\overline{DMA}/\overline{BREQ}$), l'état HALT (BA-BS=1) peut être atteint lorsque l'entrée HALT est mise à l'état bas bien que l'entrée $\overline{RESET}$ soit encore à l'état bas. Si $\overline{DMA}/\overline{BREQ}$ et $\overline{HALT}$ sont tous les deux à l'état bas, le processeur continuera jusqu'au dernier cycle de l'instruction sur lequel le processeur sera arrêté. (figure 9).

BUS LIBRE, ÉTAT DU BUS (BA, BS)

La sortie BA indique qu'un signal de commande interne fait passer les bus du MPU à l'état haute impédance. Ce signal n'implique pas que le bus soit disponible pendant plus d'un cycle. Lorsque BA passe à l'état bas, un cycle perdu supplémentaire se déroule avant que le MPU n'occupe le bus.

Le signal de sortie état du bus, lorsqu'il est décodé avec BA, représente l'état du MPU (validé sur le front montant de Q) :

État du MPU		
BA	BS	
0	0	Normal (fonctionnant)
0	1	Reconnaissance d'interruption
1	0	Reconnaissance de SYNC
1	1	Arrêt ou bus accordé

FIGURE 10 – DIAGRAMME DES TEMPS POUR LES INTERRUPTIONS $\overline{IRQ}$ et $\overline{NMI}$

n, n + 1, n + 2, n + 3, n + 4, n + 5, n + 6, n + 7, n + 8, n + 9, n + 10, n + 11, n + 12, n + 13, n + 14, n + 15, n + 16, n + 17, n + 18, n + 19, n + 20, n + 21

Q

E

Bus adresses: FFFF, SP - 1, SP - 2, SP - 3, SP - 4, SP - 5, SP - 6, SP - 7, SP - 8, SP - 9, SP - 10, SP - 11, SP - 12, FFFF, FFFC (NMI) FFF8 (IRQ), FFFD (NMI) FFF9 (IRQ), FFFF, nouveau PC, nouveauCH

tPCS

Recherche de la prochaine instruction

$\overline{IRQ}$ ou $\overline{NMI}$

0.8 V

Bus données: Instruction, $\overline{VMA}$, PCLO, PCHI, USLO, USHI, Y-REGLO, Y-REGHI, X-REGLO, X-REGHI, DP, ACCB, ACCA, CCR, $\overline{VMA}$, nouveau PCHI, nouveauPCLO, $\overline{VMA}$, 1ère instruction du sous programme de traitement IT

R/$\overline{W}$

BA

BS

FIGURE 11 – DIAGRAMME DES TEMPS POUR L'INTERRUPTION $\overline{FIRQ}$

m, m + 1, m + 2, m + 3, m + 4, m + 5, m + 6, m + 7, m + 8, m + 9, m + 10, m + 11, m + 12

Q

E

Bus adresses: FFFF, SP - 1, SP - 2, SP - 3, FFFF, FFF6, FFF7, FFFF, nouveauPC, nouveauPC + 1

tPCS

Recherche de la prochaine instruction

FIRQ

0.8 V

Bus données: Instruction, $\overline{VMA}$, PCLO, PCHI, CCR, $\overline{VMA}$, nouveau CHI, nouveau PCLO, $\overline{VMA}$, 1ère instruction du sous programme de traitement IT

R/$\overline{W}$

BA

BS

XTAL, EXTAL

Ces broches d'entrée sont utilisées pour connecter l'oscillateur interne à un quartz externe à résonance parallèle. Par ailleurs, la broche EXTAL peut être utilisée comme une entrée niveau TTL pour une horloge extérieure en mettant XTAL à la masse. Le quartz ou la fréquence externe est 4 fois la fréquence bus, (figure 8). Les règles d'implantation propres aux circuits RF doivent être observées dans le tracé des circuits imprimés.

E, Q

E est identique au signal d'horloge ϕ 2 du EF6800 ; Q est un signal d'horloge en quadrature qui pilote E. Q n'a pas d'équivalent sur le EF6800. Les adresses du MPU sont validées sur le front montant de Q. Les données sont mémorisées sur le front descendant de E. Le diagramme des temps pour E et Q est montré figure 12.

MRDY

Cette entrée de commande permet l'allongement de E pour augmenter le temps d'accès aux données. Lorsque MRDY est à l'état haut, E est en fonctionnement normal. Lorsque MRDY est à l'état bas, E peut être allongé de multiples entiers de 1/4 de cycle bus, permettant ainsi l'utilisation de mémoires lentes comme montré figure 13. L'allongement maximum est de 10 micro secondes. Pendant les accès mémoire non utiles (cycles $\overline{VMA}$), MRDY n'a pas d'effet sur l'allongement de E. Ceci évite le ralentissement de la vitesse du processeur pendant les accès bus non utiles.

$\overline{DMA/BREQ}$

L'entrée $\overline{DMA/BREQ}$ offre une méthode de suspension d'exécution et d'acquisition du bus MPU pour une autre utilisation comme montré en figure 14. Des utilisations types comprennent le DMA et le rafraîchissement des mémoires dynamiques.

La transition de $\overline{DMA/BREQ}$ doit se produire pendant Q. Un niveau bas sur cette broche arrêtera l'exécution de l'instruction à la fin du cycle en cours. BA et BS à 1 indique la prise en compte de la demande faite par $\overline{DMA/BREQ}$. Le circuit demandeur aura alors jusqu'à 15 cycles bus avant que le MPU ne récupère le bus pour autorafraîchissement. L'auto-rafraîchissement nécessite un cycle bus comportant un cycle perdu de début et de fin, (figure 15).

En général, le contrôleur de DMA fait une demande d'accès au bus en mettant au niveau bas la broche $\overline{DMA/BREQ}$ sur le front montant de E. Lorsque la MPU répond avec BA = BS = 1, ce cycle est un cycle perdu utilisé pour transférer le contrôle au système de DMA.

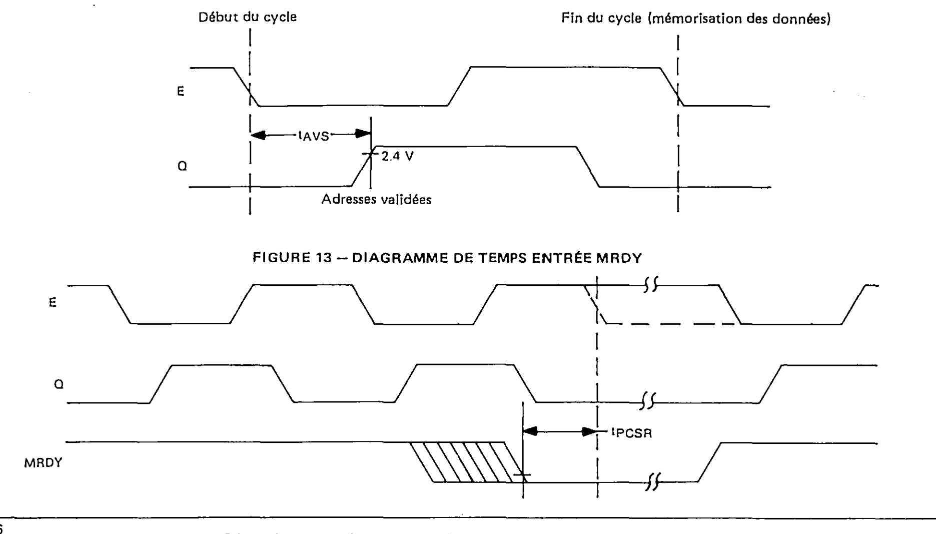
Les faux accès mémoire doivent être évités pendant tous cycles perdus. Lorsque BA est remis à zéro (soit comme résultat de $\overline{DMA/BREQ}$ = haut, ou auto rafraîchissement du MPU), le circuit DMA doit être déconnecté du bus.

Un autre cycle perdu s'écoule avant que le MPU ne se voit alloué un accès mémoire pour transférer le contrôle sans litige.

FONCTIONNEMENT DU MPU

En fonctionnement normal, le MPU va chercher une instruction en mémoire puis exécute celle-ci. Cette séquence démarre sur $\overline{RESET}$ et est répétée indéfiniment sauf si elle est modifiée par une instruction spéciale ou un évènement matériel. Les instructions logicielles qui modifient le fonctionnement normal du MPU sont : SWI, SWI 2, SWI 3, CWAI, RTI et SYNC. Une interruption, $\overline{HALT}$ ou $\overline{DMA/BREQ}$ modifie aussi l'exécution normale des instructions. La figure 16 illustre l'organigramme du EF6809. La moitié gauche de l'organigramme représente un fonctionnement normal ; la moitié droite représente la progression lorsqu'une interruption ou une instruction spéciale survient.


FIGURE 12 — CORRESPONDANCE ENTRE E/Q



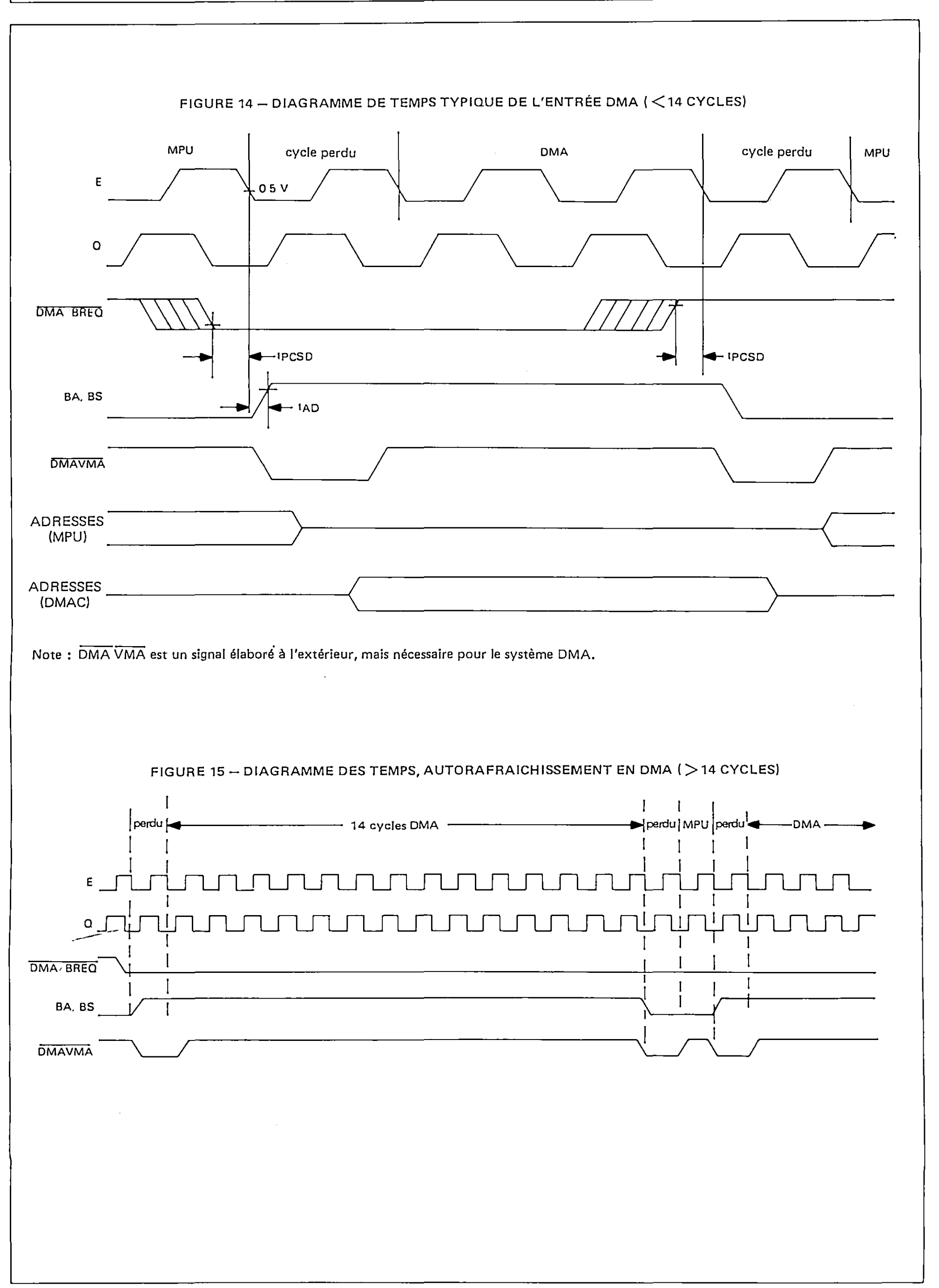
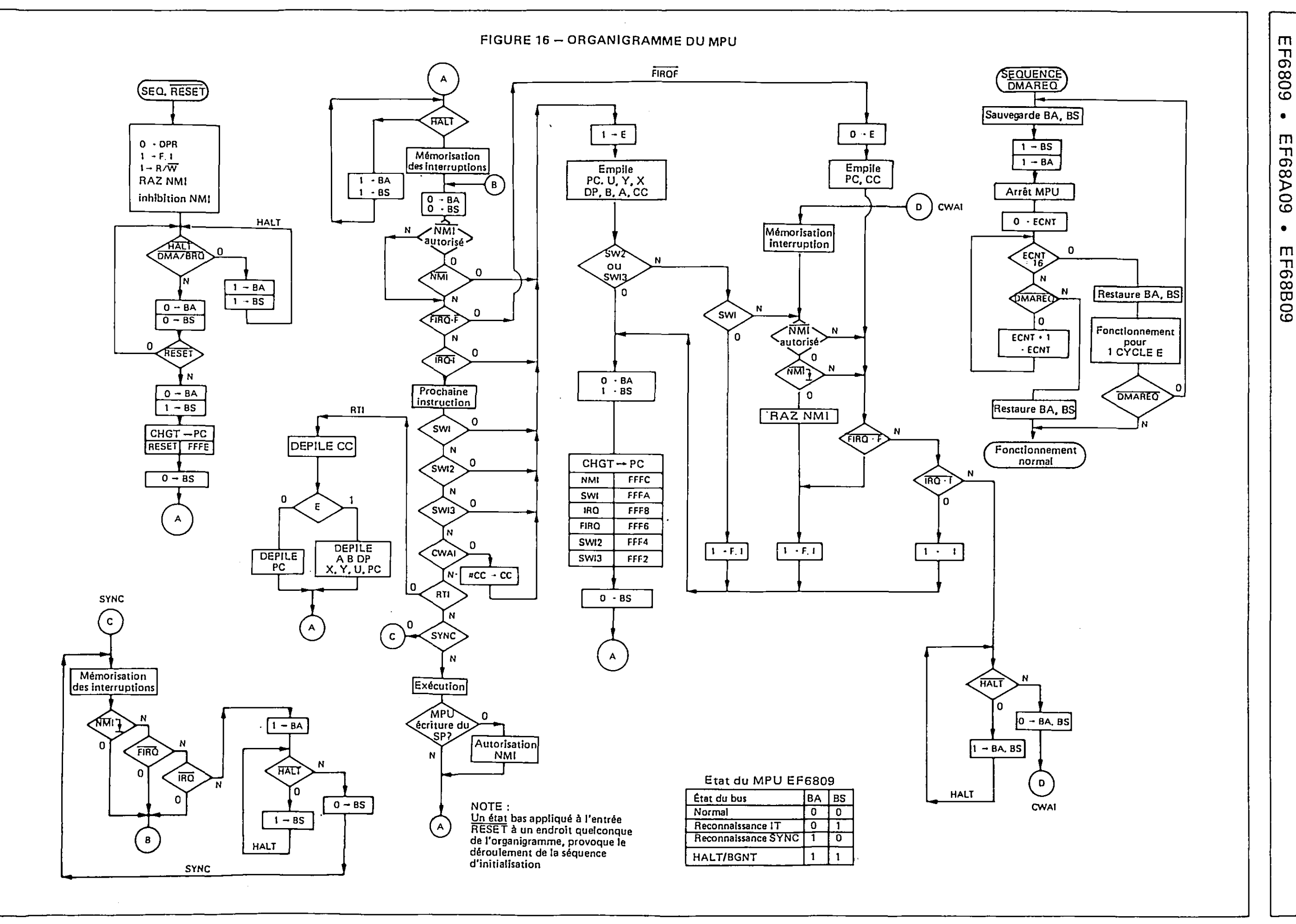


FIGURE 14 – DIAGRAMME DE TEMPS TYPIQUE DE L'ENTRÉE DMA (<14 CYCLES)

Note : DMA VMA est un signal élaboré à l'extérieur, mais nécessaire pour le système DMA.

FIGURE 15 – DIAGRAMME DES TEMPS, AUTORAFRAICHISSEMENT EN DMA (>14 CYCLES)

FIGURE 16 – ORGANIGRAMME DU MPU



NOTE :
Un état bas appliqué à l'entrée RESET à un endroit quelconque de l'organigramme, provoque le déroulement de la séquence d'initialisation

Etat du MPU EF6809

Etat du bus	BA	BS
Normal	0	0
Reconnaissance IT	0	1
Reconnaissance SYNC	1	0
HALT/BGNT	1	1

MODES D'ADRESSAGE

Les instructions de base de tout ordinateur sont particulièrement améliorées par la présence de modes d'adressage puissants. Le jeu de modes d'adressage disponible du EF6809 est actuellement le plus puissant des microprocesseurs existants.

Par exemple, le EF6809 possède 59 instructions de base, mais il admet 1464 possibilités différentes d'instructions et de modes d'adressage. Les nouveaux modes d'adressage permettent les techniques de programmation modernes. Les modes d'adressage suivants sont disponibles dans le EF6809 :

- Inhérent (Inclut les accumulateurs)
- Immédiat
- Etendu
- Etendu indirect
- Direct
- Registre
- Indexé
  - Déplacement nul
  - Déplacement constant
  - Déplacement accumulateur
  - Auto incrémentation/décrémentation
  - Indexé indirect
- Relatif
  - Branchement relatif long/court
  - Adressage relatif compteur programme

INHÉRENT (INCLUT LES ACCUMULATEURS)

Dans ce mode d'adressage, le code opération de l'instruction contient toute l'information adresse nécessaire. Des exemples d'adressage inhérent sont : ABX, DAA, SWI, ASRA et CLRB.

ADRESSAGE IMMÉDIAT

En adressage immédiat, l'adresse effective des données se trouve à l'emplacement suivant immédiatement le code opération ; les données à utiliser dans l'instruction du EF 6809 utilise deux valeurs immédiates 8 et 16 bits en fonction de la taille de l'opérande spécifiée par le code opération. Des exemples d'instructions utilisant l'adressage immédiat sont :

```
LDA #$ 20
LDX #$ F000
LDY #ASTER
```

Note : # signifie adressage immédiat, $ signifie valeur hexadécimale.

ADRESSAGE ÉTENDU

En adressage étendu, le contenu des deux octets suivant immédiatement le code opération spécifie complètement l'adresse 16 bits effective utilisée par l'instruction. Il est à noter que l'adresse générée par une instruction étendue définit une adresse absolue et n'est pas translatable. Les exemples d'adressage étendu incluent :

```
LDA ASTER
STX OBEL
LDD $ 2000
```

ÉTENDU INDIRECT

Comme cas spécial d'adressage indexé (exposé ci-dessous), un niveau d'indirection peut être ajouté à l'adressage étendu. En mode étendu indirect, les deux octets suivant le post octet d'une instruction indexée contiennent l'adresse de l'adresse des données.

```
LDA [ASTER]
LDX [$ FFFE]
STU [OBEL]
```

ADRESSAGE DIRECT

L'adressage direct est similaire à l'adressage étendu excepté qu'un octet d'adresse seulement suit le code opération. Cet octet spécifie les 8 bits de poids faible de l'adresse à utiliser. Les 8 bits d'adresse de poids fort sont fournis par le registre page directe. Un octet d'adresse étant seulement nécessaire en adressage direct, ce mode nécessite moins de mémoire et s'exécute plus rapidement qu'en adressage étendu. Bien entendu, seuls 256 emplacements (une page) peuvent être accédés sans avoir à redéfinir le contenu du registre DP. Le registre DP étant mis à $ 00 à l'initialisation, l'adressage direct sur le EF6809 est compatible avec l'adressage direct du EF6800. L'indirection n'est pas permise en adressage direct.

Voici quelques exemples d'adressage direct :

```
LDA    $ 30
SETDP  $ 10 (directive assembleur)
LDB    $ 1030
LDD    <ASTER
```

Note : < est une directive assembleur qui force l'adressage direct.

ADRESSAGE PAR REGISTRE

Certains codes opération sont suivis par un octet qui définit un registre ou un jeu de registres devant être utilisés par l'instruction, cet octet est appelé POSTOCTET. Quelques exemples d'adressage registre sont :

TFR	X, Y	Transfert de X dans Y
EXG	A, B	Échange A et B
PSHS	A, B, X, Y	Transfert dans S Y, X, B puis A
PULU	X, Y, D	Transfert depuis U D, X, puis Y

ADRESSAGE INDEXÉ

Dans tout adressage indexé un des registres pointeur (X, Y, U, S et parfois PC) est utilisé dans le calcul de l'adresse effective de l'opérande devant être utilisée par l'instruction. Cinq types d'indexation de base sont disponibles et sont exposés ci-dessous. Le post octet d'une instruction indexée spécifie le type de base et le choix du mode d'adressage ainsi que le registre pointeur devant être utilisé. La figure 17 montre les formats autorisés pour le post octet. Le tableau 2 donne la forme assembleur et le nombre de cycles et d'octets additionnés aux valeurs de base d'adressage indexé pour chaque variante.

FIGURE 17 — ADRESSAGE INDEXÉ, SIGNIFICATION DES BITS DU REGISTRE POST-OCTET

Bit du registre post-octet								Mode d'adressage indexé
7	6	5	4	3	2	1	0	
0	R	R	X	X	X	X	X	EA = ,R ± 4 bits déplacement
1	R	R	0	0	0	0	0	,R+
1	R	R	I	0	0	0	1	,R++
1	R	R	0	0	0	1	0	,-R
1	R	R	I	0	0	1	1	,--R
1	R	R	I	0	1	0	0	EA= ,R ± 0 déplacement
1	R	R	I	0	1	0	1	EA= ,R ± ACCB déplacement
1	R	R	I	0	1	1	0	EA= ,R ± ACCA déplacement
1	R	R	I	1	0	0	0	EA = ,R ± 7 bits déplacement
1	R	R	I	1	0	0	1	EA= ,R±15 bits déplacement
1	R	R	I	1	0	1	1	EA= ,R ± D déplacement
1	X	X	I	1	1	0	0	EA=,PC±7 bits déplacement
1	X	X	I	1	1	0	1	EA=,PC±15 bits déplacement
1	R	R	1	1	1	1	1	EA = , adresse

Champ du mode d'adressage
Champ indirect
bit de signe quand B7 = 0

Champ du registre
00:R = X
01:R = Y
10:R = U
11:R = S
X = indifférent

Indexé - Déplacement zéro. Dans ce mode, le registre pointeur sélectionné contient l'adresse effective des données devant être utilisées par l'instruction. Ce mode est le mode indexé le plus rapide.

Exemples :

LDD 0,X
LDA 0,S

Indexé - Déplacement constant. Dans ce mode un déplacement en complément à deux et le contenu d'un des registres pointeur sont additionnés pour former l'adresse effective de l'opérande. Le contenu initial du registre pointeur n'est pas changé par l'addition.

Trois valeurs de déplacement sont disponibles.

± 4-bit (– 16 à + 15)
± 7-bit (– 128 à + 127)
± 15-bit (– 32 768 à + 32 767)

Le déplacement 5 bits en complément à deux est compris dans le postoctet et donc optimise l'utilisation des octets et des cycles. Le déplacement 8 bits en complément à deux est contenu dans un seul octet suivant le postoctet. Le déplacement 16 bits en complément à deux se trouve dans les deux octets suivant le postoctet. Dans la plupart des cas, le programmeur n'a pas à connaître la valeur de ce déplacement puisque l'assembleur sélectionne automatiquement la valeur d'option.

Exemples d'indexation avec déplacement constant :

```
LDA    23,X
LDX    –2,S
LDY    300,X
LDU    ASTER, Y
```

TABLEAU 2 — MODES D'ADRESSAGE INDEXE

Type	Formes	Non Indirect				Indirect			
		Syntaxe assembleur	Post-octet code OP	+ ~	+ #	Syntaxe assembleur	Post-octet code OP	+ ~	+ #
Déplacement constant à partir de R (signé)	pas de déplacement	,R	1RR00100	0	0	[,R]	1RR10100	3	0
	déplacement 5 bits	n, R	0RRnnnnn	1	0	par défaut — 8 bits			
	déplacement 8 bits	n, R	1RR01000	1	1	[n, R]	1RR11000	4	1
	déplacement 16 bits	n, R	1RR01001	4	2	[n, R]	1RR11001	7	2
Accumulateur utilisé comme déplacement pour le Registre R (déplacement signé)	registre de déplac. A	A, R	1RR00110	1	0	[A, R]	1RR10110	4	0
	registre de déplac. B	B, R	1RR00101	1	0	[B, R]	1RR10101	4	0
	registre de déplac. D	D, R	1RR01011	4	0	[D, R]	1RR11011	7	0
Auto incrémentation/décrémentation du registre R	incrémenté par 1	,R+	1RR00000	2	0	impossible			
	incrémenté par 2	,R++	1RR00001	3	0	[,R++]	1RR10001	6	0
	décrémenté par 1	,-R	1RR00010	2	0	impossible			
	décrémenté par 2	,--R	1RR00011	3	0	[,--R]	1RR10011	6	0
Déplacement constant à partir de PC	déplacement 8 bits	n, PCR	1XX01100	1	1	[n, PCR]	1XX11100	4	1
	déplacement 16 bits	n, PCR	1XX01101	5	2	[n, PCR]	1XX11101	8	2
Indirect étendu	adresses 16 bits	—	—	—	—	[n]	10011111	5	2

R = X, Y, U ou S X = 00 Y = 01
X = indifférent U = 10 S = 11

$\underset{\sim}{+}$ et $\underset{\#}{+}$ indiquent le nombre de cycles et d'octets additionnels pour un état particulier.

Indexé - Déplacement Accumulateur. Ce mode est semblable au mode indexé à déplacement constant excepté que la valeur en complément à deux dans un des accumulateurs (A, B ou D) et le contenu de l'un des registres pointeur sont ajoutés pour former l'adresse effective de l'opérande. Le contenu du registre pointeur et de l'accumulateur demeure inchangé par l'addition. Le postoctet spécifie l'accumulateur à utiliser comme déplacement et aucun octet supplémentaire n'est nécessaire. L'avantage d'un déplacement accumulateur réside dans le fait que la valeur du déplacement peut être calculée par programme en cours d'exécution.

Exemples :

```
LDA B,Y
LDX D,Y
LEAX B,X
```

Indexé - Auto Incrémentation/Décrémentation. En mode auto incrémentation, le registre pointeur contient l'adresse de l'opérande. Ainsi, après avoir été utilisé le registre pointeur est incrémenté de un ou deux. Ce mode d'adressage est très utile lors de l'utilisation de tables, déplacement de données, ou pour la création de piles logicielles. En auto décrémentation le registre pointeur est décrémenté avant d'être utilisé comme adresse des données. L'utilisation en auto décrémentation est similaire à celle en auto incrémentation, mais les tables, etc., sont scrutées des adresses élevées vers les adresses faibles. La valeur d'incrément/décrément peut être égale à un ou deux pour permettre d'accéder à des tables de données 8 ou 16 bits, elle est sélectionnée par le programmeur. L'aspect pré-décrément, post-incrément permet à ces modes d'être utilisés pour créer des piles logicielles supplémentaires qui se comportent de manière identique aux piles U et S.

Voici quelques exemples de modes d'adressage auto incrément/décrément :

```
LDA ,X+
STD ,Y++
LDB ,-Y
LDX ,--S
```

INDEXE INDIRECT

Tous les modes indexé indirect sont inclus à l'exception incrémentation/décrémentation par un, ou déplacement de ± 4 bits, peuvent avoir un niveau d'indirection supplémentaire spécifié. En adressage indirect, l'adresse effective est contenue à l'emplacement spécifié par le contenu du registre index additionné d'un quelconque déplacement. Dans l'exemple ci-dessous, l'accumulateur A est chargé indirectement en utilisant une adresse effective calculée à partir du registre index et d'un déplacement.

```
                 Avant exécution :
                 A = XX (indifférent)
                 X = $F000
$0100  LDA  [10,X]  l'EA est alors $F010
$F010  $F1          F150 est alors la nouvelle
$F011  $50          adresse effective
$F150  $AA
                 Après exécution :
                 A = $AA Donnée chargée réelle
```

Note : EA = adresse effective

Tous les modes indexé indirect sont inclus à l'exception de ceux qui sont sans signification (exemple : auto incrément/décrément par 1 indirect). Quelques exemples de mode indexé indirect sont :

```
LDA  [,X]
LDD  [10,X]
LDA  [B,Y]
LDD  [,X++]
```

ADRESSAGE RELATIF

Le(s) octet(s) suivant(s) le code opération de branchement est (sont) traité(s) comme un déplacement signé qui est additionné au compteur programme.

Si la condition de branchement est vraie alors l'adresse calculée (PC + déplacement signé) est chargée dans le compteur programme. L'exécution du programme se poursuit jusqu'au nouvel emplacement comme indiqué par le PC, les modes d'adressage relatif court (1 octet de déplacement) et long (déplacement de deux octets) sont disponibles. Tout emplacement mémoire peut être atteint en mode d'adressage relatif long, l'adresse effective étant interprétée modulo 2^{16}. Quelques exemples d'adressage relatif sont :

```
        BEQ   ASTER  (court)
        BGT   OBEL   (court)
ASTER   LBEQ  BAMBI  (long)
OBEL    LBGT  BUNNY  (long)
         .
         .
         .
BAMBI   NOP
BUNNY   NOP
```

Le compteur programme peut être utilisé comme registre pointeur avec des déplacements signés de 8 ou 16 bits. Comme en adressage relatif le déplacement est additionné au PC en cours pour former l'adresse effective. L'adresse effective est alors utilisée comme adresse opérande ou adresse données. L'adressage relatif par compteur programme est utilisé pour écrire des programmes translatables. Les tables relatives à un programme particulier gardent la même liaison après translation du programme, si celles-ci sont référencées en relatif par rapport au compteur programme.

Exemples :

```
LDA   BUNNY, PCR
LEAX  TABLE, PCR
```

Le mode compteur programme relatif étant un type d'indexation, un niveau supplémentaire d'indirection est utilisable.

```
LDA  [ASTER, PCR]
LDU  [OBEL, PCR]
```

JEU D'INSTRUCTIONS DU EF 6809

Le jeu d'instructions du EF6809 est comparable à celui du EF6800 et compatible ascendant au niveau du code source. Le nombre de codes opération a été réduit de 72 à 59, mais grâce à son architecture améliorée et modes d'adressage supplémentaires, le nombre de codes opération disponibles (avec les différents modes d'adressage) est passé de 197 à 1464.

Certaines instructions et certains modes d'adressage sont décrits en détail ci-dessous :

PSHU/PSHS

Ces instructions ont la propriété d'empiler tout(s) registre(s) du MPU soit sur la pile matérielle (S) soit sur la pile utilisateur (U) en une seule instruction.

PULU/PULS

Les instructions de dépilement ont la même propriété que les instructions d'empilement, dans l'ordre inverse. L'octet immédiat suivant le code opération des instructions d'empilement ou de dépilement détermine quel ou quels registres doivent être empilés ou dépilés. La séquence effective d'empilement/dépilement est fixée ; chaque bit détermine un registre unique à empiler/dépiler comme indiqué figure 16.

TFR/EXG

Dans le EF6809 chaque registre peut être transféré ou échangé avec un autre registre de même format, c'est-à-dire 8 bits à 8 bits ou 16 bits à 16 bits. Les bits 4-7 du post octet définissent le registre source, tandis que les bits 0-3 représentent le registre destination.

Ceci se représente comme suit :

0000 – D	0101 – PC
0001 – X	1000 – A
0010 – Y	1001 – B
0011 – U	1010 – CC
0100 – S	1011 – DP

Note : Toutes les autres combinaisons sont indéfinies et non valables.

Chargement d'adresse effective (LEA)

L'instruction LEA s'exécute en calculant l'adresse effective utilisée dans une instruction indexée et mémorise cette valeur d'adresse, au lieu des données de cette adresse, dans un registre pointeur. Ceci met l'ensemble des caractéristiques d'adressage interne matériel à la disposition du programmeur. Quelques-unes des implications de cette instruction sont illustrées à l'aide d'exemples, (voir tableau 3).

L'instruction LEA permet aussi à l'utilisateur d'accéder à des données quel que soit l'emplacement. Par exemple :

```
     LEAX   MSG1, PCR
     LBSR   PDATA      (programme d'impression
                        message)

MSG1 FCC    'MESSAGE'
```

FIGURE 16 – POST OCTET D'EMPILEMENT/DEPILEMENT

```
← ordre d'empilement      ordre de dépilement →
PC   U   Y   X   DP   B   A   CC   PSHS/PULS
FFFF ..... ← adresse mémoire croissante.... 0000
PC   S   Y   X   DP   B   A   CC   PSHU/PULU
```

TABLEAU 3 – EXEMPLES D'UTILISATION DE L'INSTRUCTION LEA

Instruction	Opération	Commentaire
LEAX 10, X	X+ 10 →X	Addition constante sur 5 bits de 10 dans X
LEAX 500, X	X+ 500 →X	Addition constante sur 16 bits de 500 dans X
LEAY A, Y	Y+ A →Y	Addition de l'accumulateur sur 8 bits dans Y
LEAY D, Y	Y+ D →Y	Addition de l'accumulateur D sur 16 bits dans Y
LEAU -10, U	U - 10 →U	Soustraction de 10 dans U
LEAS -10, S	S - 10 →S	Réservation d'une zone dans la pile
LEAS 10, S	S+ 10 →S	Remise en ordre de la pile
LEAX 5, S	S+ 5 →X	Transfert aussi bien qu'addition

Cet exemple de programme imprime « message ». En écrivant MSG1, PCR, l'assembleur calcule la distance entre l'adresse présente et MSG1. Ce résultat est placé comme une constante dans l'instruction LEAX qui est indexée par la valeur du PC au moment de l'exécution. Peu importe la position du code pendant son exécution puisque le déplacement calculé depuis le PC mettra l'adresse absolue de MSG1 dans le registre pointeur X. Ce code est totalement translatable.

MUL

Multiplie les nombres binaires non signés des accumulateurs A et B et place le résultat non signé dans l'accumulateur 16 bits D.

BRANCHEMENTS RELATIFS LONG ET COURT

Le EF6809 a la possibilité de réaliser des branchements relatifs du compteur programme sur tout l'espace mémoire. Dans ce mode, en cas de branchement, le déplacement signé de 8 ou 16 bits est additionné à la valeur du compteur programme utilisé comme adresse effective. Ceci permet le branchement du programme n'importe où dans les 64K d'espace mémoire. Le code translatable peut être facilement généré par l'utilisation du branchement relatif. Les deux branchements court (8 bits) et long (16 bits) sont disponibles.

SYNC

En rencontrant une instruction SYNC, le MPU se met dans l'état SYNC, arrête l'exécution du programme et attend une interruption. Si l'interruption incidente est non masquable ($\overline{NMI}$) ou masquable ($\overline{FIRQ}$, $\overline{IRQ}$) avec son bit masque (F ou I) à zéro, le processeur remet à zéro l'état SYNC et exécute la sauvegarde sur pile et le sous-programme de service. $\overline{FIRQ}$ et $\overline{IRQ}$ n'étant pas déclenchées sur front d'impulsion, un niveau bas d'une durée minimum de 3 cycles est nécessaire pour garantir la prise en compte de l'interruption.

Si l'interruption incidente est masquable ($\overline{FIRQ}$, $\overline{IRQ}$) avec son bit masque (F ou I) mis à un, le processeur libèrera l'état SYNC et continue l'exécution en séquence. La figure 18 décrit le diagramme des temps.

INTERRUPTIONS LOGICIELLES

Une interruption logicielle est une instruction qui provoque une interruption et la recherche du vecteur associé. Ces interruptions logicielles sont très utiles dans les appels système d'exploitation, mise au point logicielle, fonctionnements trace, configuration mémoire, et développement logiciel. Trois niveaux de SWI sont disponibles sur le EF6809, et sont hiérarchisés dans l'ordre suivant : SWI, SWI 2, SWI 3.

Opérations 16 bits

Le EF6809 offre des possibilités de traitement de données 16 bits. Ces instructions comprennent les instructions de chargement, mise en mémoire, comparaison, addition, soustraction, transfert, échange, empilement et dépilement.

FONCTIONNEMENT CYCLE PAR CYCLE

L'organigramme d'exécution cycle par cycle du bus adresse illustre la séquence d'accès mémoire correspondant à chaque instruction et mode d'adressage possibles sur le EF6809. Chaque instruction commence avec une recherche de code opération. Tandis que le code opération est décodé de façon interne, l'octet programme suivant est toujours recherché. (La plupart des instructions utilisent l'octet qui suit, ainsi cette technique augmente considérablement la vitesse d'exécution). Ensuite, le fonctionnement de chaque code opération suit l'organigramme. $\overline{VMA}$ est une indication de $FFFF_{16}$ sur le bus adresse, R/$\overline{W}$ = 1 et BS = 0. Les exemples qui suivent illustrent l'utilisation de l'organigramme (figure 19).

LBSR (Branchement long à sous-programme)
Cycle #

1 Recherche code opération
2 Code opération+
3 Code opération+
4 $\overline{VMA}$
5 $\overline{VMA}$
6 ADR
7 $\overline{VMA}$
8 PILE (écriture)
9 PILE (écriture)

DEC (Étendu)

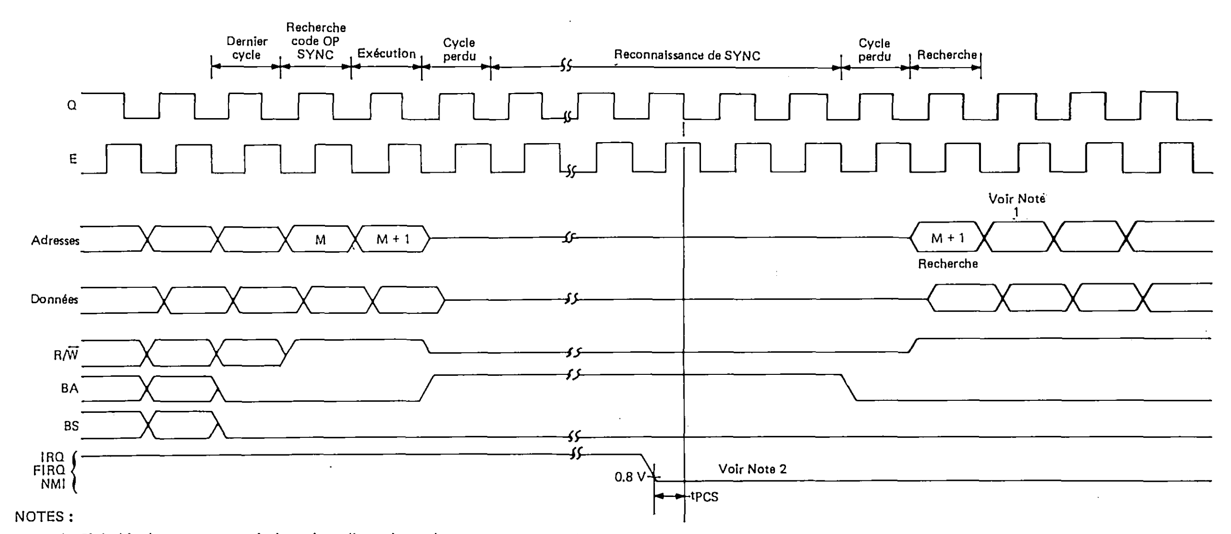
1 Recherche code opération
2 Code opération+
3 Code opération+
4 $\overline{VMA}$
5 ADR (lecture)
6 $\overline{VMA}$
7 ADR (écriture)

TABLEAU DU JEU D'INSTRUCTIONS DU EF6809

Les instructions du EF6809 ont été séparées en cinq catégories différentes qui sont :

Fonctionnement 8 bits (tableau 4)
Fonctionnement 16 bits (tableau 5)
Instructions portant sur le registre index/pointeur de pile (tableau 6)
Branchements relatifs (long et court) (tableau 7)
Instructions diverses (tableau 8)
Instructions sur valeur hexadécimale (tableau 9)

FIGURE 18 – DIAGRAMME DES TEMPS DE L'INSTRUCTION SYNC



NOTES :

1. Si le bit de masque est mis à un lors d'une demande d'interruption, le traitement continue avec l'exécution de l'instruction cherchée à l'étape précédente. Cependant si une interruption non masquable ou une interruption non masquée provoquée par $\overline{FIRQ}$ ou $\overline{IRQ}$, l'adresse positionnée sur le bus depuis le cycle précédent (M+ 1) demeure sur le bus et le traitement continue avec ce cycle comme (m+ 1) ou (n+ 1) du chronogramme d'interruption.
2. Si les bits de masques sont mis à zéro, $\overline{IRQ}$ et $\overline{FIRQ}$ doivent être maintenus à l'état bas bien qu'un cycle seulement soit nécessaire pour mettre le processeur hors de l'état SYNC.

FIGURE 19 – ÉTAT DU BUS ADRESSES CYCLE PAR CYCLE

Recherche
Code OP
Code OP+
Page 2
Page 3
Branchement long
Branchement court
Direct
Étendu
Immédiat + Implicite
Indéxé
Code OP+
$\overline{VMA}$
Code OP+
$\overline{VMA}$
ADR
Code OP+
$\overline{VMA}$
ADR
Prise en compte
O
N
$\overline{VMA}$
BSR
LBSR
O
N
ADR
$\overline{VMA}$
Pile écriture
Pile écriture
Saut
O
N
Fonctionnement (pages suivantes)
Recherche
Code OP+
Déplacement ACCA
Déplacement ACCB
±4 bits
±7 bits
PC ±7 bits
$\overline{VMA}$
←Auto→
Inc/Dec
Par 1 Par 2
$\overline{VMA}$
$\overline{VMA}$
$\overline{VMA}$
$\overline{VMA}$
$\overline{VMA}$
R
±16 bits
Code OP+
Code OP+
$\overline{VMA}$
$\overline{VMA}$
R ± D
Code OP+
Code OP+
$\overline{VMA}$
$\overline{VMA}$
PC
±16 bits
Code OP+
Code OP+
$\overline{VMA}$
$\overline{VMA}$
$\overline{VMA}$
Etendu
Indirect
Code OP +
Code OP +
Déplacement 0
Indirect
O
N
Indirect (H)
Indirect (L)
$\overline{VMA}$
LEA
O
N
ADR
$\overline{VMA}$

FIGURE 19 – ÉTAT DU BUS ADRESSES CYCLE PAR CYCLE (SUITE)

Mode implicite

SEX DAA NOP

ABX: $\overline{VMA}$

RTS: pile, Pile, $\overline{VMA}$

TFR: $\overline{VMA}$, $\overline{VMA}$, $\overline{VMA}$, $\overline{VMA}$

EXG: $\overline{VMA}$, $\overline{VMA}$, $\overline{VMA}$, $\overline{VMA}$, $\overline{VMA}$, $\overline{VMA}$

MUL: $\overline{VMA}$, $\overline{VMA}$, $\overline{VMA}$, $\overline{VMA}$, $\overline{VMA}$, $\overline{VMA}$, $\overline{VMA}$, $\overline{VMA}$, $\overline{VMA}$

PSHU PSHS: $\overline{VMA}$, $\overline{VMA}$, Pile, { Pile écriture } 12 0

PULU PULS: $\overline{VMA}$, $\overline{VMA}$, { Pile } 12 0, Pile

SWI → ADR

CWAI: ADR, $\overline{VMA}$, 12° Pile écriture, { $\overline{VMA}$ } ∞ 1, VECTEUR, VECTEUR, $\overline{VMA}$

RTI: Pile, E?, E = 1: 11° Pile; E = ϕ: 2° Pile; Pile

FIGURE 19 — ÉTAT DU BUS ADRESSES CYCLE PAR CYCLE (SUITE)

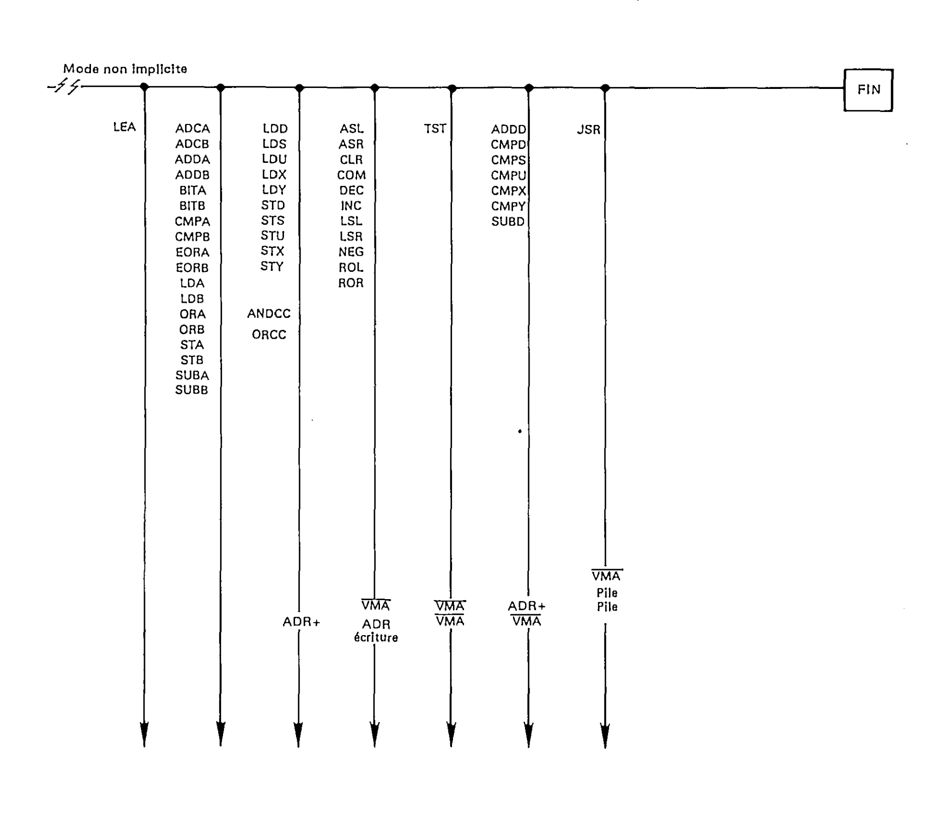


TABLEAU 4 – INSTRUCTIONS SUR LES ACCUMULATEURS ET LA MÉMOIRE (8 BITS)

Mnemoniques	Opérations
ADCA, ADCB	Addition du contenu mémoire à l'accumulateur, avec retenue
ADDA, ADDB	Addition du contenu mémoire à l'accumulateur
ANDA, ANDB	ET logique entre mémoire et l'accumulateur
ASL, ASLA, ASLB	Décalage arithmétique à gauche du contenu mémoire ou accumulateur
ASR, ASRA, ASRB	Décalage arithmétique à droite du contenu mémoire ou accumulateur
BITA, BITB	Test de bit mémoire avec l'accumulateur
CLR, CLRA, CLRB	Mise à zéro du contenu de l'accumulateur ou de la mémoire
CMPA, CMPB	Comparaison du contenu mémoire avec l'accumulateur
COM, COMA, COMB	Complément à deux de l'accumulateur ou du contenu mémoire
DAA	Ajustement décimal de l'accumulateur A
DEC, DECA, DECB	Décrémentation du contenu mémoire ou de l'accumulateur
EORA, EORB	« OU » exclusif du contenu mémoire avec l'accumulateur
EXG R1, R2	Echange de R_1 avec R_2 (R_1, R_2= A, B, CC, DP)
INC, INCA, INCB	Incrémentation du contenu mémoire ou de l'accumulateur
LDA, LDB	Chargement de l'accumulateur avec le contenu mémoire
LSL, LSLA, LSLB	Décalage logique à gauche du contenu mémoire ou de l'accumulateur
LSR, LSRA, LSRB	Décalage logique à droite du contenu mémoire ou de l'accumulateur
MUL	Multiplication non signée (A x B → D)
NEG, NEGA, NEGB	Complément à un du contenu mémoire ou de l'accumulateur
ORA, ORB	« OU » logique mémoire et accumulateur
ROL, ROLA, ROLB	Décalage circulaire à gauche du contenu mémoire ou de l'accumulateur
ROR, RORA, RORB	Décalage circulaire à droite du contenu mémoire ou de l'accumulateur
SBCA, SBCB	Soustraction du contenu mémoire de l'accumulateur
STA, STB	Mise en mémoire du contenu de l'accumulateur
SUBA, SUBB	Soustraction du contenu mémoire de l'accumulateur
TST, TSTA, TSTB	Test mémoire ou accumulateur
TFR, R1, R2	Transfert de R_1 à R_2 (R_1, R_2= A, B, CC, DP)

NOTE : A, B, CC ou DP peuvent être empilés sur (ou dépilés de) chaque pile avec les instructions PSHS, PSHU, (PULS, PULU).

TABLEAU 5 – INSTRUCTIONS SUR LES ACCUMULATEURS ET LA MÉMOIRE (16 BITS)

Mnemoniques	Opérations
ADDD	Addition du contenu mémoire à l'accumulateur D
CMPD	Comparaison du contenu mémoire avec l'accumulateur D
EXG D, R	Échange de D avec X, Y, S, U ou PC
LDD	Chargement de l'accumulateur D avec le contenu mémoire
SEX	Extension de signe de l'accumulateur B à l'accumulateur A.
STD	Mise en mémoire de l'accumulateur D.
SUBD	Soustraction du contenu mémoire de l'accumulateur D
TFR D, R	Transfert de D vers X, Y, S, U ou PC
TFR R, D	Transfert de X, Y, S, U ou PC vers D.

TABLEAU 6 — INSTRUCTIONS SUR LES REGISTRES INDEX ET LE POINTEUR DE PILE

Mnemoniques	Opérations
CMPS, CMPU	Comparaison mémoire avec pointeur de pile
CMPX, CMPY	Comparaison mémoire avec registre index
EXG R1, R2	Echange de D, X, Y, S, U ou PC avec D, X, Y, S, U, ou PC
LEAS, LEAU	Chargement de l'adresse effective dans le pointeur de pile
LEAX, LEAY	Chargement de l'adresse effective dans le registre index
LDS, LDU	Chargement du pointeur de pile avec le contenu mémoire
LDX, LDY	Chargement du registre index avec le contenu mémoire
PSHS	Empilement de tout (s) registre (s) (sauf S) sur la pile S
PSHU	Empilement de tout (s) registre (s) (sauf U) sur la pile U
PULS	Dépilement de tout (s) registre (s) (sauf S) de la pile S
PULU	Dépilement de tout (s) registre (s) (sauf U) de la pile U
STS, STU	Mise en mémoire du pointeur de pile
STX, STY	Mise en mémoire du registre index
TFR R1, R2	Transfert de D, X, Y, S, U ou PC vers D, X, Y, S, U ou PC
ABX	Addition de l'accumulateur B à X (non signé)

TABLEAU 7 — INSTRUCTIONS DE BRANCHEMENT

Mnemoniques	Opérations
BCC, LBCC	Branchement si pas de retenue
BCS, LBCS	Branchement si retenue
BEQ, LBEQ	Branchement si égal
BGE, LBGE	Branchement si supérieur ou égal (signé)
BGT, LBGT	Branchement si supérieur (signé)
BHI, LBHI	Branchement si supérieur (non signé)
BHS, LBHS	Branchement si supérieur ou égal (non signé)
BLE, LBLE	Branchement si inférieur ou égal (signé)
BLO, LBLO	Branchement si inférieur (non signé)
BLS, LBLS	Branchement si inférieur ou égal (non signé)
BLT, LBLT	Branchement si inférieur (signé)
BMI, LBMI	Branchement si négatif
BNE, LBNE	Branchement si non égal
BPL, LBPL	Branchement si positif
BRA, LBRA	Branchement inconditionnel
BRN, LBRN	Non branchement
BSR, LBSR	Branchement à un sous-programme
BVC, LBVC	Branchement si pas de débordement= 0
BVS, LBVS	Branchement si débordement= 1

TABLEAU 8 — INSTRUCTIONS SPÉCIALES

Mnemoniques	Opérations
ANDCC	« ET » logique avec le registre codes condition
CWAI	« ET » logique avec le registre codes condition puis attente d'interruption
NOP	Non opération
ORCC	« OU » logique avec le registre codes condition
JMP	Saut inconditionnel
JSR	Saut à un sous-programme
RTI	Retour d'interruption
RTS	Retour de sous-programme
SWI, SWI2, SWI3	Interruption programmée
SYNC	Synchronisation avec la ligne d'interruption

TABLEAU 9 – VALEURS HEXADECIMALES DU CODE MACHINE

Code OP Mnémonique	Mode	~	#
00 NEG	Direct	6	2
01 •			
02 •			
03 COM		6	2
04 LSR		6	2
05 •			
06 ROR		6	2
07 ASR		6	2
08 ASL/LSL		6	2
09 ROL		6	2
0A DEC		6	2
0B •			
0C INC		6	2
0D TST		6	2
0E JMP		3	2
0F CLR	Direct	6	2
10 Page 2	—	—	—
11 Page 3	—	—	—
12 NOP	Implicite	2	1
13 SYNC	Implicite	2	1
14 •			
15 •			
16 LBRA	Relatif	5	3
17 LBSR	Relatif	9	3
18 •			
19 DAA	Implicite	2	1
1A ORCC	Immédiat	3	2
1B •			
1C ANDCC	Immédiat	3	2
1D SEX	Implicite	2	1
1E EXG		8	2
1F TFR	Implicite	6	2
20 BRA	Relatif	3	2
21 BRN		3	2
22 BHI		3	2
23 BLS		3	2
24 BHS/BCC		3	2
25 BLO/BCS		3	2
26 BNE		3	2
27 BEQ		3	2
28 BVC		3	2
29 BVS		3	2
2A BPL		3	2
2B BMI		3	2
2C BGE		3	2
2D BLT		3	2
2E BGT		3	2
2F BLE	Relatif	3	2

Code OP Mnémonique	Mode	~	#
30 LEAX	Indexé	4+	2+
31 LEAY		4+	2+
32 LEAS		4+	2+
33 LEAU	Indexe	4+	2+
34 PSHS	Implicite	5+	2
35 PULS		5+	2
36 PSHU		5+	2
37 PULU		5+	2
38 •			
39 RTS		5	1
3A ABX		3	1
3B RTI		6/15	1
3C CWAI		20	2
3D MUL		11	1
3E •			
3F SWI	Implicite	19	1
40 NEGA	Implicite	2	1
41 •			
42 •			
43 COMA		2	1
44 LSRA		2	1
45 •			
46 RORA		2	1
47 ASRA		2	1
48 ASLA/LSLA		2	1
49 ROLA		2	1
4A DECA		2	1
4B •			
4C INCA		2	1
4D TSTA		2	1
4E •			
4F CLRA	Implicite	2	1
50 NEGB	Implicite	2	1
51 •			
52 •			
53 COMB		2	1
54 LSRB		2	1
55 •			
56 •			
56 RORB		2	1
57 ASRB		2	1
58 ASLB/LSLB		2	1
59 ROLB		2	1
5A DECB		2	1
5B •			
5C INCB		2	1
5D TSTB		2	1
5E •			
5F CLRB	Implicite	2	1

Code OP Mnémonique	Mode	~	#
60 NEG	Indexé	6+	2+
61 •			
62 •			
63 COM		6+	2+
64 LSR		6+	2+
65 •			
66 ROR		6+	2+
67 ASR		6+	2+
68 ASL/LSL		6+	2+
69 ROL		6+	2+
6A DEC		6+	2+
6B •			
6C INC		6+	2+
6D TST		6+	2+
6E JMP		3+	2+
6F CLR	Indexé	6+	2+
70 NEG	Étendu	7	3
71 •			
72 •			
73 COM		7	3
74 LSR		7	3
75 •			
76 ROR		7	3
77 ASR		7	3
78 ASL/LSL		7	3
79 ROL		7	3
7A DEC		7	3
7B •			
7C INC		7	3
7D TST		7	3
7E JMP		4	3
7F CLR	Étendu	7	3
80 SUBA	Immédiat	2	2
81 CMPA		2	2
82 SBCA		2	2
83 SUBD		4	3
84 ANDA		2	2
85 BITA		2	2
86 LDA		2	2
87 •			
88 EORA		2	2
89 ADCA		2	2
8A ORA		2	2
8B ADDA		2	2
8C CMPX	Immédiat	4	3
8D BSR	Relatif	7	2
8E LDX	Immédiat	3	3
8F •			

Légende :
~ nombre de cycles MPU
nombre d'octets
• code OP non utilisé

TABLEAU 9 — VALEURS HEXADÉCIMALES DU CODE MACHINE (SUITE)

Code OP Mnémonique	Mode	~	#
90 SUBA	Direct	4	2
91 CMPA		4	2
92 SBCA		4	2
93 SUBD		6	2
94 ANDA		4	2
95 BITA		4	2
96 LDA		4	2
97 STA		4	2
98 EORA		4	2
99 ADCA		4	2
9A ORA		4	2
9B ADDA		4	2
9C CMPX		6	2
9D JSR		7	2
9E LDX		5	2
9F STX	Direct	5	2
A0 SUBA	Indexé	4+	2+
A1 CMPA		4+	2+
A2 SBCA		4+	2+
A3 SUBD		6+	2+
A4 ANDA		4+	2+
A5 BITA		4+	2+
A6 LDA		4+	2+
A7 STA		4+	2+
A8 EORA		4+	2+
A9 ADCA		4+	2+
AA ORA		4+	2+
AB ADDA		4+	2+
AC CMPX		6+	2+
AD JSR		7+	2+
AE LDX		5+	2+
AF STX	Indexé	5+	2+
B0 SUBA	Étendu	5	3
B1 CMPA		5	3
B2 SBCA		5	3
B3 SUBD		7	3
B4 ANDA		5	3
B5 BITA		5	3
B6 LDA		5	3
B7 STA		5	3
B8 EORA		5	3
B9 ADCA		5	3
BA ORA		5	3
BB ADDA		5	3
BC CMPX		7	3
BD JSR		8	3
BE LDX		6	3
BF STX	Étendu	6	3
C0 SUBB	Immédiat	2	2
C1 CMPB		2	2
C2 SBCB		2	2
C3 ADDD		4	3
C4 ANDB		2	2
C5 BITB	Immédiat	2	2

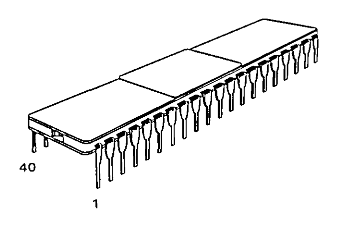
Code OP Mnémonique	Mode	~	#
C6 LDB	Immédiat	2	2
C7 *			
C8 EORB		2	2
C9 ADCB		2	2
CA ORB		2	2
CB ADDB		2	2
CC LDD		3	3
CD *			
CE LDU	Immédiat	3	3
CF *			
D0 SUBB	Direct	4	2
D1 CMPB		4	2
D2 SBCB		4	2
D3 ADDD		6	2
D4 ANDB		4	2
D5 BITB		4	2
D6 LDB		4	2
D7 STB		4	2
D8 EORB		4	2
D9 ADCB		4	2
DA ORB		4	2
DB ADDB		4	2
DC LDD		5	2
DD STD		5	2
DE LDU		5	2
DF STU	Direct	5	2
E0 SUBB	Indexé	4+	2+
E1 CMPB		4+	2+
E2 SBCB		4+	2+
E3 ADDD		6+	2+
E4 ANDB		4+	2+
E5 BITB		4+	2+
E6 LDB		4+	2+
E7 STB		4+	2+
E8 EORB		4+	2+
E9 ADCB		4+	2+
EA ORB		4+	2+
EB ADDB		4+	2+
EC LDD		5+	2+
ED STD		5+	2+
EE LDU		5+	2+
EF STU	Indexé	5+	2+
F0 SUBB	Étendu	5	3
F1 CMPB		5	3
F2 SBCB		5	3
F3 ADDD		7	3
F4 ANDB		5	3
F5 BITB		5	3
F6 LDB		5	3
F7 STB		5	3
F8 EORB		5	3
F9 ADCB		5	3
FA ORB		5	3
FB ADDB	Étendu	5	3

Code OP Mnémonique	Mode	~	#
FC LDD	Étendu	6	3
FD STD		6	3
FE LDU		6	3
FF STU	Indexé	6	3

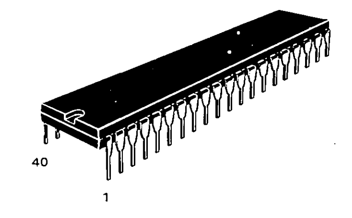
Code OP Mnémonique	Mode	~	#
1021 LBRN	Relatif	5	4
1022 LBHI		5(6)	4
1023 LBLS		5(6)	4
1024 LBHS/LBCC		5(6)	4
1025 LBCS/LBLO		5(6)	4
1026 LBNE		5(6)	4
1027 LBEQ		5(6)	4
1028 LBVC		5(6)	4
1029 LBVS		5(6)	4
102A LBPL		5(6)	4
102B LBMI		5(6)	4
102C LBGE		5(6)	4
102D LBLT	Relatif	5(6)	4
102E LBGT	Relatif	5(6)	4
102F LBLE	Relatif	5(6)	4
103F SWI/2	Implicite	20	2
1083 CMPD	Immédiat	5	4
108C CMPY		5	4
108E LDY	Immédiat	4	4
1093 CMPD	Direct	7	3
109C CMPY		7	3
109E LDY		6	3
109F STY	Direct	6	3
10A3 CMPD	Indexé	7+	3+
10AC CMPY		7+	3+
10AE LDY		6+	3+
10AF STY	Indexé	6+	3+
10B3 CMPD	Étendu	8	4
10BC CMPY		8	4
10BE LDY		7	4
10BF STY	Étendu	7	4
10CE LDS	Immédiat	4	4
10DE LDS	Direct	6	3
10DF STS	Direct	6	3
10EE LDS	Indexé	6+	3+
10EF STS	Indexé	6+	3+
10FE LDS	Étendu	7	4
10FF STS	Étendu	7	4
113F SWI/3	Implicite	20	2
1183 CMPU	Immédiat	5	4
118C CMPS	Immédiat	5	4
1193 CMPU	Direct	7	3
119C CMPS	Direct	7	3
11A3 CMPU	Indexé	7+	3+
11AC CMPS	Indexé	7+	3+
11B3 CMPU	Étendu	8	4
11BC CMPS	Étendu	8	4

NOTE : Tous les codes opération inutilisés sont indéfinis et interdits.

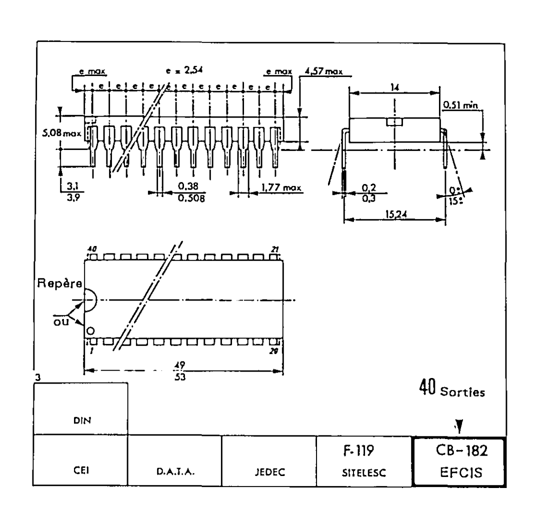
BOITIER CB-182



SUFFIXE C
BOITIER CERAMIQUE



SUFFIXE P
BOITIER PLASTIQUE



Informations préliminaires : ces spécifications peuvent changer sans préavis.
Consultez notre réseau de vente pour connaître la disponibilité des différentes versions de ce circuit.

EFCIS 

Circuits Intégrés MOS THOMSON-EFCIS

mosmosmosmosmosmosmosmosmosmos

EF6821
(1 MHz)
EF68A21
(1,5 MHz)
EF68B21
(2 MHz)

Ancienne appellation : SFF9-6821

INTERFACE ADAPTATEUR POUR PERIPHERIQUES

Le circuit EF6821 fournit un moyen universel d'interface des appareils périphériques avec un microprocesseur EF6800. Ce circuit interface le MPU avec les périphériques par deux bus de données 8 bits bidirectionnels et quatre lignes de contrôle. Aucune logique externe n'est nécessaire pour interfacer la plupart des périphériques.

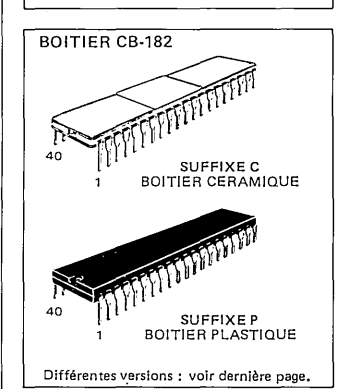
La configuration fonctionnelle du PIA est programmée par le MPU pendant l'initialisation du système. Chacune des lignes de données vers la périphérie peut être programmée pour être utilisée soit en entrée, soit en sortie, et chacune des quatre lignes de contrôle/interruption peut être programmée pour un des modes de fonctionnement possibles. Ceci permet une grande souplesse dans l'utilisation du PIA.

- Bus de données bidirectionnel vers le MPU
- 2 bus de données bidirectionnels vers la périphérie
- 2 registres de contrôle programmables
- 2 registres de sens de transfert des données
- 4 lignes d'entrées d'interruption contrôlables individuellement, dont deux utilisables comme sorties pour le contrôle de la périphérie
- Lignes 3 états (haute impédance) et commande de transistors
- Interruptions contrôlées par programme et possibilité de masquage des interruptions
- Possibilité de contrôler des circuits CMOS sur la partie A des lignes vers la périphérie
- Possibilité de commander 2 charges TTL en sortie sur les parties A et B
- Compatible TTL
- Fonctionnement statique.

MOS

GRILLE SILICIUM - CANAL N

INTERFACE ADAPTATEUR POUR PERIPHERIQUES (PIA)



Vitesse	Circuit	Gamme de température
1.0 MHz	EF6821 C, P	0 à + 70°C
	EF6821 CV, PV	– 40 à + 85°C
Equ. MIL-STD-883B Equ. MIL-STD-883C	EF6821CMB EF6821CMP	– 55 à + 125°C
1.5 MHz	EF68A21 C, P	0 à + 70°C
	EF68A21 CV, PV	– 40 à + 85°C
2.0 MHz	EF68B21 C, P	0 à + 70°C

BROCHAGE

Broche	Signal	Signal	Broche
1	V_{SS}	CA1	40
2	PA0	CA2	39
3	PA1	$\overline{IRQA}$	38
4	PA2	$\overline{IRQB}$	37
5	PA3	RS0	36
6	PA4	RS1	35
7	PA5	$\overline{Reset}$	34
8	PA6	D0	33
9	PA7	D1	32
10	PB0	D2	31
11	PB1	D3	30
12	PB2	D4	29
13	PB3	D5	28
14	PB4	D6	27
15	PB5	D7	26
16	PB6	E	25
17	PB7	CS1	24
18	CB1	$\overline{CS2}$	23
19	CB2	CS0	22
20	V_{CC}	R/$\overline{W}$	21

DS 9435R1 - F

EFCIS
FRANCE
45, av. de l'Europe
78140 VELIZY
Tel.: (1) 946 97 19
Telex : 698866F

VALEURS LIMITES ABSOLUES

Paramètres	Symboles	Valeurs	Unités
Tension d'alimentation	V_{CC}	- 0,3 à + 7,0	V
Tension d'entrée	V_{in}	- 0,3 à + 7,0	V
Température de fonctionnement EF 6821, EF 68A21, EF 68B21 EF 6821 CV, PV/EF 68A21 CV, PV EF 6821 CMB, EF 6821 CMP	T_A	T_L à T_H 0 à 70 - 40 à 85 - 55 à 125	 °C °C °C
Température de stockage	T_{stg}	- 55 à + 150	°C
Résistance thermique	θJA	82,5	°C/W

Les entrées de ce circuit sont protégées contre les hautes tensions statiques et les champs électriques ; toutefois, il est recommandé de prendre les précautions normales pour éviter toute tension supérieure aux valeurs limites sur ce circuit à haute impédance.

CARACTERISTIQUES ELECTRIQUES (V_{CC} = 5,0 V ± 5 %, V_{SS} = 0, T_A = T_L à T_H sauf spécifications contraires)

Paramètres	Symboles	Min	Typ	Max	Unités
ENTREES DU BUS DE COMMANDE ($R/\overline{W}$, Enable, $\overline{Reset}$, RS0, RS1, CS0, CS1, $\overline{CS2}$)					
Tension d'entrée à l'état haut	V_{IH}	V_{SS} + 2,0	–	V_{CC}	V
Tension d'entrée à l'état bas	V_{IL}	V_{SS} - 0,3	–	V_{SS} + 0,8	V
Courant de fuite en entrée (V_{in} = 0 à 5,25 V)	I_{in}	–	1,0	2,5	µ A
Capacité (V_{in} = 0, T_A = 25°C, f = 1,0 MHz)	C_{in}	–	–	7,5	pf
SORTIES D'INTERRUPTION ($\overline{IRQA}$, $\overline{IRQB}$)					
Tension de sortie à l'état bas (I_{charge} = 3,2 mA)	V_{OL}	–	–	V_{SS} + 0,4	V
Courant de fuite en sortie (V_{OH} = 2,4 V)	I_{LOH}	–	1,0	10	µ A
Capacité (V_{in} = 0, T_A = 25°C, f = 1,0 MHz)	C_{out}	–	–	5,0	pf
BUS DE DONNEES (D0-D7)					
Tension d'entrée à l'état haut	V_{IH}	V_{SS} + 2,0	–	V_{CC}	V
Tension d'entrée à l'état bas	V_{IL}	V_{SS} - 0,3	–	V_{SS} + 0,8	V
Courant d'entrée à l'état haute-impédance (V_{in} = 0,4 à 2,4 V)	I_{TSI}	–	2,0	10	µ A
Tension de sortie à l'état haut (I_{charge} = 205 µ A)	V_{OH}	V_{SS} + 2,4	–	–	V
Tension de sortie à l'état bas (I_{charge} = 1,6 mA)	V_{OL}	–	–	V_{SS} + 0,4	V
Capacité (V_{in} = 0, T_A = 25°C, f = 1,0 MHz)	C_{in}	–	–	12,5	pf
BUS PERIPHERIQUES (PA0-PA7, PB0-PB7, CA1, CB1, CB2)					
Courant de fuite en entrée $R/\overline{W}$, $\overline{Reset}$, RS0, RS1, CS0, CS1, $\overline{CS2}$, CA1, CB1, Enable (V_{in} = 0 à 5,25 V)	I_{in}	–	1,0	2,5	µ A
Courant d'entrée à l'état haute-impédance PB0-PB7, CB2 (V_{in} = 0,4 à 2,4 V)	I_{TSI}	–	2,0	10	µ A
Courant d'entrée à l'état haut PA0-PA7, CA2 (V_{IH} = 2,4 V)	I_{IH}	- 200	- 400	–	µ A
Courant pour commander un darlington PB0-PB7, CB2 V_O = 1,5 V	I_{OH}	- 1,0	–	- 10	mA
Courant d'entrée à l'état bas PA0-PA7, CA2 (V_{IL} = 0,4 V)	I_{IL}	–	- 1,3	- 2,4	mA
Tension de sortie à l'état haut (I_{charge} = – 200 µ A) PA0-PA7, PB0-PB7, CA2, CB2 (I_{charge} = – 10 µ A) PA0-PA7, CA2	V_{OH}	 V_{SS} + 2,4 V_{CC} - 1,0	 – –	 – –	V
Tension de sortie à l'état bas (I_{charge} = 3,2 mA)	V_{OL}	–	–	V_{SS} + 0,4	V
Capacité (V_{in} = 0, T_A = 25°C, f = 1,0 MHz)	C_{in}	–	–	10	pf
PUISSANCE NECESSAIRE					
Puissance dissipée	P_D	–	–	550	mW

CARACTERISTIQUES DYNAMIQUES DU BUS DE DONNÉES

(V_{CC} = 5,0 V ± 5 %, V_{SS} = 0, T_A = T_L à T_H sauf spécifications contraires)

Caractéristiques	Symbole	EF6821		EF68A21		EF68B21		Unités	Réf. Fig. n°
		Min	Max	Min	Max	Min	Max.		
Temps de cycle (E)	t_{cycE}	1000	–	666	–	500	–	ns	1
Largeur de l'impulsion E (état haut)	PW_{EH}	450	–	280	–	220	–	ns	1
Largeur de l'impulsion E (état bas)	PW_{EL}	430	–	280	–	210	–	ns	1
Temps de montée et descente (E)	t_{Er}, t_{Ef}	–	25	–	25	–	25	ns	1
Temps de préétablissement, des adresses et R/$\overline{W}$ valides à la transition positive de E	t_{AS}	160	–	140	–	70	–	ns	2,3
Temps de maintien des adresses	t_{AH}	10	–	10	–	10	–	ns	2,3
Temps de retard des données (lecture)	t_{DDR}	–	320	–	220	–	180	ns	2,4
Temps de maintien des données (lecture)	t_{DHR}	10	–	10	–	10	–	ns	2,4
Préétablissement des données (écriture)	t_{DSW}	195	–	80	–	60	–	ns	3,4
Temps de maintien des données (écriture)	t_{DHW}	10	–	10	–	10	–	ns	3,4

FIGURE 1 – SIGNAL D'HORLOGE

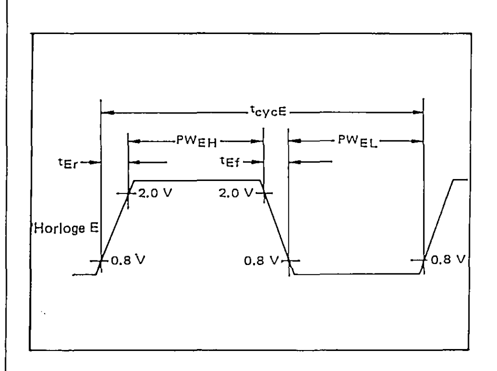


FIGURE 2 – DIAGRAMME DES TEMPS POUR LA LECTURE (Lecture du PIA)

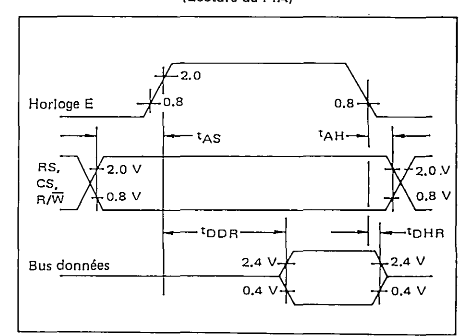


FIGURE 3 – DIAGRAMME DES TEMPS POUR L'ECRITURE (Ecriture dans le PIA)

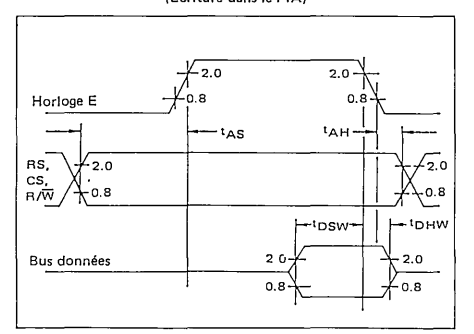
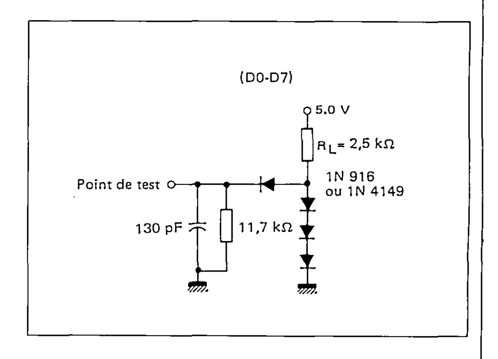


FIGURE 4 – DIAGRAMME DES TEMPS POUR LES CHARGES TEST



CARACTERISTIQUES DYNAMIQUES POUR LA PÉRIPHÉRIE

(V_{CC} = 5,0 V ± 5 %, V_{SS} = 0, T_A = T_L à T_H sauf spécifications contraires)

Caractéristiques	Symboles	EF6821 Min	EF6821 Max	EF68A21 Min	EF68A21 Max	EF68B21 Min	EF68B21 Max	Unités	Référence Fig. N°
Pré-établissement des données de la périphérie	t_{PDSU}	200	–	135	–	100	–	ns	8
Temps de maintien des données de la périphérie	t_{PDH}	0	–	0	–	0	–	ns	8
Temps de retard, de la transition négative de E à la transition négative de CA2	t_{CA2}	–	1,0	–	0,670	–	0,500	µs	5, 9, 10
Temps de retard, de la transition négative de E à la transition positive de CA2	t_{RS1}	–	1,0	–	0,670	–	0,500	µs	5,9
Temps de montée et descente pour CA1 et CA2	t_r, t_f	–	1,0	–	1,0	–	1,0	µs	5, 10
Temps de retard, de la transition active de CA1 à la transition positive de CA2	t_{RS2}	–	2,0	–	1,35	–	1,0	µs	5,10
Temps de retard, de la transition négative de E aux données valides sur la périphérie	t_{PDW}	–	1,0	–	0,670	–	0,5	µs	5, 11, 12
Temps de retard, de la transition négative de E aux données CMOS valides sur la périphérie (PA0-7, CA2)	t_{CMOS}	–	2,0	–	1,35	–	1,0	µs	6, 11
Temps de retard, de la transition positive de E à la transition négative de CB2	t_{CB2}	–	1,0	–	0,670	–	0,5	µs	5, 13, 14
Temps de retard, des données valides sur la périphérie à la transition négative de CB2	t_{DC}	20	–	20	–	20	–	ns	5, 12
Temps de retard, de la transition positive de E à la transition positive de CB2	t_{RS1}	–	1,0	–	0,670	–	0,5	µs	5, 13
Largeur de l'impulsion (CA2/CB2) vers la périphérie	PW_{CT}	550	–	550	–	500	–	ns	5, 13
Temps de montée et de descente pour CB1 et CB2	t_r, t_f	–	1,0	–	1,0	–	1,0	µs	14
Temps de retard, de la transition active de CB1 à la transition positive de CB2	t_{RS2}	–	2,0	–	1,35	–	1,0	µs	5, 14
Temps de relâchement de l'interruption $\overline{IRQA}$ et $\overline{IRQB}$	t_{IR}	–	1,60	–	1,10	–	0,85	µs	7,16
Temps de réponse de l'interruption	t_{RS3}	–	1,0	–	1,0	–	1,0	µs	7,15
Largeur de l'impulsion pour l'interruption	PW_I	500	–	500	–	500	–	ns	15
Durée de l'impulsion $\overline{RESET}$ à l'état bas	t_{RL}	1,0	–	0,66	–	0,5	–	µs	17

* La ligne $\overline{Reset}$ doit être au niveau haut au moins 1 µs avant d'adresser le PIA.

FIGURE 5 – CHARGE DE TEST (Equi. TTL)

(PA0–PA7, PB0–PB7, CA2, CB2)

V_{CC}, R_L, Point de test, I_I, V_I, C, R, IN916 ou IN4148 ou équiv.

C = 40 pF, R = 12 k

Ajuster R_L pour avoir I_I = 3,2 mA avec V_I = 0,4 V et V_{CC} = 5,25 V

FIGURE 6 – CHARGE DE TEST (Equi. CMOS)

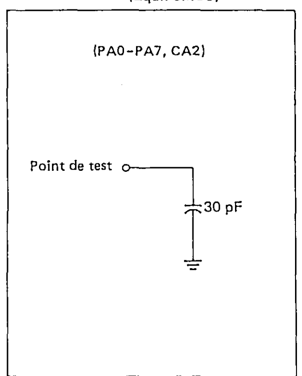


FIGURE 7 – CHARGE DE TEST (Equi. NMOS)

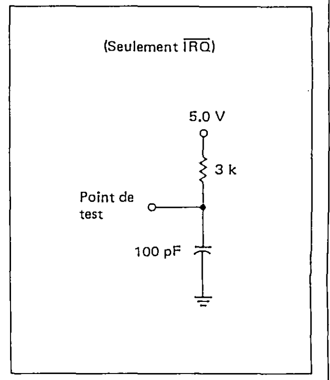


FIGURE 8 – TEMPS DE PREETABLISSEMENT ET MAINTIEN DES DONNEES DE LA PERIPHERIE
(Mode lecture)

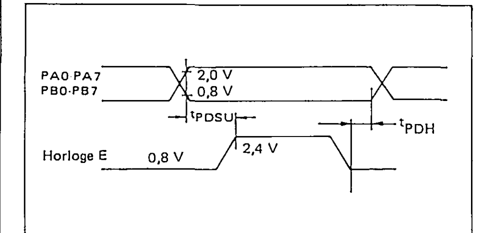


FIGURE 9 – TEMPS DE RETARD DE CA2
(Mode lecture : CRA - 5 = CRA - 3 = 1, CRA - 4 = 0)

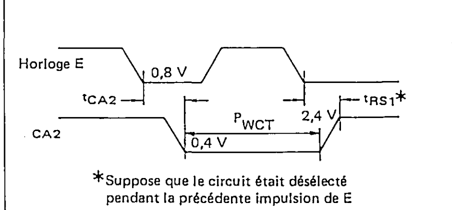


FIGURE 10 – TEMPS DE RETARD DE CA2
(Mode lecture : CRA - 5 = 1, CRA - 3 = CRA - 4 = 0)

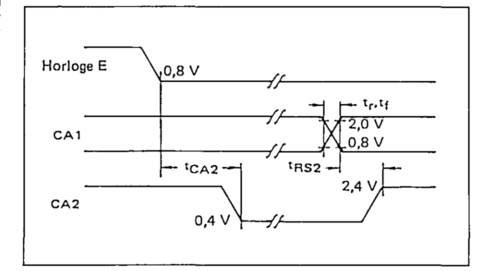


FIGURE 11 – TEMPS DE RETARD DES DONNEES VERS LA PERIPHERIE (CMOS)
(Mode écriture : CRA - 5 = CRA - 3 = 1, CRA - 4 = 0)

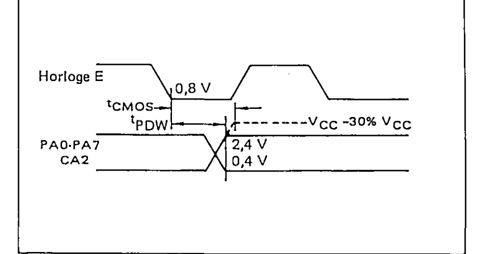


FIGURE 12 – TEMPS DE RETARD DES DONNEES ET DE CB2 VERS LA PERIPHERIE
(Mode écriture : CRB - 5 = CRB - 3 = 1, CRB - 4 = 0)

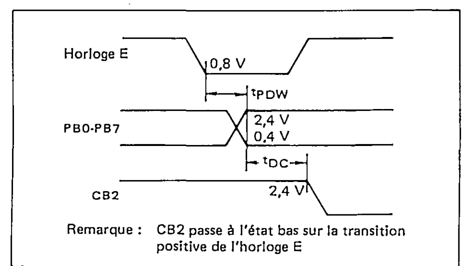


FIGURE 13 – TEMPS DE RETARD DE CB2
(Mode écriture : CRB - 5 = CRB - 3 = 1, CRB - 4 = 0)

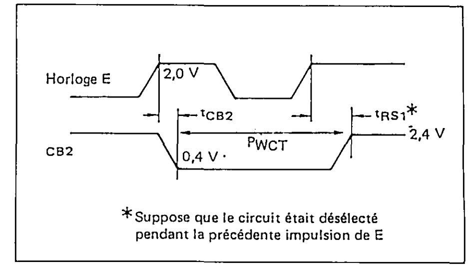


FIGURE 14 – TEMPS DE RETARD DE CB2
(Mode écriture : CRB - 5 = 1, CRB - 3 = CRB - 4 = 0)

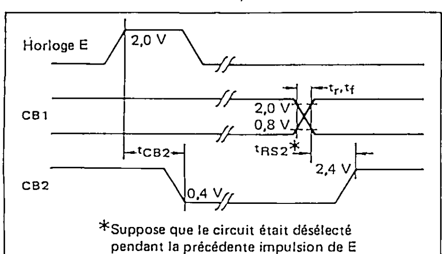
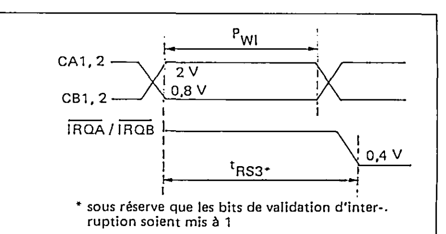
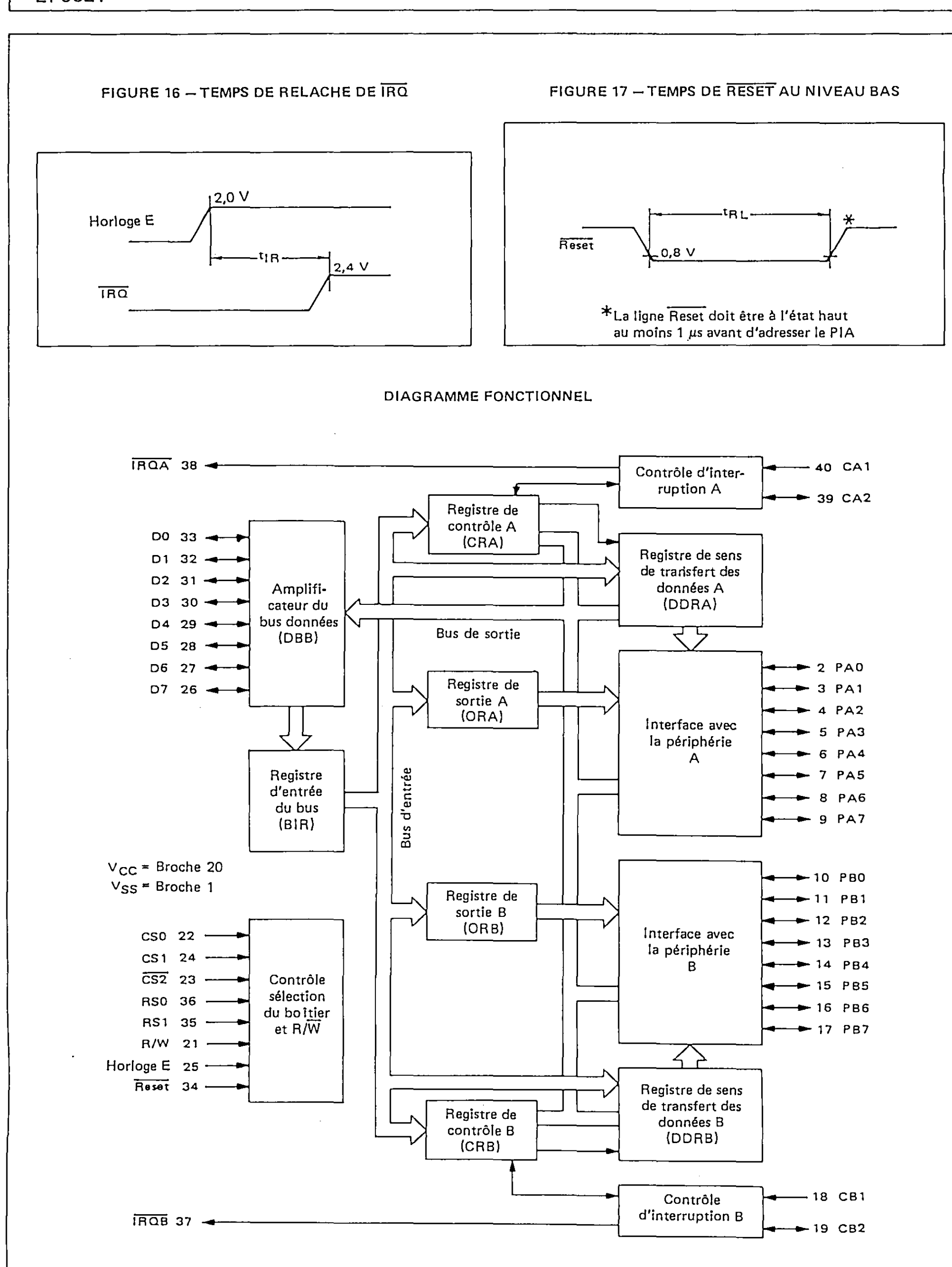


FIGURE 15 – LARGEUR DE L'IMPULSION D'INTERRUPTION ET TEMPS DE RÉPONSE DE $\overline{IRQ}$




FIGURE 16 – TEMPS DE RELACHE DE IRQ
Horloge E
2,0 V
t_{IR}
2,4 V
IRQ
FIGURE 17 – TEMPS DE RESET AU NIVEAU BAS
Reset
t_{RL}
0,8 V
*
*La ligne Reset doit être à l'état haut
au moins 1 μs avant d'adresser le PIA
DIAGRAMME FONCTIONNEL
IRQA 38
Contrôle d'inter-ruption A
40 CA1
39 CA2
D0 33
D1 32
D2 31
D3 30
D4 29
D5 28
D6 27
D7 26
Amplifi-cateur du bus données (DBB)
Registre de contrôle A (CRA)
Registre de sens de transfert des données A (DDRA)
Bus de sortie
Registre de sortie A (ORA)
Interface avec la périphérie A
2 PA0
3 PA1
4 PA2
5 PA3
6 PA4
7 PA5
8 PA6
9 PA7
Registre d'entrée du bus (BIR)
Bus d'entrée
V_{CC} = Broche 20
V_{SS} = Broche 1
Registre de sortie B (ORB)
Interface avec la périphérie B
10 PB0
11 PB1
12 PB2
13 PB3
14 PB4
15 PB5
16 PB6
17 PB7
CS0 22
CS1 24
CS2 23
RS0 36
RS1 35
R/W 21
Horloge E 25
Reset 34
Contrôle sélection du boîtier et R/W
Registre de contrôle B (CRB)
Registre de sens de transfert des données B (DDRB)
Contrôle d'interruption B
18 CB1
19 CB2
IRQB 37

SIGNAUX DE LIAISON DU PIA AVEC LE MPU

Le PIA s'interface au processeur (MPU) EF6800 avec un bus de données 8 bits bidirectionnel, trois lignes de sélection de boîtier, deux lignes de sélection de registres, deux lignes de demande d'interruption, une ligne de lecture/écriture (R/$\overline{W}$) une ligne d'horloge (E) et une ligne de mise à l'état initial ($\overline{Reset}$). Ces lignes, associées avec la sortie VMA du EF6800, permettent un contrôle complet du PIA par le MPU. Le VMA peut être utilisé en combinaison avec une ligne d'adresse du MPU pour commander une entrée de sélection du boîtier (CS).

Bus de données bidirectionnel (D0-D7) — Les lignes de données bidirectionnelles permettent le transfert de données entre le MPU et le PIA. Les amplificateurs de sortie sont à trois états et restent en état haute-impédance sauf quand le MPU effectue une lecture du PIA. La ligne R/$\overline{W}$ est dans l'état lecture (état haut) quand le PIA est sélecté pour une opération de lecture.

Ligne d'horloge E (Enable) — L'impulsion d'horloge E est le seul signal de synchronisation fourni au PIA. La synchronisation de tous les autres signaux est faite à partir des fronts montants et descendants de l'impulsion E. Ce signal est généralement produit à partir de la phase Ø2 du MPU.

Entrée de Lecture/$\overline{\text{Ecriture}}$ (R/$\overline{W}$: Read/$\overline{\text{Write}}$) — Ce signal est produit par le microprocesseur pour spécifier le sens de transfert de données sur le bus données. Si le circuit est sélecté, un état bas sur la ligne R/$\overline{W}$ du PIA valide les amplificateurs d'entrée et la donnée est transférée du MPU au PIA sur le signal E. Un état haut sur la ligne R/$\overline{W}$ prépare le PIA pour un transfert de données sur le bus. Les amplificateurs de sortie sont validés quand l'adresse du PIA et l'impulsion d'horloge E sont présentes.

$\overline{\text{Reset}}$ (Mise à l'état initial) — La ligne $\overline{\text{Reset}}$, active à l'état bas, permet de remettre les registres internes du PIA à zéro. Cette ligne peut être utilisée pour une initialisation lors de la mise sous tension ou pour une réinitialisation pendant le fonctionnement du système.

Entrées de sélection du boîtier CS0, CS1 et $\overline{\text{CS2}}$ (Chip Select) — Ces trois signaux d'entrée sont utilisés pour adresser le PIA. CS0 et CS1 doivent être à l'état haut et $\overline{\text{CS2}}$ à l'état bas pour que le circuit soit sélecté. Les transferts de données sont alors effectués sous le contrôle de l'impulsion de l'horloge E et de la ligne de lecture/$\overline{\text{écriture}}$. Les lignes de sélection du boîtier doivent être stables pendant la durée de l'impulsion E. Le circuit n'est pas adressé quand une des lignes de sélection du boîtier est dans l'état inactif.

Entrées de sélection de registres RS0 et RS1 — Ces deux lignes sont utilisées pour sélecter les divers registres internes au PIA. Ces deux lignes sont utilisées en liaison avec les registres de contrôle interne pour sélecter un des registres qui sera lu ou écrit. Les lignes de sélection des registres et du boîtier doivent être stables durant l'impulsion E pour un cycle de lecture ou d'écriture.

Lignes de demande d'interruption $\overline{\text{IRQA}}$ et $\overline{\text{IRQB}}$ (Interrupt request) — Les lignes de demande d'interruption $\overline{\text{IRQA}}$ et $\overline{\text{IRQB}}$, actives à l'état bas, servent à interrompre le MPU soit directement soit au travers d'un circuit de priorité. Ces lignes sont à "drain ouvert" (transistor de sortie non chargé). Ceci permet le "OU câblé" entre les lignes de demande d'interruption.

Chaque ligne de demande d'interruption est associée à deux bits indicateurs internes d'interruption (bits 6 et 7 du registre de contrôle A pour $\overline{\text{IRQA}}$, bits 6 et 7 du registre de contrôle B pour $\overline{\text{IRQB}}$) qui peuvent commander le passage à l'état bas de la ligne de demande d'interruption. Chaque indicateur est associé à une des quatre lignes de contrôle/interruption de la périphérie. De plus, le PIA possède quatre bits d'autorisation d'interruption qui peuvent être utilisés pour masquer sélectivement les demandes d'interruption de la périphérie.

Le traitement d'une interruption par le MPU peut être fait par un programme qui, suivant un ordre de priorité, lit séquentiellement les registres de contrôle de chaque PIA et teste, pour chaque registre, les indicateurs d'interruption (un indicateur d'interruption à "un" indique une interruption en attente).

Les bits indicateurs d'interruption sont remis à zéro par une lecture des lignes de données de la périphérie par le MPU. Après avoir été remis à zéro, l'indicateur d'interruption ne peut pas être autorisé à passer à un jusqu'à ce que le PIA soit désélecté pendant une impulsion E. L'impulsion E est utilisée pour activer les circuits internes de détection de front actif sur les lignes de contrôle/interruption. (CA1, CA2, CB1, CB2). Quand ces lignes sont utilisées comme entrées d'interruption, au moins une impulsion E doit arriver entre le front non-actif et le front actif du signal d'interruption pour que les circuits internes de détection du front actif sur les lignes de contrôle/interruption soient activés. Si l'indicateur d'interruption a été autorisé à passer à un et si les circuits internes de détection d'interruption ont été activés, l'indicateur d'interruption sera mis à un sur la transition active suivante de l'entrée d'interruption.

LIGNES D'INTERFACE AVEC LA PERIPHERIE

Le PIA s'interface avec les circuits périphériques par deux bus de données bidirectionnels de 8 bits et quatre lignes de contrôle ou interruption.

Lignes de données vers la périphérie de la partie A, PA0-PA7 — Chacune de ces lignes est programmable pour être utilisée soit comme une entrée soit comme une sortie. Ceci est fait par l'intermédiaire du registre sens de transfert des données DDRA (Data Direction Register A). A chaque bit de ce registre correspond une ligne de données vers la périphérie (au bit 0 correspond la ligne PA0, ..., au bit 7 correspond la ligne PA7). Pour les lignes devant être utilisées en sortie, on mettra à un les bits correspondants du registre DDRA. Pour les lignes devant être utilisées en entrée, on mettra à zéro les bits correspondants du registre DDRA. Pendant une lecture par le MPU des données de la périphérie, les données des lignes de la périphérie programmées comme entrées apparaissent directement sur les lignes correspondantes du bus données du MPU. En entrée, la résistance interne de charge sur ces lignes représente un maximum de 1,5 charge TTL standard.

Le contenu du registre de sortie A (Output Register A) apparaît sur les lignes programmées comme sorties. A un "1" logique dans un bit du registre de sortie correspond un état haut sur la ligne correspondante et à un "0" logique correspond un état bas. Les lignes programmées comme sorties peuvent être lues par le MPU. Ceci se fera correctement si la tension des lignes de données de la périphérie est supérieure à 2 volts pour une sortie au "1" logique et inférieure à 0,8 volt pour une sortie au "0" logique. Une charge sur les lignes de sortie telle que la tension sur ces lignes ne respecterait pas ces limites entraîne une différence entre le contenu du registre de sortie A et la donnée lue par le MPU.

Lignes de données vers la périphérie de la partie B, PB0-PB7 — Chacune de ces lignes est programmable pour être utilisée, soit comme une entrée soit comme une sortie, par l'intermédiaire du registre sens de transfert données DDRB, comme les lignes PA0-PA7. Toutefois, les amplificateurs de sortie de ces lignes diffèrent de ceux des lignes PA0-PA7. Les sorties de la partie B sont en logique trois états ce qui leur permet de prendre un état haute-impédance quand les lignes sont programmées comme entrées. De plus, les lignes programmées comme sorties pourront être lues par le MPU même si leur tension est en-dessous de 2 volts pour l'état haut. Comme sorties, ces lignes sont compatibles TTL et peuvent être utilisées comme source (jusqu'à 1 mA sous 1,5 volt) pour attaquer directement la base d'un transistor de commutation.

Lignes d'interruption CA1 et CB1 — Les lignes CA1 et CB1 sont uniquement des lignes d'entrée qui positionnent les indicateurs d'interruption des registres de contrôle. La transition active des signaux est programmable par les deux registres de contrôle.

Lignes de contrôle périphérie CA2 — La ligne de contrôle CA2 est programmable pour être utilisée soit comme une entrée d'interruption soit comme une sortie de contrôle de la périphérie. En sortie, cette ligne est compatible TTL ; en entrée, sa résistance interne de charge représente une charge TTL standard. Le mode de fonctionnement de cette ligne est programmé par le registre de contrôle A.

Lignes de contrôle périphérie CB2 — La ligne de contrôle CB2 est, elle aussi, programmable pour être utilisée, soit comme une entrée, soit comme une sortie. En entrée, cette ligne a une haute-impédance d'entrée et est compatible TTL. En sortie, elle est compatible TTL et peut aussi être utilisée comme source (jusqu'à 1 mA sous 1,5 volt) pour attaquer directement la base d'un transistor de commutation. Le mode de fonctionnement de cette ligne est programmé par le registre de contrôle B.

REGISTRES INTERNES

Le PIA a six registres internes accessibles au MPU : deux registres de données de la périphérie, deux registres sens de transfert des données et deux registres de contrôle. La sélection d'un de ces registres se fait par les entrées de sélection des registres RS0 et RS1 associées aux bits 2 des registres de contrôle comme l'indique le tableau 1.

TABLEAU 1 – ADRESSAGE INTERNE

RS1	RS0	Bit du registre de contrôle CRA-2	Bit du registre de contrôle CRB-2	Registre sélecté
0	0	1	x	Registre données de la périphérie A
0	0	0	x	Registre sens de transfert des données A
0	1	x	x	Registre de contrôle
1	0	x	1	Registre données de la périphérie B
1	0	x	0	Registre sens de transfert des données B
1	1	x	x	Registre de contrôle

x = sans importance.

INITIALISATION

Un niveau bas sur l'entrée $\overline{\text{Reset}}$ met à zéro tous les registres du PIA. Ceci a pour effet de positionner les lignes PA0-PA7, PB0-PB7, CA2 et CB2 comme entrées et de masquer toutes les interruptions. La configuration du PIA a lieu par le programme d'initialisation qui suit la transition de la ligne $\overline{\text{Reset}}$.

REGISTRES SENS DE TRANSFERT DES DONNEES DDRA et DDRB (DATA DIRECTION REGISTERS)

Ces deux registres permettent de définir le sens de transfert des données sur les lignes de données vers la périphérie. A chaque bit de ces registres est associée une ligne de données vers la périphérie. Un "1" (respectivement "0") dans un des bits de ces registres définit la ligne correspondante comme une sortie (respectivement entrée).

REGISTRES DE CONTROLE CRA et CRB (CONTROL REGISTERS)

Les deux registres de contrôle (CRA et CRB) permettent au MPU de contrôler le fonctionnement des quatre lignes de contrôle/interruption CA1, CA2, CB1 et CB2. Ils permettent aussi d'autoriser les interruptions (sur $\overline{\text{IRQA}}$ et $\overline{\text{IRQB}}$) et de contrôler l'état des indicateurs d'interruption. Les bits 0 à 5 de ces registres peuvent être écrits ou lus par le MPU. Les bits 6 et 7 ne peuvent être que lus par le MPU et sont modifiés par des interruptions externes sur les lignes de contrôle/interruption CA1, CA2, CB1 et CB2. Le tableau 2 montre le format des registres de contrôle.

TABLEAU 2 – FORMAT DES MOTS DE CONTROLE

	7	6	5	4	3	2	1	0
CRA	IRQA1	IRQA2	Contrôle de CA2			Accès à DDRA	Contrôle de CA1	

	7	6	5	4	3	2	1	0
CRB	IRQB1	IRQB2	Contrôle de CB2			Accès à DDRB	Contrôle de CB1	

Bits de contrôle d'accès au registre sens de transfert des données (CRA-2 et CRB-2)

Le bit 2 de chaque registre de contrôle permet d'accéder soit au registre données de la périphérie (bit 2 à un), soit au registre sens de transfert des données (bit 2 à zéro) quand la combinaison correcte est appliquée à RS0 et RS1 (voir tableau 1).

Indicateurs d'interruption (CRA-6, CRA-7, CRB-6 et CRB-7)

Chaque indicateur d'interruption est associé à une ligne de contrôle/interruption (CRA-7 est associé à CA1, CRA-6 à CA2, CRB-7 à CB1 et CRB-6 à CB2). Chaque indicateur est mis à un par une transition active sur la ligne correspondante quand celle-ci est programmée comme entrée d'interruption. Ces indicateurs ne peuvent pas être mis à un directement par le MPU et sont remis à zéro, indirectement, par une lecture du registre données de la périphérie de la partie correspondante.

TABLEAU 3 – CONTROLE DES ENTRÉES D'INTERRUPTION CA1 et CB1

CRA-1 (CRB-1)	CRA-0 (CRB-0)	Transition active de l'entrée d'interruption CA1 (CB1)	Indicateur d'interruption CRA-7 (CRB-7)	Demande d'interruption du MPU $\overline{\text{IRQA}}$ ($\overline{\text{IRQB}}$)
0	0	↓ Active	Mis à un sur ↓ de CA1 (CB1)	Inhibée – $\overline{\text{IRQ}}$ reste à l'état haut
0	1	↓ Active	Mis à un sur ↓ de CA1 (CB1)	Passe à l'état bas quand l'indicateur CRA-7 (CRB-7) passe à l'état haut
1	0	↑ Active	Mis à un sur ↑ de CA1 (CB1)	Inhibée – $\overline{\text{IRQ}}$ reste à l'état haut
1	1	↑ Active	Mis à un sur ↑ de CA1 (CB1)	Passe à l'état bas quand l'indicateur CRA-7 (CRB-7) passe à l'état haut

Notes : 1 ↑ Transition positive
2 ↓ Transition négative
3 L'indicateur d'interruption CRA-7 (CRB-7) est mis à zéro par une lecture du registre données de la périphérie A (B) par le MPU.
4 Si CRA-0 (CRB-0) est à zéro (interruption inhibée) quand l'interruption se produit et est, par la suite, mis à un, $\overline{\text{IRQA}}$ ($\overline{\text{IRQB}}$) passe à l'état bas après que CRA-0 (CRB-0) soit à l'état haut.

Contrôle des lignes d'interruption CA1 et CB1 par les bits CRA-0, CRA-1, CRB-0 et CRB-1 — Les deux bits de poids faible des registres de contrôle sont utilisés pour contrôler les entrées d'interruption CA1 et CB1. Le bit CRA-0 (respectivement CRB-0) est utilisé pour autoriser le signal de demande d'interruption $\overline{IRQA}$ au MPU (respectivement $\overline{IRQB}$). Le bit CRA-1 (respectivement CRB-1) permet de choisir la transition active du signal d'entrée d'interruption CA1 (respectivement CB1), (voir tableau 3).

TABLEAU 4 — CONTROLE DE CA2 et CB2 COMME ENTRÉES D'INTERRUPTION
CRA-5 (CRB-5) est à zéro

CRA-5 (CRB-5)	CRA-4 (CRB-4)	CRA-3 (CRB-3)	Transition active de l'entrée d'interruption CA2 (CB2)	Indicateur d'interruption CRA-6 (CRB-6)	Demande d'interruption du MPU $\overline{IRQA}$ ($\overline{IRQB}$)
0	0	0	↓Active	Mis à un sur ↓de CA2 (CB2)	Inhibée — $\overline{IRQ}$ reste à l'état haut
0	0	1	↓Active	Mis à un sur ↓de CA2 (CB2)	Passe à l'état bas quand l'indicateur CRA-6 (CRB-6) passe à un.
0	1	0	↑Active	Mis à un sur ↑de CA2 (CB2)	Inhibée — $\overline{IRQ}$ reste à l'état haut
0	1	1	↑Active	Mis à un sur ↑de CA2 (CB2)	Passe à l'état bas quand l'indicateur CRA-6 (CRB-6) passe à un.

Notes : 1 ↑ Transition positive
2 ↓ Transition négative
3 L'indicateur d'interruption CRA-6 (CRB-6) est mis à zéro par une lecture du registre données
4 Si CRA-3 (CRB-3) est à zéro (interruption inhibée) quand l'interruption se produit et est, par la suite, mis à un, $\overline{IRQA}$ ($\overline{IRQB}$) passe à l'état bas après que CRA-3 (CRB-3) ait été mis à un.

TABLEAU 5 — CONTROLE DE CB2 COMME SORTIE
CRB-5 est à un

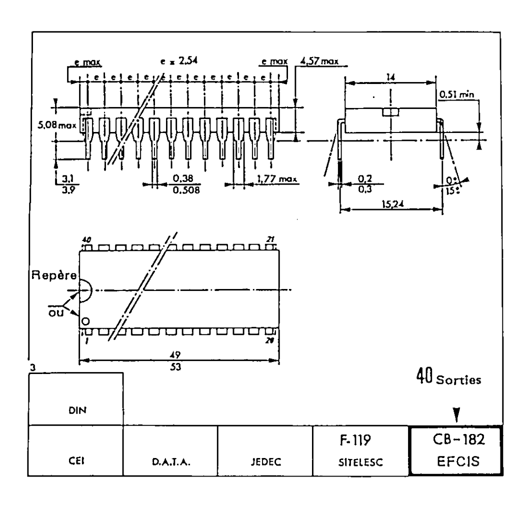
CRB-5	CRB-4	CRB-3	CB2 — Mis à zéro	CB2 — Mis à un
1	0	0	Bas sur la transition positive de la première impulsion E qui suit une écriture du registre données de la périphérie B.	Haut quand l'indicateur d'interruption CRB-7 est mis à un par une transition active du signal CB1.
1	0	1	Bas sur la transition positive de la première impulsion E qui suit une écriture du registre données de la périphérie B.	Haut sur la transition positive de la première impulsion E qui suit une impulsion E qui était arrivée tandis que le circuit était désélecté.
1	1	0	Bas quand CRB-3 est mis à zéro par une écriture du registre de contrôle B.	Toujours bas tant que CRB-3 est à zéro. Passera à l'état haut quand CRB-3 sera mis à un par une écriture du registre de contrôle B.
1	1	1	Toujours haut tant que CRB-3 est à un. Passera à l'état bas quand CRB-3 sera mis à zéro par une écriture du registre de contrôle B.	Haut quand CRB-3 est mis à un par une écriture du registre de contrôle B.

Contrôle des lignes de contrôle/interruption CA2 et CB2 par les bits CRA-3, CRA-4, CRA-5, CRB-3, CRB-4 et CRB-5.

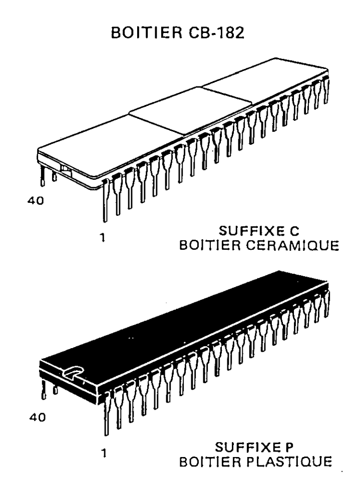
Les bits 3, 4 et 5 des registres de contrôle sont utilisés pour contrôler les lignes CA2 et CB2. Les bits 5 permettent de déterminer si les lignes de contrôle/interruption seront utilisées comme entrées d'interruption ou comme sorties de contrôle. Si le bit CRA-5 (respectivement CRB-5) est à zéro. CA2 (respectivement CB2) sera une entrée d'interruption similaire à CA1 (respectivement CB1), (voir tableau 4). Si CRA-5 (respectivement CRB-5) est à un, CA2 (respectivement CB2) sera une sortie de contrôle de la périphérie pouvant être utilisée comme système de synchronisation des échanges ("handshaking"). Comme sorties, CA2 et CB2 ont des caractéristiques légèrement différentes (voir tableaux 5 et 6).

TABLEAU 6 — CONTROLE DE CA2 COMME SORTIE
CRA-5 est à un

CRA-5	CRA-4	CRA-3	CA2 Mis à zéro	CA2 Mis à un
1	0	0	Bas sur la transition négative de la première impulsion E qui suit une lecture du registre données de la périphérie A.	Haut quand l'indicateur d'interruption CRA-7 est mis à un par une transition active du signal CA1.
1	0	1	Bas sur la transition négative de la première impulsion E qui suit une lecture du registre données de la périphérie A.	Haut sur la transition négative de la première impulsion E qui se produit tandis que le circuit est désélecté.
1	1	0	Bas quand CRA-3 est mis à zéro par une écriture du registre de contrôle A.	Toujours bas tant que CRA-3 est à zéro. Passera à l'état haut quand CRA-3 sera mis à un par une écriture du registre de contrôle A.
1	1	1	Toujours haut tant que CRA-3 est à un. Passera à l'état bas quand CRA-3 sera mis à zéro par une écriture du registre de contrôle A.	Haut quand CRA-3 est mis à un par une écriture du registre de contrôle A.



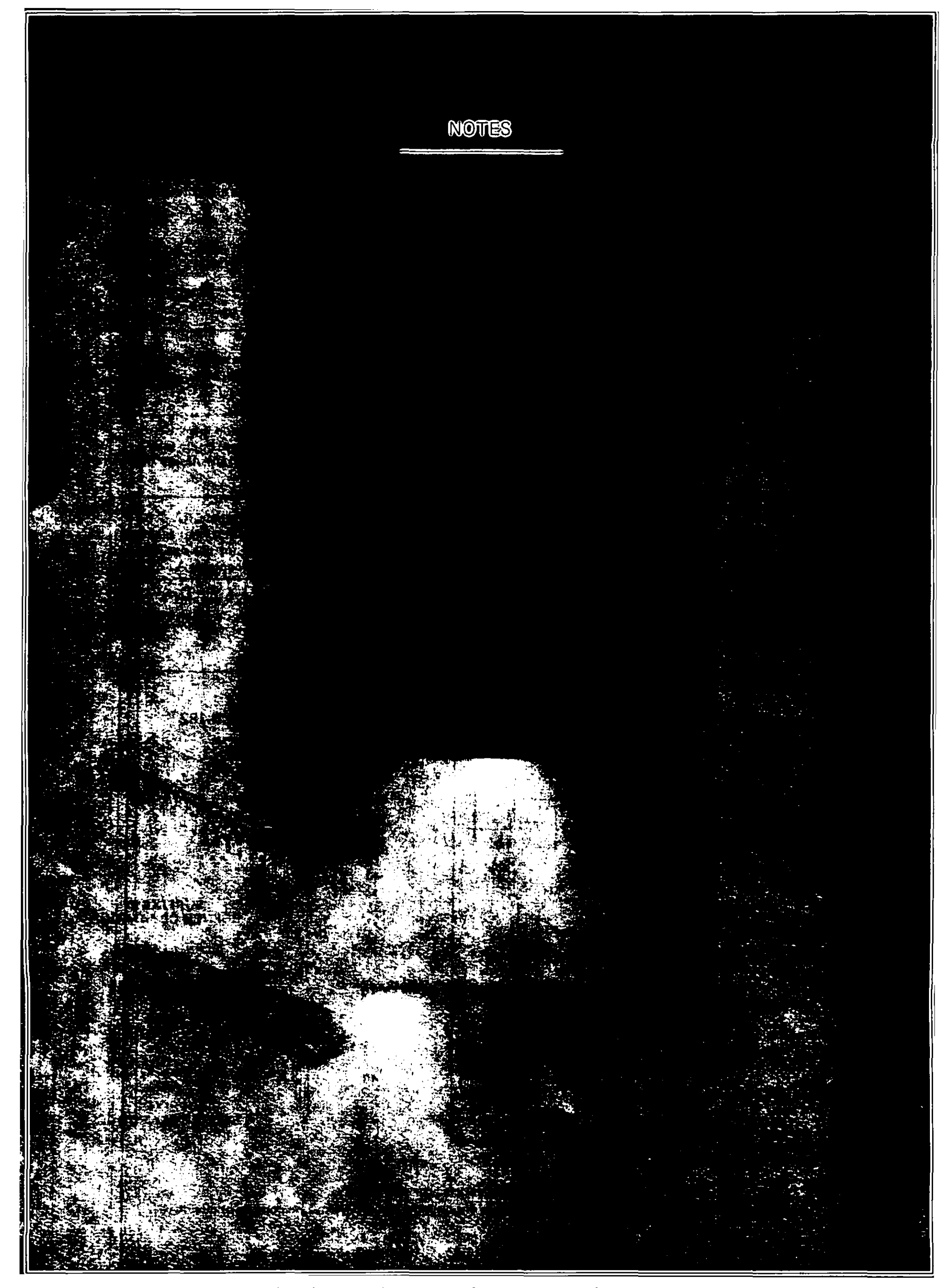
BOITIER CB-182



SUFFIXE C
BOITIER CERAMIQUE

SUFFIXE P
BOITIER PLASTIQUE

Ces spécifications peuvent changer sans préavis.
Consultez notre réseau de vente pour connaître la disponibilité des différentes versions de ce circuit.


NOTES

EFCIS



Circuits Intégrés MOS THOMSON-EFCIS

mosmosmosmosmosmosmosmosmosmos

EF6840
(1 MHz)
EF68A40
(1,5 MHz)
EF68B40
(2 MHz)

Ancienne appellation : SFF9-6840

MOS

GRILLE SILICIUM, CANAL N
CHARGE A DEPLETION

TEMPORISATEUR
PROGRAMMABLE

TEMPORISATEUR PROGRAMMABLE (PTM)

Le EF6840 est un circuit programmable de la famille 6800 permettant la programmation de temporisations variables.

Le EF6840 comprend trois compteurs binaires 16 bits, trois registres de contrôle associés et un registre d'état. Ces compteurs sont sous le contrôle du logiciel et peuvent être utilisés pour générer des interruptions et/ou des signaux en sorties. Le EF6840 peut être utilisé pour des mesures de fréquence, en compteur d'évènements, en mesure d'intervalle de temps et pour d'autres tâches similaires. Ce circuit peut générer des signaux carrés, des impulsions de largeur programmable et des signaux de rapports cycliques variables, et des interruptions.

- Alimentation unique + 5 V
- Compatible TTL
- Une seule horloge nécessaire
- Précompteur sélectable sur le temporisateur 3 permettant une entrée à 4 MHz (EF6840), 6 MHz (EF68A40), 8 MHz (EF68B40)
- Ligne d'interruption programmable ($\overline{IRQ}$) vers le MPU
- Lecture de l'état du compteur indiquant le compte avant la fin de comptage
- Comparaison de fréquence ou de largeur d'impulsions par entrée sélectable
- Entrée d'initialisation ($\overline{RESET}$)
- Trois entrées asynchrones externes d'horloge (E)
- Trois entrées d'horloge externes asynchrones ($\overline{C}$) et de déclenchement ($\overline{G}$) synchronisées intérieurement
- Trois sorties masquables

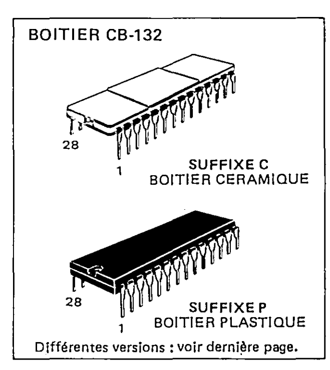
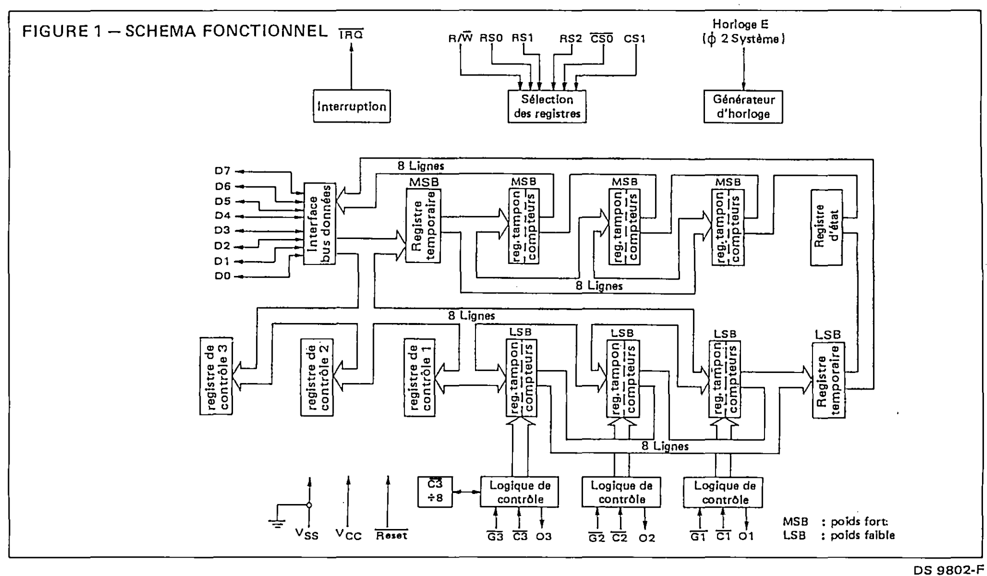


FIGURE 1 — SCHEMA FONCTIONNEL



EFCIS
FRANCE
45, av. de l'Europe
78140 VELIZY
Tel.: (1) 946 97 19
Telex : 698866F

VALEURS LIMITES

Paramètres	Symboles	Valeurs	Unités
Tension d'alimentation	V_{CC}	– 0,3 à + 7,0	V
Tension d'entrée	V_{in}	– 0,3 à + 7,0	V
Température de fonctionnement T_L à T_H EF 6840, EF 68A40, EF68B40 EF 6840CV ou PV, EF 68A40CV ou PV EF 6840CMB, EF6840CMP	T_A	T_L T_H 0 à + 70 – 40 à + 85 – 55 à + 125	°C
Température de stockage	T_{stg}	– 55 à + 150	°C
Résistance thermique Boîtier plastique Boîtier céramique	θ JA	 115 60	°C/W

Les entrées de ce circuit sont protégées contre les hautes tensions statiques et les champs électriques ; toutefois, il est recommandé de prendre les précautions normales pour éviter toute tension supérieure aux valeurs limites sur ce circuit à haute impédance.

CARACTERISTIQUES ELECTRIQUES (V_{CC} = 5,0 V ± 5 %, V_{SS} = 0, T_A = T_L à T_H sauf spécifications contraires)

Caractéristiques		Symboles	Min	Typ	Max	Unités
Tension d'entrée à l'état haut		V_{IH}	V_{SS} +2.0	–	V_{CC}	V
Tension d'entrée à l'état bas		V_{IL}	V_{SS} –0.3	–	V_{SS} +0.8	
Courant de fuite en entrée (V_{in} = 0 à 5,25 V)		I_{in}	–	1.0	2.5	µA
Courant d'entrée trois états (haute-impédance) (V_{in} = 0,4 à 2,4 V)	D0 – D7	I_{TSI}	–	2.0	10	µA
Tension de sortie à l'état haut (I_{charge} = – 205 µA) (I_{charge} = – 200 µA)	 D0 – D7 Autres sorties	V_{OH}	 V_{SS} +2.4 V_{SS} +2.4	 – –	 – –	V
Tension de sortie à l'état bas (I_{charge} = 1,6 mA) (I_{charge} = 3,2 mA)	 D0 – D7 O1 – O3, $\overline{IRQ}$	V_{OL}	 – –	 – –	 V_{SS} +0.4 V_{SS} +0.4	V
Courant de fuite en sortie (haute-impédance) (V_{OH} = 2,4 V)	$\overline{IRQ}$	I_{LOH}	–	1.0	10	µA
Puissance dissipée		P_D	–	330	550	mW
Capacité d'entrée (V_{in} = 0, T_A = 25°C, f = 1,0 MHz)	D0 – D7 Toutes les autres	C_{in}	– –	– –	12.5 7.5	pF
Capacité de sortie (V_{in} = 0, T_A = 25°C, f = 1,0 MHz)	$\overline{IRQ}$ O1, O2, O3	C_{out}	– –	– –	5.0 10	pF

CARACTERISTIQUES DYNAMIQUES DU BUS

Caractéristiques	Symboles	EF6840		EF68A40		EF68B40		Unités
		Min	Max.	Min	Max	Min	Max	
LECTURE (voir fig. 2)								
Temps de cycle de l'horloge	t_{cycE}	1.0	10	0.666	10	0.5	10	µs
Largeur de l'impulsion d'horloge, état haut	PW_{EH}	0.45	4.5	0.280	4.5	0.22	4.5	µs
Largeur de l'impulsion d'horloge, état bas	PW_{EL}	0.43	–	0.280	–	0.21	–	µs
Temps de préétablissement, de l'adresse et R/$\overline{W}$ valides à la transition positive d'horloge	t_{AS}	160	–	140	–	70	–	ns
Temps d'établissement des données	t_{DDR}	–	320	–	220	–	180	ns
Temps de maintien des données	t_H	10	–	10	–	10	–	ns
Temps de maintien de l'adresse	t_{AH}	10	–	10	–	10	–	ns
Tps montée et descente de l'entrée horloge	t_{Er}, t_{Ef}	–	25	–	25	–	25	ns
ECRITURE (voir fig. 3)								
Temps de cycle de l'horloge	t_{cycE}	1.0	10	0.666	10	0.50	10	µs
Largeur de l'impulsion d'horloge, état haut	PW_{EH}	0.45	4.5	0.280	4.5	0.22	4.5	µs
Largeur de l'impulsion d'horloge, état bas	PW_{EL}	0.43	–	0.280	–	0.21	–	µs
Temps de préétablissement, de l'adresse et R/$\overline{W}$ valides à la transition positive d'horloge	t_{AS}	160	–	140	–	70	–	ns
Temps de préétablissement des données	t_{DSW}	195	–	80	–	60	–	ns
Temps de maintien des données	t_H	10	–	10	–	10	–	ns
Temps de maintien de l'adresse	t_{AH}	10	–	10	–	10	–	ns
Tps montée et descente de l'entrée horloge	t_{Er}, t_{Ef}	–	25	–	25	–	25	ns

CARACTERISTIQUES DYNAMIQUES (Voir figures 4 à 8)

Caractéristiques	Symboles	EF6840 Min	EF6840 Max	EF68A40 Min	EF68A40 Max	EF68B40 Min	EF68B40 Max	Unités
Tps montée et descente pour entrées (Fig 4,5) $\overline{C}$, $\overline{G}$ et $\overline{Reset}$	t_r, t_f	–	1,0*	–	0,666*	–	0,500*	µs
Largeur d'impulsion d'entrée, état bas (Fig 4) (Mode asynchrone) $\overline{C}$, $\overline{G}$ et $\overline{Reset}$	PW_L	$t_{cycE}+t_{su}+t_{hd}$	–	$t_{cycE}+t_{su}+t_{hd}$	–	$t_{cycE}+t_{su}+t_{hd}$	–	ns
Largeur d'impulsion d'entrée, état haut (Fig 5) (Mode asynchrone) $\overline{C}$, $\overline{G}$	PW_H	$t_{cycE}+t_{su}+t_{hd}$	–	$t_{cycE}+t_{su}+t_{hd}$	–	$t_{cycE}+t_{su}+t_{hd}$	–	ns
Temps de préétablissement d'entrée (Fig 6) (Mode synchrone) $\overline{C}$, $\overline{G}$ et $\overline{Reset}$, $\overline{C3}$ (Mode précompteur ÷ 8 seulement)	t_{su}	200	–	120	–	75	–	ns
Temps de maintien de l'entrée (Figure 6) (Mode synchrone) $\overline{C}$, $\overline{G}$ et $\overline{Reset}$ $\overline{C3}$ (Mode précompteur ÷ 8 seulement)	t_{hd}	50	–	50	–	50	–	ns
Largeur de l'impulsion d'entrée (Mode asynchrone) $\overline{C3}$ (Mode précompteur ÷ 8 seulement)	PW_L, PW_H	125	–	84	–	62.5	–	ns
Temps de retard en sortie O1 - O3 (Figure 7) (V_{OH} = 2,4 V, charge B) TTL	t_{co}	–	700	–	460	–	340	ns
(V_{OH} = 2,4 V, charge D) MOS	t_{cm}	–	450	–	450	–	340	ns
(V_{OH} = 0,7.V_{DD}, charge D) CMOS	t_{cmos}	–	2.0	–	1.35	–	1.0	µs
Temps de déclenchement de l'interruption	t_{IR}	–	1.2	–	0.9	–	0.7	µs

* t_r et $t_f \leqslant t_{cycE}$

FIGURE 2 – DIAGRAMME DES TEMPS DU BUS EN LECTURE
(Lecture d'information venant du PTM)

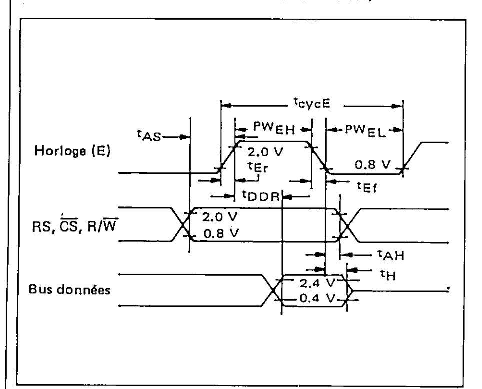


FIGURE 3 – DIAGRAMME DES TEMPS DU BUS EN ECRITURE
(Ecriture d'information dans le PTM)

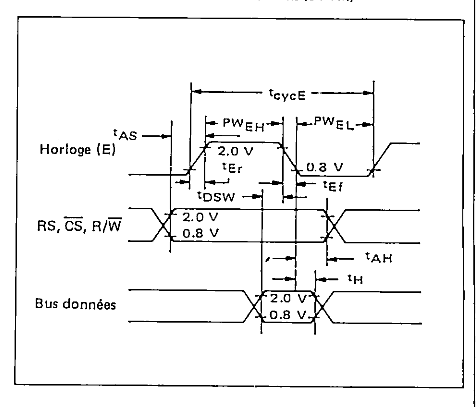


FIGURE 4 – LARGEUR DE L'IMPULSION D'ENTREE ETAT BAS

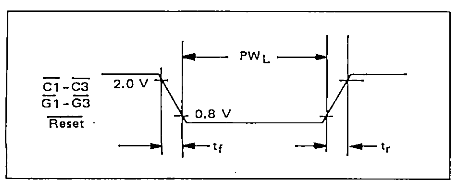


FIGURE 5 – LARGEUR DE L'IMPULSION D'ENTREE ETAT HAUT

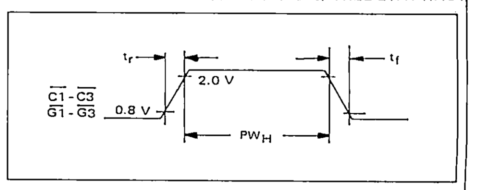


FIGURE 6 – TEMPS DE PREETABLISSEMENT ET DE MAINTIEN DES ENTREES

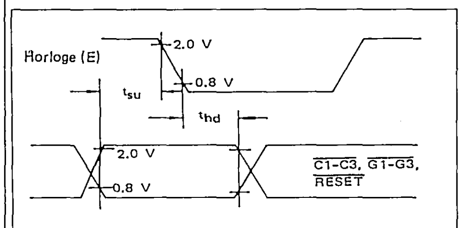


FIGURE 7 – TEMPS DE RETARD DES SORTIES

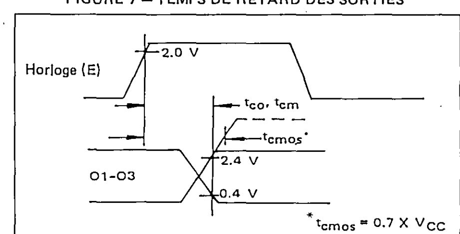


FIGURE 8 – TEMPS DE DECLENCHEMENT DE $\overline{IRQ}$

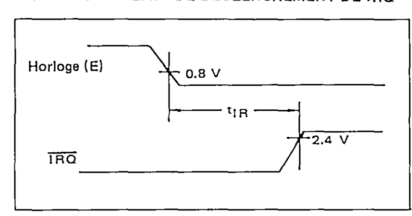


FIGURE 9 – CHARGES DE TEST POUR LE BUS

Charge A
(D0–D7)

5.0 V
R_L = 2.5 k
Point de test
1N916 ou équiv.
130 pF
11.7 k
1N4148 ou équiv.

Charge B
(O1, O2, O3)
(Charge TTL)

V_{CC} du circuit sous test
R_L = 1.25 k
Point de test
1N916 ou équiv.
40 pF
11.7 k
1N4148 ou équiv.

Charge C
($\overline{IRQ}$ seulement)

5.0 V
3 k
Point de test
100 pF

Charge D
(O1, O2, O3)
(Charge CMOS)
(MOS)

Point de test
30 pF

FONCTIONNEMENT DU CIRCUIT

Les trois temporisateurs du EF6840 peuvent être programmés indépendamment pour fonctionner dans des modes qui s'adaptent à une grande gamme d'applications. Le circuit est entièrement compatible avec les circuits de la famille 6800 et il est accessible par le microprocesseur par des opérations de lecture et d'écriture comme n'importe quelle mémoire. Dans une application typique, un temporisateur sera chargé en mémorisant en premier lieu deux octets de données dans les registres tampon associés au compteur. Les données sont ensuite transférées dans le compteur lors du cycle d'initialisation du compteur. Le compteur est décrémenté à chaque période d'horloge qui peut être soit une horloge externe, soit l'horloge ϕ 2 du système (entrée E), jusqu'au moment où une des conditions prédéterminées l'oblige soit à s'arrêter, soit à recommencer un cycle. Les temporisateurs sont donc programmables, cycliques par nature, contrôlables par des entrées externes ou par le programme du MPU, et accessibles par le MPU à tout moment.

LIGNES DE LIAISON AU MPU

Le temporisateur programmable (PTM) est relié aux bus du 6800 par : un bus de données 8 bits bidirectionnel, deux lignes de sélection du boîtier, une ligne lecture/écriture, une entrée d'horloge (ϕ 2 système), une ligne d'interruption, une ligne d'initialisation et de trois lignes permettant de sélectionner les registres internes. Ces signaux, en relation avec la sortie VMA du EF 6800, donnent la possibilité au MPU de commander le PTM. La sortie VMA doit être utilisée avec une ligne d'adresse du MPU pour agir sur une entrée de sélection ($\overline{CS}$) du PTM.

Bus de données (D0—D7) — Le bus de données bidirectionnel (D0—D7) permet le transfert des données entre le MPU et le PTM. Les amplificateurs de sortie du bus de données sont des circuits trois-états qui restent dans l'état haute-impédance sauf quand le MPU fait une lecture du PTM (lorsque les lignes R/$\overline{W}$ et horloge E sont au niveau haut et que le boîtier est sélecté).

Sélection du boîtier ($\overline{CS0}$, CS1 - Chip select) — Ces deux signaux sont utilisés pour activer l'interface avec le bus de données et permettre le transfert des données venant du PTM. Lorsque $\overline{CS0}$ = 0 et CS1 = 1 le circuit est sélecté et le transfert des données a lieu.

Lecture/$\overline{\text{Ecriture}}$ (R/$\overline{W}$) — Ce signal venant du MPU commande le sens du transfert des données sur le bus de données. Lorsque le PTM est sélecté, un niveau bas sur l'entrée R/$\overline{W}$ du PTM valide les amplificateurs d'entrée de ce circuit et les données vont du MPU au PTM lors du front montant de l'horloge E (ϕ 2 système). Quand R/$\overline{W}$ = 1 et E = 1, les données dans le PTM sont lues par le MPU.

Horloge E (Enable — Horloge Ø 2 du système) — Ce signal synchronise le transfert des données entre le MPU et le PTM. Ce signal permet aussi la synchronisation des entrées horloge externes ($\overline{C}$), initialisation ($\overline{\text{Reset}}$) et déclenchement ($\overline{G}$) du PTM.

Demande d'interruption ($\overline{IRQ}$ - Interrupt request) — Ce signal $\overline{IRQ}$, actif à l'état bas, est généralement relié directement (ou à travers un circuit d'interruption prioritaire) à l'entrée $\overline{IRQ}$ du MPU. Cette sortie "à drain ouvert" (pas de charge dans le circuit) permet de relier plusieurs lignes d'interruptions ensemble pour former un "OU - câblé".

La ligne $\overline{IRQ}$ est activée si, et seulement si, l'indicateur commun d'interruption est positionné (bit 7 du registre d'état interne). Les conditions pour lesquelles la ligne $\overline{IRQ}$ est activée sont expliquées dans le paragraphe relatif au registre d'état.

Entrée d'initialisation externe ($\overline{\text{Reset}}$) — Un niveau bas sur cette entrée est pris en compte dans le PTM par l'horloge E (ϕ 2 système). Il faut deux périodes d'horloge E pour synchroniser et traiter ce signal. Ensuite le PTM reconnaît le niveau actif bas ou le niveau inactif haut lors de la troisième période de l'horloge E. Si le signal $\overline{\text{Reset}}$ est asynchrone, une période de plus est nécessaire si les temps de préétablissement ne sont pas respectés. L'entrée $\overline{\text{Reset}}$ doit être stable (niveau haut ou bas) pendant un temps minimum spécifié dans le tableau des caractéristiques dynamiques.

Lorqu'un niveau bas est reconnu sur cette entrée par le PTM, les actions suivantes ont lieu :

a) Tous les registres tampons des compteurs sont prépositionnés à leur valeur maximum de comptage.
b) Tous les bits des registres de contrôle sont mis à zéro sauf CR10 (bit de réinitialisation interne) qui est mis à un.
c) Tous les compteurs sont chargés avec le contenu de leurs registres tampons associés.
d) Toutes les sorties (Ox) des compteurs sont mises à zéro et les horloges externes ($\overline{C}$) sont inhibées.
e) Tous les bits du registre d'état (indicateurs d'interruption) sont mis à zéro.

Lignes de sélection des registres (RS0, RS1, RS2) — Ces entrées sont utilisées en relation avec la ligne R/$\overline{W}$ pour sélecter les registres internes, les compteurs et leurs registres tampons (voir tableau 1).

Il a été souligné précédemment que le PTM était accessible par le MPU par des opérations de lecture ou d'écriture comme un circuit mémoire. Les instructions des MPU de la famille 6800 qui réalisent des opérations directement sur le contenu des mémoires ne doivent pas être utilisées pour accéder au PTM. Ces instructions vont chercher l'octet en mémoire, réalisent l'opération, puis restituent le résultat en mémoire à la même adresse. Comme le PTM utilise la ligne R/$\overline{W}$ en tant que ligne de sélection de registres supplémentaire, on ne placera pas la donnée modifiée dans le même registre si ces instructions sont utilisées.

TABLEAU 1 – SELECTION DES REGISTRES

Entrées de sélection registres			Opérations	
RS2	RS1	RS0	R/$\overline{W}$=0	R/$\overline{W}$=1
0	0	0	CR20=0 Ecriture registre contrôle # 3 CR20=1 Ecriture registre contrôle # 1	Pas d'opération
0	0	1	Ecriture registre contrôle # 2	Lecture registre d'état
0	1	0	Ecriture registre tampon MSB	Lecture temporisateur # 1
0	1	1	Ecriture registre tampon # 1 LSB	Lecture temporisateur LSB
1	0	0	Ecriture registre tampon MSB	Lecture temporisateur # 2
1	0	1	Ecriture registre tampon # 2 LSB	Lecture temporisateur LSB
1	1	0	Ecriture registre tampon MSB	Lecture temporisateur # 3
1	1	1	Ecriture registre tampon # 3 LSB	Lecture temporisateur LSB

LSB : octet poids faible
MSB : octet poids fort

REGISTRE DE CONTROLE

Dans le EF6840, trois registres à écriture seulement sont utilisés pour modifier le fonctionnement du temporisateur pour pouvoir s'adapter à une grande variété d'applications. Le registre de contrôle # 2 a une adresse unique (RS0 = 1, RS1 = 0 et RS2 = 0) et par conséquent on peut écrire dans ce registre à n'importe quel instant. Les deux autres registres de contrôle (# 1 et # 3) ont la même adresse ; ils sont sélectés lorsqu'un zéro logique est appliqué sur toutes les entrées de sélection des registres. Le bit de poids faible du registre de contrôle # 2 (CR20) est utilisé comme bit d'adressage supplémentaire pour les registres de contrôle # 1 et # 3. Ainsi lorsque les lignes de sélection des registres RS et R/$\overline{W}$ sont au niveau bas, on écrira dans le registre de contrôle # 1 si CR20 est à 1, et dans le registre de contrôle # 3 si CR20 est à 0. On peut écrire dans le registre de contrôle # 3 directement après un $\overline{\text{Reset}}$ puisque tous les bits des registres de contrôle sont remis à zéro (sauf CR10). Par conséquent, les registres de contrôle peuvent être initialisés dans l'ordre suivant : CR3, CR2, CR1.

Le bit de poids faible du registre de contrôle # 1 est utilisé comme un bit d'initialisation interne. Quand ce bit est à zéro, tous les temporisateurs peuvent fonctionner dans les modes définis par les autres bits des registres de contrôle. Le fait d'écrire un 1 logique dans CR10 permet de réinitialiser tous les compteurs avec le contenu de leurs registres tampons respectifs, toutes les horloges des compteurs sont inhibées et les sorties des temporisateurs et les indicateurs d'interruption (registre d'état) sont mis à zéro. Les registres tampons des compteurs et les registres de contrôle ne sont pas affectés par une initialisation interne et peuvent être écrits quel que soit l'état du bit CR10.

Le bit de poids faible du registre de contrôle # 3 est utilisé pour sélectionner ou non le précompteur ÷ 8 qui n'existe que dans le temporisateur # 3. Quand le précompteur ÷ 8 est utilisé, il est placé entre l'entrée horloge et l'entrée du compteur # 3. Il peut donc être utilisé avec l'horloge E (ϕ 2 système) ou avec l'horloge externe.

Les fonctions que l'on vient de décrire sont résumées dans la première rangée du tableau 2.

TABLEAU 2 – BITS DES REGISTRES DE CONTROLE

CR10 Initialisation interne	CR20 Bit adresse registre de contrôle	CR30 Contrôle horloge tempo. # 3
0 Tous temporisateurs fonctionnent 1 Tous temporisateurs initialisés	0 Ecriture dans CR # 3 1 Ecriture dans CR # 1	0 $\overline{\text{Horloge}}$ T3 n'est pas précomptée 1 $\overline{\text{Horloge}}$ T3 est précomptée par ÷ 8
CRX1** 0 1	Source d'horloge temporisateur # X TX* utilise horloge externe sur entrée $\overline{CX}$ TX utilise horloge E (ϕ2 système)	
CRX2 0 1	Mode de comptage du temporisateur # X TX configuré pour mode normal 16 bits TX configuré pour mode 2 fois 8 bits	
CRX3 CRX4 CRX5	Mode de comptage et contrôle d'interruption du temporisateur # X (voir tableau 3)	
CRX6 0 1	Validation d'interruption du temporisateur # X Indicateur d'interruption masqué sur $\overline{IRQ}$ Indicateur d'interruption validé sur $\overline{IRQ}$	
CRX7 0 1	Validation sortie compteur du temporisateur # X TX sortie masquée TX sortie validée	

* TX : temporisateur X
** Registre de contrôle du temporisateur 1,2 ou 3, bit 1.

Les bits CR10, CR20, CR30 des registres de contrôle ont un rôle particulier, chacun sélectionnant une fonction différente. Les autres bits (1 à 7) des registres de contrôle sélectent des fonctions communes, un registre de contrôle affectant le fonctionnement du temporisateur correspondant. Par exemple, le bit 1 du registre de contrôle # 1 (CR11) détermine si le temporisateur # 1 est utilisé avec l'horloge externe ou interne. De même, CR21 sélectionne l'horloge pour le temporisateur # 2 et CR31 réalise cette fonction pour le temporisateur # 3. La fonction de chaque bit du registre de contrôle "X" peut par conséquent être définie comme il est indiqué dans le tableau 2.

Le bit 2 du registre de contrôle détermine si la valeur binaire placée dans les registres tampons des compteurs (et par conséquent chargée dans les compteurs) doit être considérée comme un mot de 16 bits ou comme deux mots de 8 bits. Dans le mode 16 bits (CRX2 = 0) le compteur sera décrémenté jusqu'à zéro après N + 1 périodes d'horloge E ($\overline{G}$ = 0), où N est le nombre codé sur 16 bits dans le registre tampon du compteur. Avec CRX2 = 1, le compteur sera décrémenté jusqu'à zéro après (L + 1) (M + 1) périodes d'horloge où L et M représentent respectivement le contenu de l'octet de poids faible (LSB) et l'octet de poids fort (MSB) des registres tampons du compteur.

Les bits 3, 4 et 5 des registres de contrôle sont expliqués en détail dans la partie relative aux modes de fonctionnement du temporisateur (voir p.10). Le bit 6 est un bit de masquage d'interruption et il est présenté plus en détail dans la partie relative au registre d'état. Le bit 7 est utilisé pour valider la sortie du temporisateur correspondant. Les différents modes de programmation des registres de contrôle sont résumés tableau 3.

REGISTRE D'ETAT/INDICATEURS D'INTERRUPTION

Le EF6840 a un registre d'état interne à lecture seulement qui contient quatre indicateurs d'interruption (les quatre bits restant ne sont pas utilisés et ils sont à zéro lors d'une lecture). Les bits 0, 1, 2 sont affectés respectivement aux temporisateurs 1, 2 et 3 en tant qu'indicateurs individuels, alors que le bit 7 est un indicateur d'interruption commun. Ce bit sera positionné lorsqu'un des indicateurs individuels est mis à un et que le bit 6 du registre de contrôle correspondant est à un. L'équation logique pour le positionnement de l'indicateur d'interruption commun est donc :

INT = I1.CR16 + I2.CR26 + I3.CR36

où INT : indicateur d'interruption commun (bit 7)
I1 : indicateur d'IT du temporisateur 1 (bit 0)
I2 : indicateur d'IT du temporisateur 2 (bit 1)
I3 : indicateur d'IT du temporisateur 3 (bit 2)

Un indicateur d'interruption est remis à zéro par une initialisation du temporisateur, par exemple une initialisation externe ($\overline{Reset}$ = 0) ou par le bit d'initialisation interne (CR10 = 1). Il peut aussi être remis à zéro par une lecture du compteur du temporisateur à condition que le registre d'état ait été lu auparavant lorsque l'indicateur d'interruption était mis à un. Cette condition sur la séquence lecture du registre d'état – lecture du compteur du temporisateur est prévue pour éviter de manquer des interruptions qui peuvent apparaître après la lecture du registre d'état et avant la lecture du compteur du temporisateur.

Un indicateur individuel d'interruption est aussi mis à zéro par une écriture dans les registres tampons (W) du temporisateur ou par une séquence d'initialisation du compteur (CI) à condition que celles-ci correspondent à l'indicateur d'interruption associé au temporisateur.

INITIALISATION DES REGISTRES TAMPONS DES COMPTEURS

Chacun des trois temporisateurs indépendants est composé d'un compteur 16 bits et d'un registre tampon de 16 bits adressables par le MPU. Les compteurs sont chargés avec les nombres binaires mémorisés dans les registres tampons. L'initialisation du compteur est réalisée par le transfert du contenu des registres tampons dans le compteur. Se reporter au tableau 5 pour avoir la relation entre les nombres binaires N, L ou M mis dans les registres tampons et la forme des signaux en sortie et les fins de temps de comptage (TO).

Puisque le PTM a un bus de données de 8 bits et que les compteurs ont 16 bits, on utilise un registre temporaire (registre tampon MSB). Ce registre à écriture seulement est utilisé pour l'octet de poids fort de la donnée mémorisée. On dispose de trois adresses pour les trois registres octets de poids fort (MSB) (voir tableau 1) mais elles mènent toutes au même registre. La donnée du registre MSB sera automatiquement transférée dans l'octet de poids fort du temporisateur # X lorsqu'une écriture dans les registres tampons du compteur # X aura lieu. On voit donc que le EF6840 a été conçu pour permettre le transfert de deux octets de données dans les registres tampons du compteur à condition que l'octet de poids fort (MSB) ait été chargé préalablement.

Dans beaucoup d'applications, l'origine des données sera le MPU EF6800. On doit noter que les instructions de mémorisation sur 16 bits des MPU de la famille 6800 (STS et STX) transfèrent les données dans l'ordre requis par le PTM. Par exemple une instruction STX (mémorisation du registre d'index) transfère l'octet de poids fort du registre index à l'adresse indiquée, puis l'octet de poids faible est écrit à l'adresse suivante. Ainsi, soit le registre d'index, soit le pointeur de pile peut être transféré dans les registres tampons du compteur avec une seule instruction.

Un zéro logique sur l'entrée $\overline{Reset}$ initialise les registres tampons des compteurs. Dans ce cas les registres tampons auront la valeur maximum $65\,536_{10}$. Il faut remarquer qu'une initialisation interne (bit 0 = 1 du registre de contrôle 1) n'a aucun effet sur les registres tampons du compteur.

INITIALISATION DES COMPTEURS

L'initialisation d'un compteur est définie comme le transfert des données des registres tampons vers le compteur ainsi que la mise à zéro de l'indicateur d'interruption associé au compteur. L'initialisation du compteur apparaît toujours lorsqu'une condition d'initialisation est détectée ($\overline{Reset}$ = 0 ou CR10 = 1). Elle peut aussi avoir lieu (suivant le mode de fonctionnement du temporisateur) lors d'une écriture dans les registres tampons ou lors de la reconnaissance d'une transition négative sur l'entrée $\overline{G}$.

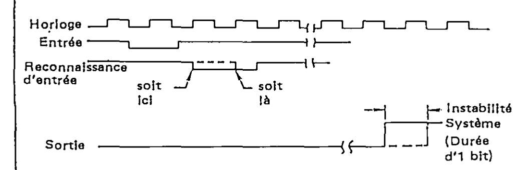
Le recyclage ou la réinitialisation du compteur apparaît lorsqu'une transition négative de l'horloge est reconnue après que le compteur ait atteint un contenu nul. Dans ce cas, les données sont transférées des registres tampons vers le compteur.

LIGNES D'ENTREES/SORTIES ASYNCHRONES

On dispose pour chacun des trois temporisateurs du PTM d'une entrée horloge externe, d'une entrée de déclenchement et d'une ligne de sortie du compteur. Les entrées sont des lignes haute-impédance et les sorties peuvent commander deux charges TTL.

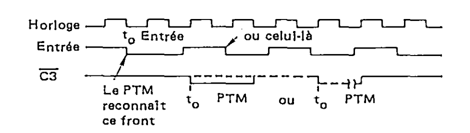
Entrées horloge ($\overline{C1}$, $\overline{C2}$ et $\overline{C3}$) — Les broches d'entrée $\overline{C1}$, $\overline{C2}$ et $\overline{C3}$ acceptent des signaux asynchrones TTL pour décrémenter respectivement les temporisateurs 1, 2 et 3. Les niveaux haut et bas des horloges externes doivent être stables pendant une durée au moins égale à une période d'horloge système plus les temps de préétablissement et de maintien des entrées. La fréquence des horloges asynchrones peut aller du continu jusqu'à la limite imposée par l'horloge E (ϕ 2 système) plus les temps de préétablissement et de maintien de l'entrée horloge.

Les entrées des horloges externes sont échantillonnées par les impulsions de l'horloge E (ϕ 2 système). Trois périodes d'horloge E sont nécessaires pour synchroniser et prendre en compte l'horloge externe. La quatrième période de l'horloge ϕ 2 décrémente le compteur interne. Ceci n'affecte pas la fréquence d'entrée mais introduit un retard entre la transition du signal d'entrée et la prise en compte interne de cette transition par le PTM. Toutes les références de temps pour les entrées $\overline{C}$ dans ce document se font par rapport à la prise en compte interne de la transition d'entrée. Un niveau haut ou bas de l'horloge qui ne respecte pas les temps de préétablissement et de maintien peut nécessiter une impulsion d'horloge ϕ 2 supplémentaire pour que le signal d'entrée soit reconnu. Lorsque l'on analyse des évènements récurrents, un défaut de synchronisation résulte en une instabilité (jitter) observable sur la sortie du PTM lors de l'utilisation de signaux asynchrones sur les entrées horloge externe ($\overline{C}$) et de déclenchement ($\overline{G}$). Il y a deux sortes d'instabilité. "L'instabilité système" qui provient du manque de synchronisation entre l'horloge E (ϕ 2 système) et les signaux d'entrée, permettant aux signaux ayant des temps limites de préétablissement et de maintien d'être reconnus avec un écart correspondant à la durée d'un bit.



"L'instabilité d'entrée" peut atteindre un temps égal à la durée entre deux transitions négatives du signal d'entrée plus l'instabilité système, si la première transition est reconnue pendant un cycle système et n'est pas reconnue au cycle suivant ou vice-versa.

L'entrée $\overline{C3}$ représente un cas particulier lorsqu'on a programmé le temporisateur # 3 pour utiliser le mode optionnel précompteur ÷ 8.



La fréquence d'entrée maximum et les cycles utiles dans ce cas sont définis dans les caractéristiques dynamiques (voir p. 3). La sortie du précompteur ÷ 8 est traitée de la même manière que les entrées horloge externe vues précédemment. C'est-à-dire qu'elle est échantillonnée par les impulsions de l'horloge E, qu'elle est reconnue à la quatrième impulsion E (à condition que soient respectés les temps de préétablissement et de maintien), et qu'elle crée une impulsion en sortie de durée au moins égale à la somme d'une période d'horloge E plus les temps de préétablissement et de maintien.

Entrées de déclenchement ($\overline{G1}$, $\overline{G2}$ et $\overline{G3}$) — Les broches d'entrée $\overline{G1}$, $\overline{G2}$ et $\overline{G3}$ acceptent des signaux asynchrones TTL pour déclencher respectivement les fonctions des temporisateurs 1, 2 et 3. Les entrées de déclenchement sont échantillonnées dans le PTM par l'horloge E (ϕ 2 système) de la même manière que les entrées horloge vues précédemment. C'est-à-dire, qu'une transition sur l'entrée $\overline{G}$ est reconnue par le PTM à la quatrième impulsion d'horloge E (à condition que soient respectés les temps de préétablissement et de maintien) et que les niveaux haut et bas des entrées $\overline{G}$ doivent être stables pendant un temps au moins égal à une période d'horloge E plus les temps de préétablissement et de maintien. Toutes les références de temps pour la transition de $\overline{G}$ dans ce document se font par rapport à la prise en compte interne de la transition d'entrée.

Les entrées $\overline{G}$ de tous les temporisateurs affectent directement le compteur interne de 16 bits. Le fonctionnement de $\overline{G3}$ est par conséquent indépendant de la sélection du précompteur ÷ 8.

Sorties des temporisateurs (O1,O2,O3) — Les sorties des temporisateurs O1, O2 et O3 peuvent commander deux charges TTL et produire un signal dont la forme est définie par les modes de fonctionnement continu ou monocoup. La forme du signal de sortie est définie en sélectionnant soit le mode 16 bits soit le mode deux fois 8 bits. Le mode 16 bits fournira un signal carré dans le mode continu et une seule impulsion dans le mode monocoup. Le mode deux fois 8 bits fournira un signal asymétrique dans les deux modes continu et monocoup. Un bit de chaque registre de contrôle (CRX7) est utilisé pour valider la sortie correspondante. Si ce bit est à zéro, la sortie restera dans l'état bas (V_{OL}) quelque soit le mode de fonctionnement.

Des signaux apparaissent sur les sorties (sauf si CRX7 = 0) pendant les modes de fonctionnement de comparaison de fréquence et de largeur d'impulsion, mais la forme réelle des signaux n'est pas déterminée pour les applications typiques. La seule forme des signaux de sorties définie dans cette notice sont ceux des modes continu et monocoup. Se référer au manuel "Programmable Timer Fundamental and Applications" pour une explication sur les signaux de sorties dans les autres modes.

TABLEAU 3 – PROGRAMMATION DES REGISTRES DE CONTROLE

7	6	5	4	3	2	1	0	
X	X	X	X	X	X	X	‡	voir ci-dessous (Registre 1 / Registre 2 / Registre 3)
X	X	X	X	X	X	‡	X	0 Horloge externe (entrée $\overline{CX}$) 1 Horloge interne (horloge E)
X	X	X	X	X	‡	X	X	0 Mode compteur normal (16 bits) 1 Mode compteur deux fois 8 bits
X	X	0	0	0	X	X	X	Mode de fonctionnement continu : $\overline{G}$ ↓ ou écriture dans les registres tampons ou $\overline{\text{Reset}}$ provoque une initialisation du compteur
X	X	0	0	1	X	X	X	Mode comparaison de fréquence : interruption si $\overline{G}$ ↓_↑‾↓ est < fin du temps de comptage (TO)
X	X	0	1	0	X	X	X	Mode de fonctionnement continu : $\overline{G}$ ↓ ou $\overline{\text{Reset}}$ provoque une initialisation du compteur
X	X	0	1	1	X	X	X	Mode comparaison de largeur d'impulsion : interruption si $\overline{G}$ ↓_↑ est < fin du temps de comptage
1	X	1	0	0	X	X	X	Mode monocoup : $\overline{G}$ ↓ ou écriture dans les registres tampons ou $\overline{\text{Reset}}$ provoque une initialisation du compteur
X	X	1	0	1	X	X	X	Mode comparaison de fréquence : interruption si $\overline{G}$ ↓_↑‾↓ est > fin du temps de comptage
1	X	1	1	0	X	X	X	Mode monocoup : $\overline{G}$ ↓ ou $\overline{\text{Reset}}$ provoque une initialisation du compteur
X	X	1	1	1	X	X	X	Mode comparaison de largeur d'impulsion : interruption si $\overline{G}$ ↓_↑ est > fin du temps de comptage
X	‡	X	X	X	X	X	X	0 Indicateur d'interruption masqué 1 Indicateur d'interruption validé
‡	X	X	X	X	X	X	X	0 Sortie temporisateur masquée 1 Sortie temporisateur validée

Bit 0 (X X X X X X X ‡) :

	Registre 1	Registre 2	Registre 3
0	Tous les temporisateurs en fonction	Reg # 3 peut être écrit	T3 Horloge ÷ 1
1	Tous les temporisateurs initialisés	Reg # 1 peut être écrit	T3 Horloge ÷ 8

NOTE : La réinitialisation peut être matérielle ou logicielle ($\overline{\text{Reset}}$ = 0 ou CR10 = 1)

MODES DE FONCTIONNEMENT DU TEMPORISATEUR

Le EF6840 a été conçu pour fonctionner dans une grande gamme d'applications. Les différents modes de fonctionnement du temporisateur sont définis à l'aide de trois bits de chaque registre de contrôle (CRX3, CRX4, CRX5). Ces modes sont résumés tableau 4.

TABLEAU 4 – MODES DE FONCTIONNEMENT

Registre de contrôle			Mode de fonctionnement du temporisateur
CRX3	CRX4	CRX5	
0	*	0	Continu
0	*	1	Monocoup
1	0	*	Comparaison de fréquence
1	1	*	Comparaison de largeur d'impulsion

* définissent d'autres fonctions du temporisateur.

En plus des quatre modes de fonctionnement du tableau 4, le bit restant dans le registre de contrôle est utilisé pour modifier l'initialisation du compteur, pour la validation ou les conditions d'interruption.

Mode de fonctionnement continu (tableau 5) (Multivibrateur astable) – On peut programmer chacun des temporisateurs du PTM dans un mode de fonctionnement continu en écrivant un zéro logique dans les bits 3 et 5 du registre de contrôle concerné. Si la sortie du temporisateur est validée (CRX7 = 1), on obtient soit un signal carré, soit un signal asymétrique sur la sortie OX de ce temporisateur. Le type de signal est sélecté par le bit 2 du registre de contrôle.

Une initialisation du compteur a lieu soit par une condition d'initialisation du PTM (CR10 = 1 ou $\overline{\text{Reset}}$ externe = 0) soit par une reconnaissance interne d'une transition négative sur l'entrée $\overline{G}$, soit par une écriture des registres tampons des compteurs en mettant CRX4 à zéro.

Le compteur est validé par une absence d'initialisation du temporisateur et par un niveau logique zéro sur l'entrée $\overline{G}$. Le compteur se décrémente ensuite sur la première période d'horloge reconnue pendant ou après le cycle d'initialisation du compteur. Il continue à se décrémenter à chaque période d'horloge tant que $\overline{G}$ reste au niveau bas et qu'aucune condition d'initialisation n'apparaît. La fin de comptage (la première période d'horloge après que tous les bits du compteur soient à 0) met à un l'indicateur individuel d'interruption et réinitialise le compteur.

Une condition spéciale existe dans le mode deux fois 8 bits (CRX2 = 1) si L = 0. Dans ce cas, le compteur fonctionne dans un mode similaire au mode 16 bits, sauf que la fin de comptage (TO) apparaît après M + 1 périodes d'horloge. La sortie, si elle est validée, passe au niveau bas pendant le cycle d'initialisation et change d'état à chaque fin de comptage (TO). Le compteur est cyclique (il est réinitialisé à chaque fin de comptage) et l'indicateur d'interruption est mis à un à chaque fin de comptage. Si L = M = 0, les compteurs internes ne changent pas mais la sortie oscille à une fréquence moitié de la fréquence horloge.

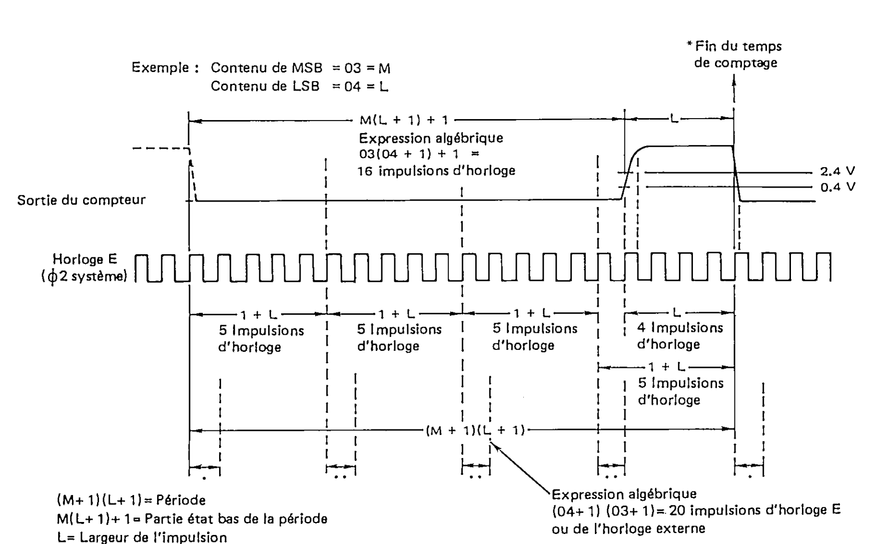
TABLEAU 5 – MODES DE FONCTIONNEMENT CONTINU

MODE CONTINU (CRX3 = 0, CRX5 = 0)			
Registre de contrôle		Initialisation/Formes des signaux	
CRX2	CRX4	Initialisation compteur	*Sortie du temporisateur (OX) (CRX7 = 1)
0	0	$\overline{G}\downarrow$+W+R	(N+1)(T) — (N+1)(T) — (N+1)(T); V_{OH}, V_{OL}; t_0, TO, TO, TO
0	1	$\overline{G}\downarrow$+R	
1	0	$\overline{G}\downarrow$+W+R	(L+1)(M+1)(T) — (L+1)(M+1)(T); V_{OH}; (L)(T), (L)(T); V_{OL}; t_0, TO, TO
1	1	$\overline{G}\downarrow$+R	

$\overline{G}\downarrow$ = Transition négative sur l'entrée $\overline{G}$.
W = Commande d'écriture dans les registres tampons du temporisateur.
R = Initialisation du temporisateur (CR10=1 ou $\overline{\text{Reset}}$ externe = 0)
N = Nombre 16 bits dans le registre tampon compteur
L = Nombre 8 bits dans le registre tampon LSB du compteur (poids faible)
M = Nombre 8 bits dans le registre tampon MSB du compteur (poids fort)
T = Transition négative sur l'entrée d'horloge du compteur
t_0 = Cycle d'initialisation du compteur
TO = Fin du temps de comptage

*Tous les intervalles de temps montrés ci-dessus supposent que les signaux d'entrées $\overline{G}$ et $\overline{C}$ soient synchronisés avec l'horloge E (φ2 système) avec les temps de préétablissement et maintien spécifiés.

FIGURE 10 – EXEMPLE DE LA FORME DU SIGNAL DE SORTIE COMPTEUR
(Mode continu deux fois 8 bits avec l'horloge E interne)



(M+ 1)(L+ 1)= Période
M(L+ 1)+ 1= Partie état bas de la période
L= Largeur de l'impulsion
* Initialise LSB et MSB à partir des registres tampons respectifs sur la transition négative de l'horloge E
** Initialise LSB à partir de LSB du registre tampon et décrémente LSB de 1 sur la transition négative de l'horloge E

Dans le mode deux fois 8 bits (CRX2 = 1) l'octet de poids fort (MSB) se décrémente une fois que le contenu de l'octet de poids faible plus 1 (LSB + 1) a été décrémenté jusqu'à zéro (voir l'exemple figure 10). Quand l'octet de poids faible est égal à zéro, l'octet de poids fort est inchangé ; sur l'impulsion d'horloge suivante, l'octet de poids faible LSB est réinitialisé avec le contenu de l'octet de poids faible des registres tampon et le contenu de l'octet de poids fort MSB est décrémenté de un. La sortie, si elle est validée, reste à l'état bas pendant et après l'initialisation et restera à l'état bas jusqu'à ce que l'octet de poids fort soit à zéro. La sortie passe à l'état haut au début de l'impulsion d'horloge suivante. La sortie reste à l'état haut jusqu'à ce que l'octet de poids fort et l'octet de poids faible soient à zéro. Au début de l'impulsion d'horloge suivante, la fin de comptage arrive et la sortie passe à l'état bas. Dans l'exemple de la figure 10, la période de la sortie prend en compte 1 546 périodes d'horloge dans le mode 16 bits en opposition aux 20 périodes utilisées dans le mode deux fois 8 bits.

L'explication du mode continu supposait que l'application nécessitait un signal de sortie. Le fonctionnement reste le même si la sortie est inhibée (CRX7 = 0). On peut lire le contenu du compteur sans tenir compte de la valeur de CRX7.

Mode de fonctionnement monocoup (monostable) — Ce mode est identique au mode continu à trois exceptions près. La première différence apparaît dans le nom : la sortie passe à l'état bas après la première fin de comptage et elle reste à l'état bas jusqu'au prochain cycle d'initialisation du compteur. La forme des signaux de sortie obtenue est décrite tableau 6.

Comme il est indiqué dans le tableau 6, le mécanisme interne de comptage reste cyclique dans ce mode de fonctionnement monocoup. Chaque fin de comptage du compteur provoque la mise à un de l'indicateur individuel d'interruption et la réinitialisation du compteur.

La deuxième différence majeure entre les modes continu et monocoup est que la validation interne du compteur n'est pas dépendante de l'entrée $\overline{G}$ restant à l'état bas en mode monocoup.

Une autre condition spéciale est introduite dans le mode monocoup. Si L = M = 0 (mode deux fois 8 bits) ou N = 0 (mode 16 bits), la sortie passe à l'état bas à la première période d'horloge reçue pendant ou après une initialisation. La sortie reste à l'état bas jusqu'à ce que l'on change de mode de fonctionnement ou que l'on écrive une donnée non nulle dans les registres tampons des compteurs. Les fin de comptage continuent à apparaître à la fin de chaque période d'horloge.

Les trois différences entre les modes monocoup et continu peuvent-être résumées comme des particularités du mode monocoup :

1. La sortie est validée pour seulement une impulsion jusqu'à une réinitialisation.
2. La validation du compteur est indépendante de l'entrée $\overline{G}$.
3. L = M = 0 ou N = 0 inhibe la sortie.

A part ces trois différences, les deux modes sont identiques.

Mode comparaison de fréquence ou mesure de période (CRX3 = 1, CRX4 = 0) — Le mode comparaison de fréquence avec CRX5 = 1 est simple à comprendre. Si une fin de comptage apparaît avant la première transition négative de l'entrée $\overline{G}$ après un cycle d'initialisation du compteur l'indicateur individuel est mis à un. Le compteur est inhibé, et un cycle d'initialisation du compteur ne peut pas commencer avant que l'indicateur d'interruption ait été remis à zéro et qu'une transition négative sur $\overline{G}$ ait été détectée.

TABLEAU 6 — MODES DE FONCTIONNEMENT MONOCOUP

MODE MONOCOUP (CRX3 = 0, CRX7 = 1, CRX5 = 1)			
Registre de contrôle		Initialisation/Formes des signaux	
CRX2	CRX4	Initialisation compteur	Sortie du temporisateur (OX)
0	0	$\overline{G}\downarrow$+W+R	(N+1)(T) ; (N)(T) ; (N+1)(T) — t_0, TO, TO
0	1	$\overline{G}\downarrow$+R	
1	0	$\overline{G}\downarrow$+W+R	(L+1)(M+1)(T) ; (L)(T) ; (L+1)(M+1)(T) — t_0, TO, TO
1	1	$\overline{G}\downarrow$+R	

Les symboles sont définis tableau 5

Modes mesure d'intervalle de temps — Les modes de mesure d'intervalle de temps sont utilisées pour les applications nécessitant plus de souplesse dans la génération des interruptions et l'initialisation des compteurs. Dans ces modes les indicateurs individuels d'interruption sont mis à un en fonction des fins de comptage du compteur (TO) et des transitions sur l'entrée $\overline{G}$. L'initialisation du compteur est aussi affectée par l'état de l'indicateur d'interruption.

Le compteur fonctionne soit dans le mode 16 bits soit dans le mode deux fois 8 bits en fonction de la valeur programmée en CRX2. D'autres caractéristiques des modes de mesure d'intervalle de temps sont indiqués tableau 7. Se référer au manuel "Programmable Timer Fundamental and Applications" pour une explication sur les signaux de sortie dans ces modes.

Si CRX5 = 0 (voir tableaux 7 et 8) une interruption est générée si l'entrée $\overline{G}$ revient à l'état bas avant une fin de comptage (TO). Si une fin de comptage du compteur apparaît en premier, le compteur est recyclé et continu à se décrémenter. Un bit est mis à un à l'intérieur du temporisateur à la première fin de comptage empêchant toute nouvelle génération d'indicateur d'interruption individuel jusqu'à ce qu'un nouveau cycle d'initialisation compteur ait eu lieu. Quand ce bit interne est mis à un, une transition négative sur l'entrée $\overline{G}$ démarre un nouveau cycle d'initialisation du compteur. (La condition $\overline{G}\downarrow \cdot \overline{I} \cdot TO$ est satisfaite, puisqu'une fin de comptage est apparue et qu'aucun indicateur d'interruption n'a été positionné).

TABLEAU 7 — MODES MESURE D'INTERVALLE DE TEMPS

CRX3 = 1			
CRX4	CRX5	Application	Condition pour mise à un de l'indicateur individuel d'interruption
0	0	Comparaison de fréquence	Interruption générée si la période sur l'entrée $\overline{G}$ est inférieure à la fin du temps de comptage (TO)
0	1	Comparaison de fréquence	Interruption générée si la période sur l'entrée $\overline{G}$ est supérieure à la fin du temps de comptage (TO)
1	0	Comparaison de largeur d'impulsion	Interruption générée si la durée à l'état bas sur l'entrée $\overline{G}$ est inférieure à la fin du temps de comptage (TO)
1	1	Comparaison de largeur d'impulsion	Interruption générée si la durée à l'état bas sur l'entrée $\overline{G}$ est supérieure à la fin du temps de comptage (TO)

Chacun des temporisateurs du PTM peut être programmé pour comparer la période d'une impulsion (ce qui donne la fréquence après calcul) sur l'entrée $\overline{G}$ avec la durée d'une période nécessaire pour une fin de comptage. Une transition négative sur l'entrée $\overline{G}$ valide le compteur et démarre un cycle d'initialisation du compteur si les autres conditions notées tableau 8 sont satisfaites. Le compteur se décrémente à chaque période d'horloge reconnue pendant ou après une initialisation du compteur jusqu'à ce qu'une interruption soit générée, une écriture dans les registres tampons du compteur ait lieu, ou une condition d'initialisation du compteur apparaisse. Dans le tableau 8, on peut voir qu'une interruption sera générée si CRX5 = 0 et si la période de l'impulsion (simple impulsion ou mesures séparées d'impulsions répétitives) sur l'entrée $\overline{G}$ est inférieure au temps nécessaire pour obtenir une fin de comptage du temporisateur. Si CRX5 = 1, une interruption sera générée si la condition inverse est vraie.

Supposons maintenant (avec CRX5 = 1) qu'une initialisation du compteur soit apparue et que l'entrée $\overline{G}$ soit revenue à l'état bas avant la fin de comptage. Puisqu'aucun indicateur individuel d'interruption n'est généré, cela démarre automatiquement un nouveau cycle d'initialisation. Ce fonctionnement continuera en réalisant la comparaison de fréquence pour chaque cycle de l'entrée $\overline{G}$ jusqu'au moment où l'on change de mode, ou jusqu'à ce qu'un cycle ait une valeur supérieure à la valeur limite prédéterminée.

Comparaison de largeur d'impulsion (CRX3 = 1, CRX4 = 1) — Ce mode est similaire au mode de comparaison de fréquence sauf que c'est une transition positive de l'entrée $\overline{G}$ (au lieu d'une transition négative) qui termine le comptage. Quand CRX5 = 0, un indicateur individuel d'interruption sera généré si la durée de l'impulsion à l'état bas sur l'entrée $\overline{G}$ est inférieure au temps nécessaire pour une fin de comptage. Quand CRX5 = 1 une interruption est générée si la condition inverse est vraie.

Dans le tableau 9, on peut voir qu'une transition positive sur l'entrée $\overline{G}$ inhibe le compteur. Quand CRX5 = 0, il est donc possible d'obtenir directement la largeur de toute impulsion provoquant une interruption. En réunissant deux temporisateurs du PTM, on peut obtenir des données et conditions similaires pour d'autres modes d'intervalle de temps.

TABLEAU 8 — MODE COMPARAISON DE FREQUENCE

CRX3 = 1, CRX4 = 0				
Reg. contrôle Bit 5 (CRX5)	Initialisation compteur	Bascule validation compteur mis à un	Bascule validation compteur mis à zéro	Indicateur d'int. mis à un
0	$\overline{G}\downarrow\cdot\overline{I}\cdot(\overline{CE}+TO)+R$	$\overline{G}\downarrow\cdot\overline{W}\cdot\overline{R}\cdot\overline{I}$	W+R+I	$\overline{G}\downarrow$ Avant TO
1	$\overline{G}\downarrow\cdot\overline{I}+R$	$\overline{G}\downarrow\cdot\overline{W}\cdot\overline{R}\cdot\overline{I}$	W+R+I	TO Avant $\overline{G}\downarrow$

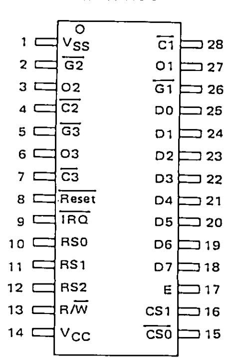
I est l'indicateur d'interruption pour un temporisateur donné

TABLEAU 9 — MODE COMPARAISON DE LARGEUR D'IMPULSION

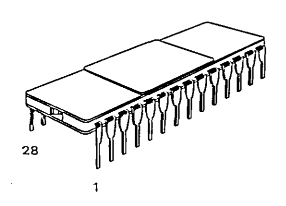
CRX3 = 1, CRX4 = 1				
Reg. contrôle Bit 5 (CRX5)	Initialisation compteur	Bascule validation compteur mis à un	Bascule validation compteur mis à zéro	Indicateur d'int. mis à un
0	$\overline{G}\downarrow\cdot\overline{I}+R$	$\overline{G}\downarrow\cdot\overline{W}\cdot\overline{R}\cdot\overline{I}$	W+R+I+G	$\overline{G}\uparrow$ Avant TO
1	$\overline{G}\downarrow\cdot\overline{I}+R$	$\overline{G}\downarrow\cdot\overline{W}\cdot\overline{R}\cdot\overline{I}$	W+R+I+G	TO Avant $\overline{G}\uparrow$

G = état logique reconnu sur l'entrée $\overline{G}$

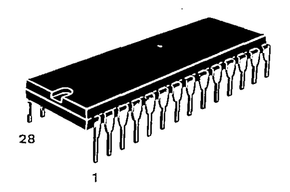
BROCHAGE



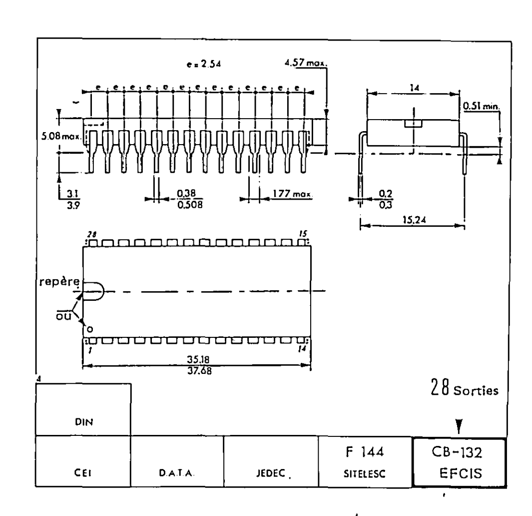
BOITIER CB-132



SUFFIXE C
BOITIER CERAMIQUE



SUFFIXE P
BOITIER PLASTIQUE



Ces spécifications peuvent changer sans préavis.
Consultez notre réseau de vente pour connaître la disponibilité des différentes versions de ce circuit.

EFCIS



Circuits Intégrés MOS THOMSON-EFCIS

mosmosmosmosmosmosmosmosmosmos

EF6844
1,0 MHz
EF68A44
1,5 MHz
EF68B44
2,0 MHz

Ancienne appellation : SFF9-6844

CONTROLEUR D'ACCES DIRECT MEMOIRE (DMAC)

Le contrôleur d'accès direct mémoire (DMAC) EF6844 effectue le transfert de données directement entre mémoire et contrôleurs de circuits périphériques. Il commande le bus adresses et le bus données à la place du MPU dans des systèmes organisés en bus tels que ceux de la famille 6800.

L'interface bus du EF6844 comprend sélection, lecture/écriture, interruption, requête/autorisation de transfert, et logique d'interface au bus permettant le transfert de données par un bus données 8 bits bidirectionnel. La configuration fonctionnelle du DMAC est programmée via le bus données. La structure interne permet le contrôle et la manipulation de quatre canaux individuels, chacun d'eux étant configuré séparément. Des registres de contrôle programmables fournissent le contrôle de la longueur et de l'emplacement du transfert, le contrôle individuel du canal et la configuration des modes de transfert, le contrôle des priorités, le chaînage des données, et le contrôle des interruptions. Les lignes de contrôle et d'état permettent le contrôle des périphériques.

Le mode de transfert pour chaque canal peut être programmé en mode vol de cycles ou en mode de transfert de bloc.

Les applications types sont celles avec contrôleur de disque souple (FDC) et avec contrôleur de liaison de données avancé (ADLC)

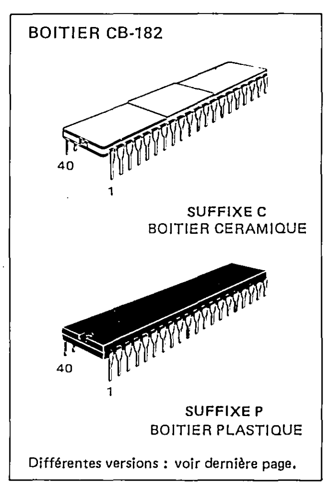
- Quatre canaux DMA, possédant chacun un registre d'adresses 16 bits et un registre nombre d'octets 16 bits.
- Vitesse de transfert de données maximum de 1 M octet/sec.
- Contrôle de la sélection des priorités fixes ou cycliques.
- Bits de contrôle séparés pour chaque canal.
- Fonction chaînage de données.
- Mise à jour par incrémentation/décrémentation d'adresses.
- Interruptions programmables et signal fin de DMA vers contrôleurs de périphériques.

MOS

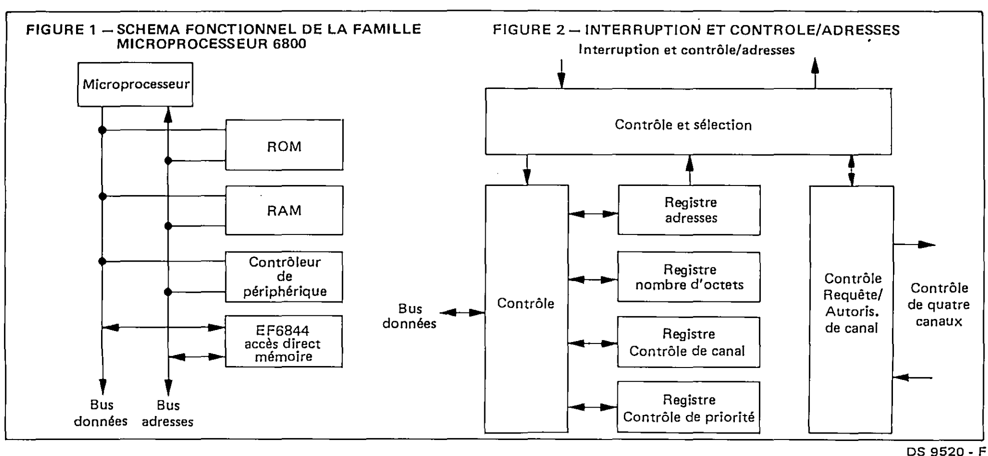
CANAL N, GRILLE SILICIUM

CONTROLEUR D'ACCES DIRECT MEMOIRE (DMAC)

BOITIER CB-182



Différentes versions : voir dernière page.



DS 9520 - F
1/16

EFCIS
FRANCE

45, av. de l'Europe
78140 VELIZY

Tel.: (1) 946 97 19
Telex : 698866F

VALEURS LIMITES

Paramètres	Symboles	Valeurs	Unités
Tension d'alimentation	V_{CC}*	− 0.3 à + 7.0	V
Tension d'entrée	V_{in}*	− 0.3 à + 7.0	V
Température de fonctionnement EF6844, EF68A44, EF68B44 EF6844 CV ou PV, EF68A44CV ou PV	T_A	T_L à T_H 0 à + 70 − 40 à + 85	°C
Température de stockage	T_{stg}	− 55 à + 150	°C
Résistance thermique Boîtier plastique Boîtier céramique	θ_{JA}	 100 50	°C/W

* Par rapport à V_{SS}

Les entrées de ce circuit sont protégées contre les hautes tensions statiques et les champs électriques ; toutefois, il est recommandé de prendre les précautions normales pour éviter toute tension supérieure aux valeurs limites sur ce circuit à haute impédance.

CONDITIONS DE FONCTIONNEMENT RECOMMANDEES

Paramètres	Symboles	Valeurs	Unités
Tension d'alimentation	V_{CC}	+ 4.75 à + 5.25	V
Tension d'entrée — Etat bas Etat haut	V_{IL} V_{IH}	− 0,3 à + 0,8 2,0 à V_{CC}	V
Température de fonctionnement	T_A	0 à + 70	°C

CARACTERISTIQUES ELECTRIQUES (V_{CC} = 5.0 ± 5 %, V_{SS} = 0, T_A = T_L à T_H sauf spécifications contraires)

Caractéristiques		Symboles	Min	Typ	Max	Unités
Tension d'entrée à l'état haut		V_{IH}	V_{SS} +2.0	–	V_{CC}	V
Tension d'entrée à l'état bas		V_{IL}	V_{SS} −0.3	–	V_{SS} +0.8	V
Courant de fuite en entrée (V_{in} = 0 à 5,25 V)	TxRQ0 -3, ϕ2 DMA, $\overline{RES}$, DGRNT	I_{in}	–	–	2.5	µA
Courant de fuite trois états (V_{in} = 0,4 à 2,4 V)	A0 - A15, R/$\overline{W}$ D0 - D7	I_{TSI}	−10	–	10	µA
Tension de sortie à l'état haut (I_{Charge} = − 205 µA) (I_{Charge} = − 145 µA) (I_{Charge} = − 100 µA)	 D0 - D7 A0 - 15, R/$\overline{W}$ Toutes les autres	V_{OH}	 V_{SS} +2.4 V_{SS} +2.4 V_{SS} +2.4	 – – –	 – – –	V
Tension de sortie à l'état bas (I_{Charge} = 1,6 mA)		V_{OL}	–	–	V_{SS} +0.4	V
Courant de source (V_{in} = 0 V, figure 10)	$\overline{CS}$/T x AKB	I_{CSS}	–	10	16	
Puissance dissipée		P_D	–	500	1000	mW
Capacité (V_{in} = 0, T_A = 25°C, f = 1,0 MHz)	ϕ2 DMA D0 - D7, $\overline{CS}$, A0 - A4, R/$\overline{W}$ Toutes les autres	C_{in}	– – –	– – –	20 12.5 10	pF
		C_{out}	–	–	12	pF

CARACTERISTIQUES DYNAMIQUES DU BUS (Conditions de charge figure 11)

Caractéristiques		Symboles	EF6844 Min	EF6844 Max.	EF68A44 Min	EF68A44 Max	EF68B44 Min	EF68B44 Max	Unités
EN LECTURE (figure 4)									
Temps de préétablissement des adresses	A0 - A4, R/$\overline{W}$, $\overline{CS}$	t_{AS}	160	–	140	–	70	–	ns
Temps de maintien en entrée des adresses	A0 - A4, R/$\overline{W}$, $\overline{CS}$	t_{AHI}	10	–	10	–	10	–	ns
Temps d'établissement des données	D0 - D7	t_{DDR}	–	320	–	220	–	180	ns
Temps d'accès aux données	D0 - D7	t_{ACC}	–	480	–	360	–	250	ns
Temps de maintien en sortie des données	D0 - D7	t_{DHR}	10	–	10	–	10	–	ns
EN ECRITURE (figure 4)									
Temps de préétablissement des adresses	A0 - A4, R/$\overline{W}$, $\overline{CS}$	t_{AS}	160	–	140	–	70	–	ns
Temps de maintien en entrée des adresses	A0 - A4, R/$\overline{W}$, $\overline{CS}$	t_{AHI}	10	–	10	–	10	–	ns
Temps de préétablissement des données	D0 - D7	t_{DSW}	195	–	80	–	60	–	ns
Temps de maintien en entrée des données	D0 - D7	t_{DHW}	10	–	10	–	10	–	ns

CARACTERISTIQUES DYNAMIQUES DE L'HORLOGE

Caractéristiques	Symboles	Min	Max.	Min.	Max.	Min.	Max	Unités
ϕ2 DMA (Voir figure 4)								
Temps de cycle	t_{cyc}	1000	–	666	–	500	–	ns
Largeur de l'impulsion – Etat haut	PW_H	450	–	280	–	220	–	ns
Etat bas	PW_L	430	–	280	–	210	–	
Temps de montée et de descente	$t_{\phi r}$, $t_{\phi f}$	–	25	–	25	–	25	ns

CARACTERISTIQUES DYNAMIQUES DU DMA (figure 11)

Caractéristiques		Symboles	Min	Max.	Min.	Max.	Min.	Max	Unités
TxRQ Temps de préétablissement (figure 5) ϕ2 DMA Front montant		t_{TQS1}	120	–	120	–	120	–	ns
ϕ2 DMA Front descendant		t_{TQS2}	210	–	210	–	210	–	
TxRQ Temps de maintien (figure 5) ϕ2 DMA Front montant		t_{TQH1}	20	–	10	–	10	–	ns
ϕ2 DMA Front descendant		t_{TQS2}	20	–	10	–	10	–	
DGRNT Temps de préétablissement (figure 6)		t_{DGS}	155	–	125	–	115	–	ns
DGRNT Temps de maintien (figure 6)		t_{DGH}	10	–	10	–	10	–	ns
Temps d'établissement des adresses en sortie (figure 8)	A0 - A15, R/$\overline{W}$, $\overline{TxSTB}$	t_{AD}	–	270	–	180	–	150	ns
Temps de maintien (figure 8) des adresses en sortie	A0 - A15, R/$\overline{W}$	t_{AHO}	30	–	20	–	20	–	ns
	$\overline{Tx\ STB}$		35	–	30	–	30	–	
Temps d'établissement des adresses en 3 états (figure 9)	A0-A15, R/$\overline{W}$	t_{ATSD}	–	720	–	460	–	370	ns
Temps de recouvrement des adresses en 3 états (figure 9)		t_{ATSR}	–	430	–	280	–	210	ns
Temps d'établissement (figure 7)	$\overline{DRQH}$, $\overline{DRQT}$	t_{DQD}	–	375	–	250	–	190	ns
Tx AK Temps d'établissement ϕ2 DMA Front montant (figure 7)		t_{TKD1}	–	400	–	310	–	250	ns
DGRNT Front montant (figure 10)		t_{TKD2}	–	190	–	160	–	145	
$\overline{IRQ}/\overline{DEND}$ Temps d'établissement ϕ2 DMA Front descendant (figure 8)		t_{DED1}	–	300	–	250	–	210	ns
DGRNT Front montant (figure 10)		t_{DED2}	–	190	–	160	–	145	

FIGURE 3 — SCHEMA FONCTIONNEL

R/$\overline{W}$ 3
A0 4
A1 5
A2 6
A3 7
A4 8
A5 9
A6 10
A7 11
A8 12
A9 13
A10 14
A11 15
A12 16
A13 17
A14 18
A15 19
$\overline{IRQ}$/$\overline{DEND}$ 33

Contrôle et adresse

$\overline{CS}$/Tx AKB 2

Sélection des registres

Registres adresse #0 #1 #2 #3

Registre chaînage des données

Registres nombre d'octets #0 #1 #2 #3

Registre de contrôle des interruptions

Registre de contrôle canal #0 #1 #2 #3

Registre de contrôle des priorités

D0 28
D1 27
D2 26
D3 25
D4 24
D5 23
D6 22
D7 21

Ampli. bus données

$\overline{DRQH}$ 36
$\overline{DRQT}$ 37
DGRNT 38
$\overline{RES}$ 39
ϕ2 DMA 40

Contrôle Requête/ Autorisation Horloge

Demande de transfert/ Reconnaissance

32 Tx RQ0
31 Tx RQ1
30 Tx RQ2
29 Tx RQ3
35 Tx AKA
34 $\overline{Tx\ STB}$

V_{SS} = broche 1
V_{CC} = broche 20

DIAGRAMME DES TEMPS

FIGURE 4 — LECTURE / $\overline{\text{ECRITURE}}$

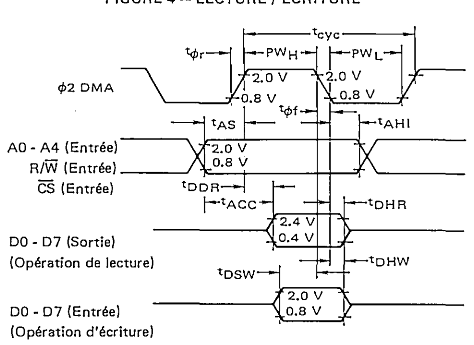


FIGURE 5 — TxRQ

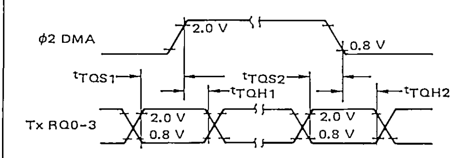


FIGURE 6 — DGRNT

Préétablissement

φ2 DMA

0.8 V

2.0 V

tDGS

tDGS

DGRNT

2.0 V

0.8 V

Maintien

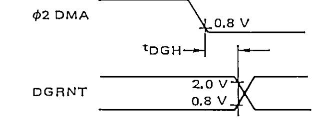


FIGURE 7 — $\overline{\text{DRQH}}$, $\overline{\text{DRQT}}$, T x AK

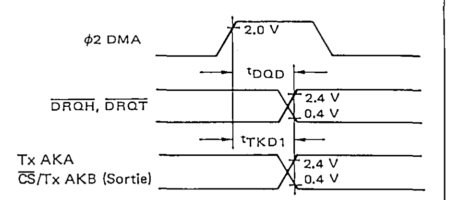


FIGURE 8 — $\overline{\text{IRQ}}/\overline{\text{DEND}}$

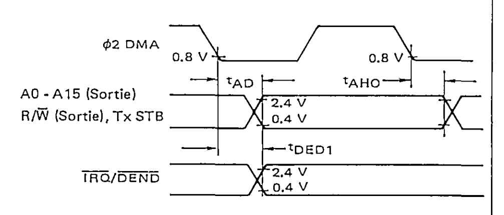


FIGURE 9 — ADRESSES TROIS-ETATS

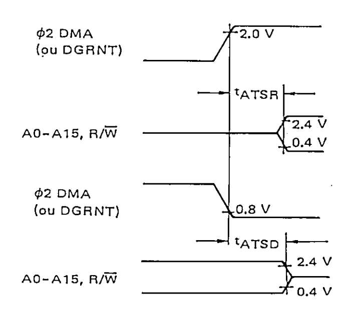


FIGURE 10 — Tx AKB, $\overline{\text{IRQ}}/\overline{\text{DEND}}$ PAR RAPPORT A DGNRT

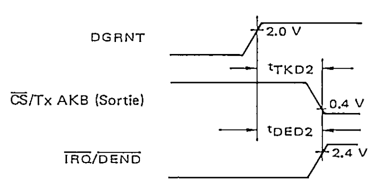
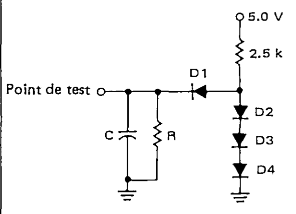
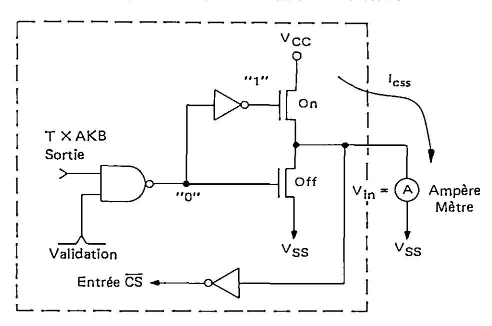


FIGURE 11 – CHARGE DE TEST



Broches	C = pF	R = kΩ
D0-D7	130	11.7
A0-A15, R/$\overline{W}$	90	16.5
$\overline{CS}$/Tx AKB	50	24
Autres	30	24

FIGURE 12 – $\overline{CS}$/T X AKB
CIRCUIT TEST DU COURANT D'ENTREE



FONCTIONNEMENT DU CIRCUIT

Le DMAC possède quinze registres adressables, dont huit sont des registres 16 bits. Chaque canal possède un registre adresse séparé et un registre nombre d'octets, chacun d'eux de longueur 16 bits. Il y a aussi quatre registres de contrôle canal. Les trois registres de contrôle général communs aux quatre canaux sont les registres de contrôle de priorité, le registre de contrôle d'interruption, et le registre de chaînage des données.

Pour préparer un canal en accès direct mémoires (DMA), les registres d'adresse doivent être chargés avec l'adresse mémoire de début et le registre nombre d'octets chargé avec le nombre d'octets devant être transférés. Les bits du registre contrôle canal établissent la direction du transfert, le mode, et l'incrémentation ou décrémentation d'adresse après chaque cycle. Chaque canal peut être établi pour un des trois modes de transfert : vol de cycle par commande TSC (suspension temporaire de $\phi 2$), vol de cycle par commande de $\overline{\text{Halt}}$, transfert de bloc de données par $\overline{\text{Halt}}$. Deux bits d'état à lecture seule du registre de contrôle canal indiquent quand le canal est occupé à transférer des données et quand le transfert DMA est terminé.

Le registre de contrôle des priorités permet les requêtes de transfert à partir des contrôleurs de périphériques et établit un ordre soit avec priorité fixée, soit avec priorité cyclique pour servir ces requêtes.

Lorsqu'un transfert DMA est terminé pour un canal (le registre nombre d'octets est à zéro), un signal fin de DMA est dirigé vers le contrôleur de périphérique et une $\overline{\text{IRQ}}$ va au MPU. La validation de ces interruptions est réalisée dans le registre de contrôle des interruptions. Le bit indicateur de fin de DMA/$\overline{\text{IRQ}}$ est lu à partir de ce registre.

Le chaînage des transferts de données est contrôlé par le registre de chaînage des données. Lorsqu'ils sont validés, les contenus des registres nombre d'octets et adresse du canal # 3 sont placés dans les registres du canal sélectionné pour le chaînage lorsque son registre nombre d'octets devient nul. Ceci permet la lecture ou l'écriture répétitive d'un bloc mémoire.

En mode DMA, le DMAC contrôle le bus adresses et le bus de données du système et fournit aussi la ligne R/$\overline{W}$ et un signal utilisé comme VMA. Lorsqu'un contrôleur de circuit périphérique demande un transfert DMA, celui-ci est demandé par une requête de transfert. En supposant que cette requête soit validée et réponde au test de priorité le plus élevé, le DMAC émet une requête de DMA. Lorsque le DMAC reçoit l'autorisation DMA, il envoie une reconnaissance de transfert vers le contrôle de circuit périphérique, les données sont alors transférées. Lorsque le registre nombre d'octets est égal à zéro, le transfert est achevé, le signal fin de DMA est envoyé au contrôleur de circuit périphérique, et une $\overline{\text{IRQ}}$ est envoyée au MPU.

Initialisation

Lors d'une séquence de mise sous tension, le DMAC est initialisé via une entrée $\overline{\text{RES}}$. Tous les registres, à l'exception des registres d'adresse et de nombre d'octets, sont mis à l'état logique "0". Ceci invalide toutes les requêtes et la fonction chaînage de données pendant le masquage de toutes les interruptions. Les registres d'adresse, de nombre d'octets et de contrôle canal doivent être programmés avant que le bit de requête de transfert respectif ne soit validé dans le registre de contrôle des priorités.

Modes de transfert

Le transfert en accès direct mémoire (DMA) peut être réalisé de trois façons. La façon choisie est déterminée par la vitesse de transfert des données requises, le nombre de canaux associés, et la complexité admissible de l'application. Se reporter aux figures 13 à 15.

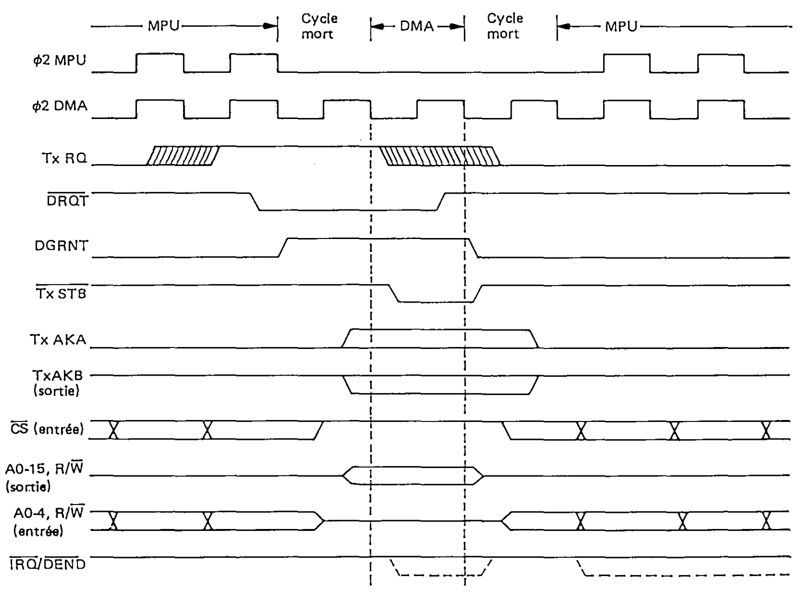
Deux des modes, le mode vol de cycle par TSC et le mode vol de cycle par Halt, sont réalisés par vol de cycle du MPU. Le mode vol de cycle par TSC est déclenché par le DMAC forçant la ligne DRQT à l'état bas. Cette ligne va au circuit de commande d'horloge système qui revient à l'état haut sur DGRNT, sur le front montant de l'horloge système ϕ 1. Le signal DGRNT doit entraîner le passage à l'état haute-impédance des lignes de données, de contrôle et d'adresses. Le DMAC fournit alors l'adresse à partir du registre adresse du canal demandant. Il fournit aussi le signal R/W déterminé à partir du registre de contrôle canal. Le contrôle est redonné au MPU après transfert d'un octet. Cette méthode allonge les horloges ϕ1 et ϕ2 pendant que le DMAC utilise la mémoire.

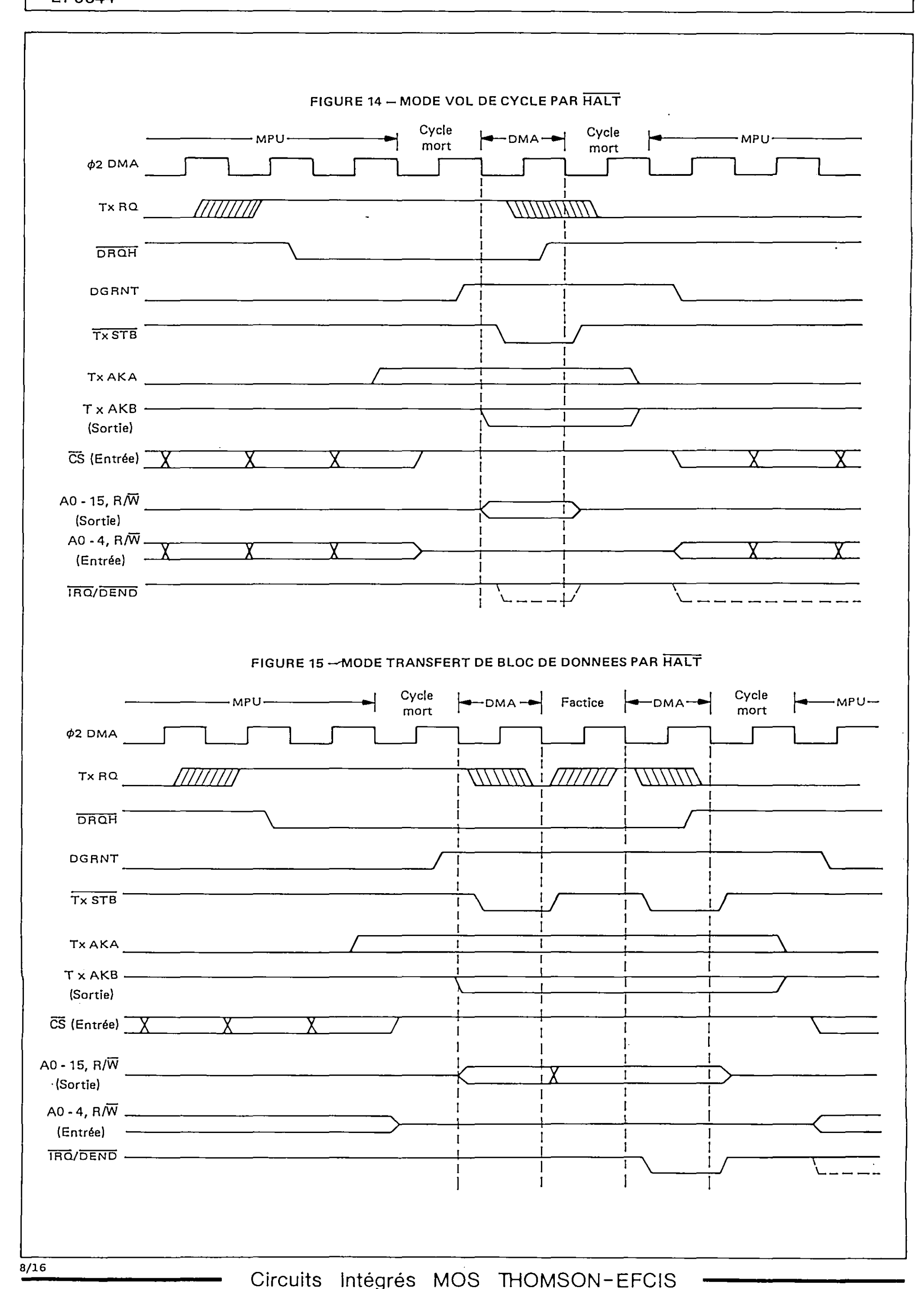
La deuxième méthode de vol de cycle est le mode vol de cycle par Halt (arrêt du MPU). Cette méthode arrête réellement le MPU au lieu d'allonger l'horloge ϕ 1 pour la période de transfert. Ce mode est déclenché par le DMAC, forçant à l'état bas la ligne DRQH. Cette ligne est connectée à l'entrée HALT du MPU. La ligne bus disponible (BA) constitue l'entrée DGRNT vers le DMAC. Lorsque le MPU est à l'arrêt (par la ligne Halt), ses bus adresses, bus données et R/W sont à l'état haute impédance. Le DMAC fournit alors l'adresse et la ligne R/W. Après transfert d'un octet, la ligne HALT retourne à l'état haut et le MPU reprend le contrôle. Dans ce mode, le MPU arrête son activité interne et est déconnecté du système lorsque le DMAC utilise la mémoire.

Le troisième mode de transfert est le mode transfert de blocs de données par la ligne Halt du MPU. Ce mode est similaire au mode vol de cycle par Halt, à la différence que le transfert ne s'arrête pas à un octet. Le MPU est arrêté pendant tout le transfert d'un bloc de données. Lorsque le registre nombre d'octets du canal est égal à zéro, le transfert est terminé et le MPU reprend le contrôle. Ce mode donne la plus grande vitesse de transfert de données, aux dépends du MPU qui demeure inactif pendant toute la durée du transfert.



FIGURE 13 — MODE VOL DE CYCLE PAR TSC




FIGURE 14 — MODE VOL DE CYCLE PAR HALT
MPU
Cycle mort
DMA
Cycle mort
MPU
φ2 DMA
Tx RQ
DRQH
DGRNT
Tx STB
Tx AKA
T x AKB (Sortie)
CS (Entrée)
A0 - 15, R/W (Sortie)
A0 - 4, R/W (Entrée)
IRQ/DEND
FIGURE 15 — MODE TRANSFERT DE BLOC DE DONNEES PAR HALT
MPU
Cycle mort
DMA
Factice
DMA
Cycle mort
MPU
φ2 DMA
Tx RQ
DRQH
DGRNT
Tx STB
Tx AKA
T x AKB (Sortie)
CS (Entrée)
A0 - 15, R/W (Sortie)
A0 - 4, R/W (Entrée)
IRQ/DEND

FONCTIONS D'ENTREES/SORTIES

Signaux d'interface du DMAC avec le MPU

Le DMAC s'interface avec la famille 6800 par le bus de données bidirectionnel 8 bits, la ligne sélection de boîtier ($\overline{\text{CS}}$), cinq lignes d'adresses, la ligne requête d'interruption ($\overline{\text{IRQ}}$), la ligne de lecture/écriture (R/$\overline{\text{W}}$), et la ligne $\overline{\text{Reset}}$. Ces signaux, en liaison avec la sortie VMA du EF 6800, permettent au MPU d'avoir accès au DMAC. Les quatre autres lignes associées avec le MPU et le circuit pilote d'horloge sont $\overline{\text{DRQT}}$, $\overline{\text{DRQH}}$, DGRNT, et ϕ 2 DMA.

Données bidirectionnelles (D0-D7). Les lignes de données bidirectionnelles (D0-D7) permettent le transfert de données entre le DMAC et le MPU. Les amplificateurs de sortie du bus données sont des circuits trois-états qui restent à l'état haute-impédance sauf lorsque le MPU exécute des opérations de lecture du DMAC.

Sélection de boîtier/Reconnaissance de transfert B ($\overline{\text{CS}}$/TxAKB : $\overline{\text{Chip Select}}$/Transfer Acknowledge B).
Cette ligne est multiplexée et sert aussi bien en entrée qu'en sortie. $\overline{\text{CS}}$/TxAKB est une sortie en mode quatre canaux pendant le transfert. Tout le reste du temps c'est une entrée compatible TTL à haute-impédance utilisée pour adresser le DMAC. Le DMAC est sélecté lorsque $\overline{\text{CS}}$/TxAKB est à l'état bas. VMA doit être utilisé pour générer cette entrée de manière à s'assurer que des sélections erronées ne se produisent. Les transferts de données de et vers le DMAC sont alors réalisés sous le contrôle de ϕ 2 DMA, Lecture/$\overline{\text{Ecriture}}$ (R/$\overline{\text{W}}$) et les lignes d'adresses A0-A4. En mode quatre-canaux lorsque TxAKB est nécessaire, la porte du signal $\overline{\text{CS}}$ doit avoir une sortie collecteur ouvert (une résistance de rappel ne doit pas être utilisée). En mode deux-canaux, $\overline{\text{CS}}$/TxAKB est toujours une entrée.

Lignes d'adresses (A0-A4). Les lignes d'adresses A0-A4 sont à la fois lignes d'entrée et de sortie. En mode MPU, ces lignes constituent des entrées haute-impédance utilisées pour adresser les registres DMAC. En mode DMA, ces lignes constituent des sorties qui sont positionnées en rapportant le contenu du registre adresse du canal en cours de traitement.

Demande d'interruption/$\overline{\text{Fin de DMA}}$ ($\overline{\text{IRQ}}$/$\overline{\text{DEND}}$: $\overline{\text{Interrupt Request}}$/$\overline{\text{DMA End}}$). C'est une sortie active à l'état bas, compatible TTL, qui est utilisée pour interrompre le MPU et pour signaler au contrôleur de périphérique que le transfert du bloc de données est terminé. Si l'interruption a été validée, la ligne $\overline{\text{IRQ}}$/$\overline{\text{DEND}}$ passe à l'état bas après le dernier cycle d'un transfert DMA. Une porte à collecteur ouvert doit être connectée à DGRNT et $\overline{\text{IRQ}}$/$\overline{\text{DEND}}$ pour éviter des interruptions erronées dûes au signal DEND lorsque les interruptions ne sont pas validées. Voir figure 14.

Lecture/$\overline{\text{Ecriture}}$ (R/$\overline{\text{W}}$: Read/$\overline{\text{Write}}$) est une ligne compatible TTL qui constitue une entrée haute-impédance en mode MPU et une sortie en mode DMA. En mode MPU, elle est utilisée pour contrôler la direction du flot de données via l'interface bus de données d'E/S du DMAC. Lorsque R/$\overline{\text{W}}$ est à l'état haut (cycle de lecture du MPU) et le boîtier sélecté, les amplificateurs de sortie de données du DMAC sont validés et un registre sélecté est lu.
Lorsque R/$\overline{\text{W}}$ est à l'état bas, les amplificateurs de sortie du DMAC sont désactivés et le MPU écrit dans un registre sélecté.
En mode DMA, R/$\overline{\text{W}}$ est une sortie pour contrôler les contrôleurs de périphériques et la mémoire. Son état est déterminé par le bit 0 du registre de contrôle canal pour le canal concerné. Lorsque la ligne R/$\overline{\text{W}}$ est à l'état haut, la mémoire est lue et les données contenues dans la mémoire sont écrites dans le contrôleur de périphérique. Lorsque ce signal est à l'état bas, le contrôleur de périphérique est lu et ses données sont mises en mémoire. En mode DMA, les amplificateurs de données du DMAC sont hors-fonction, si bien que les données ne sont pas disponibles sur le bus de données (D0-D7).

$\overline{\text{Reset}}$ ($\overline{\text{RES}}$). L'entrée $\overline{\text{RES}}$ fournit la possibilité de remise à zéro du DMAC à partir d'une source externe. A l'état bas, l'entrée $\overline{\text{RES}}$ entraîne l'initialisation de tous les registres à l'état logique "0", à l'exception du registre d'adresse et du registre d'octets. Ceci invalide toutes les requêtes de transfert, masque toutes les interruptions, invalide la fonction chaînage de données et place chaque registre de contrôle canal dans les conditions de lecture mémoire, en mode de vol de cycle par $\overline{\text{Halt}}$, et incrémentation d'adresse.

Signaux de transfert vers le MPU

Le DMAC est synchronisé au MPU par les deux lignes de sortie demande de DMA et par la ligne d'entrée DGRNT (Autorisation de DMA).

Demande de DMA en mode vol de cycle par TSC ($\overline{\text{DMA Request Three State Control Steal}}$: $\overline{\text{DRQT}}$). Cette sortie active à l'état bas requiert un transfert pour un canal configuré en mode vol de cycle par TSC. Cette ligne est connectée au circuit de contrôle d'horloge, demandant un allongement de l'horloge ϕ 1. Elle demeurera à l'état bas jusqu'à ce qu'un transfert soit commencé.

Demande de DMA en mode vol de cycle par $\overline{\text{Halt}}$ ($\overline{\text{DMA Request Halt Steal}}$: $\overline{\text{DRQH}}$). Cette sortie active à l'état bas, requiert un transfert DMA pour un canal programmé pour un transfert en mode vol de cycle par $\overline{\text{Halt}}$, du MPU, ou en mode transfert de blocs de données par $\overline{\text{Halt}}$. Cette ligne est connectée directement à l'entrée $\overline{\text{HALT}}$ du MPU et demeure à l'état bas jusqu'à ce que le dernier octet ait commencé à être transféré.

Autorisation de DMA (DGRNT : DMA Grant). C'est une entrée haute-impédance vers le DMAC, lui attribuant le contrôle des bus du système. Pour le mode vol de cycle par TSC, le signal provient du circuit de contrôle d'horloge (DMA Grant), indiquant que l'horloge est allongée. Pour chacun des deux modes par arrêt du MPU, ce signal est le signal bus disponible (BA) du MPU, indiquant que le MPU est à l'arrêt et que le contrôle de ses bus passe au DMAC. Dans une conception mettant en jeu les modes vol de cycles par TSC et modes arrêt du MPU, cette entrée doit être le "OU" du DMA Grant commandé par l'horloge et du BA du MPU.

ϕ 2 DMA. Le transfert en entrée ou en sortie des registres du DMAC, l'échantillonnage des lignes de requête canal, et la validation des autres signaux de contrôle du système sont réalisés de façon interne en liaison avec l'entrée horloge DMA ϕ 2 à haute-impédance. Cette entrée doit être l'horloge mémoire du système (horloge ϕ 2 non allongée).

Signaux de transfert issus du contrôleur de périphérique

Requête de transfert (TxRQ0-3 : Transfer Request). Chacun des quatre canaux possède sa propre ligne de requête de transfert, d'entrée haute-impédance. Le contrôleur de périphérique demande un transfert en plaçant sa ligne TxRQ au niveau haut ("1" logique). Les lignes sont échantillonnées en fonction de la priorité et de la validation établie dans le registre contrôle de priorité. En modes vol de cycle et pour le premier octet en mode transfert de bloc, les signaux TxRQ sont testés sur le front positif de l'horloge $\phi 2$ DMA, et le canal de priorité la plus haute est échantillonné. Une fois échantillonnés, les signaux TxRQ ne sont pas testés jusqu'à ce que le transfert de données de ce canal soit fini. Dans les octets suivants du transfert en mode transfert de bloc de données par $\overline{\text{Halt}}$, le signal TxRQ est testé sur le front descendant de l'horloge $\phi 2$ DMA, et les données sont transférées sur le cycle d'horloge $\phi 2$ DMA suivant si TxRQ est au niveau haut.

Signaux de transfert vers le contrôleur de périphérique

Le canal concerné est sélecté par deux lignes encodées. Une ligne d'échantillonnage reconnaît la requête et réalise le transfert. La ligne fin de DMA signale au contrôleur de périphérique que le transfert DMA est réalisé.

Reconnaissance de transfert A (TxAKA). La reconnaissance de transfert A (TxAKA) est une sortie compatible TTL utilisée avec la ligne $\overline{\text{CS}}$/TxAKB pour sélectionner le canal à échantillonner pour le transfert et donner le signal fin de DMA. En mode deux canaux, seul TxAKA est utilisé pour sélectionner le canal # 0 ou le canal # 1, et $\overline{\text{CS}}$/TxAKB est toujours une entrée.

Sélection de boîtier/Reconnaissance de transfert B ($\overline{\text{CS}}$/TxAKB). En mode DMA, cette ligne à double usage est codée avec TxAKA pour sélecter le canal utilisé. Le tableau 1 montre l'ordre d'encodage.

TABLEAU 1 – ORDRE D'ENCODAGE

$\overline{\text{CS}}$/Tx AKB	Tx AKA	Canal #
0	0	0
0	1	1
1	0	2
1	1	3

Echantillonnage de transfert ($\overline{\text{TxSTB}}$: Transfer Strobe) La ligne $\overline{\text{TxSTB}}$ provoque la reconnaissance devant être donnée au contrôleur de périphérique et transfère les données de ou vers la mémoire. Cette ligne constitue aussi le signal VMA du système en mode DMA. Dans un système à un canal, $\overline{\text{TxSTB}}$ peut être inversé et branché à l'entrée de reconnaissance du contrôleur de périphérique. Dans un système à deux ou à quatre canaux, $\overline{\text{TxSTB}}$ valide le décodage de TxAKA et $\overline{\text{CS}}$/TxAKB pour sélecter le contrôleur de périphérique reconnu.

Requête d'interruption/Fin de DMA ($\overline{\text{IRQ/DEND}}$). En mode DMA, cette ligne à double usage est à l'état bas pour le dernier octet de transfert, indiquant une fin de DMA. Ceci survient lorsque le registre nombre d'octets est décrémenté jusqu'à zéro.

Cette ligne, via le décodage de TxAKA et $\overline{\text{CS}}$/TxAKB peut être utilisée pour échantillonner une fin de DMA pour chaque contrôleur de circuit.

Lignes adresses vers la mémoire

Lignes adresses (A0-A15). Ces lignes de sortie sont à l'état haute-impédance en mode MPU. En mode DMA, ces lignes constituent des sorties qui sont positionnées par rapport au contenu du registre adresse du canal en cours d'exécution.

LES REGISTRES DU DMAC

L'ensemble des quinze registres du DMAC sont des registres à lecture/$\overline{\text{écriture}}$, bien que certains bits soient des bits d'état à lecture seule.

Registres adresse

Chaque canal possède son propre registre d'adresse 16 bits. Avant qu'un transfert ne commence, l'adresse de départ du transfert doit être chargée dans le registre adresse. En fonction de l'état du bit 3 du registre de contrôle canal, le registre adresse est décrémenté ou incrémenté après chaque transfert d'octet.

Registres nombre d'octets

Chaque canal possède aussi son propre registre nombre d'octets. Avant un transfert DMA, ce registre doit être chargé avec le nombre d'octets devant être transférés. Ce registre de longueur 16 bits permet un transfert de données pouvant aller jusqu'à 65 536 octets. Le registre nombre d'octets est décrémenté au début de chaque cycle DMA.

Registres de contrôle canal

Le contrôle de chaque transfert DMA d'un canal est programmé dans son registre de contrôle canal. Les bits 4 et 5 ne sont pas utilisés.

Lecture/$\overline{\text{Ecriture}}$ (R/$\overline{\text{W}}$), Bit 0. La direction du transfert DMA est contrôlée par ce bit. Lorsque ce bit est à l'état haut, le contrôleur de périphérique lit la mémoire. Lorsqu'il est à l'état bas, le transfert sera fait en direction opposée, c'est-à-dire par une écriture en mémoire. La ligne R/$\overline{\text{W}}$ du système est dans le même état que le bit R/$\overline{\text{W}}$ en mode DMA. Le contrôleur de circuit doit changer le sens de son entrée R/$\overline{\text{W}}$ en mode DMA.

Vol/bloc, Bit 1 (Burst/Steal, bit 1). Ce bit avec le bit 2 sélecte le mode de transfert DMA. Avec le bit 1 à l'état haut, le mode bloc est sélecté. Un état bas sélecte le mode vol de cycle. Le tableau 2 montre la sélection de modes

TSC/$\overline{\text{Halt}}$, Bit 2. Le bit 2 permet de sélectionner le mode de transfert DMA. Lorsque ce bit est à l'état haut, le mode TSC est sélecté.

Quand ce bit est à l'état bas, le mode $\overline{\text{Halt}}$ est sélecté. Un mode transfert de bloc par TSC est interdit pour la famille de processeurs 6800 à cause des restrictions sur l'allongement d'horloge ϕ 1 pour ces produits.

TABLEAU 2 – SELECTION DE MODE

Bit 2	Bit 1	Mode de transfert DMA
0	0	Vol de cycle (HALT)
0	1	Transfert de bloc (HALT)
1	0	Vol de cycle par TSC
1	1	(interdit)

Adresse croissante/décroissante, bit 3. (Address Up/Down). Le bit 3 contrôle le changement dans le registre adresse pour chaque cycle DMA. Si ce bit est à l'état bas, le registre adresse est incrémenté chaque fois que le registre nombre d'octets est décrémenté. Si ce bit est à l'état haut, le registre adresse est décrémenté.

Indicateur occupé/libre, Bit 6 (Busy/Ready). L'indicateur occupé/libre est un bit d'état à lecture seule qui indique qu'un transfert est en cours sur ce canal là. Ce bit passe à l'état haut au début du transfert et demeure dans cet état jusqu'à ce que le signal $\overline{\text{IRQ}}/\overline{\text{DEND}}$ ait été à l'état bas pendant un cycle (fin de DMA). Ce bit est alors mis à zéro et le canal peut ainsi être configuré pour un nouveau transfert.

Indicateur fin de DMA (DEND), Bit 7. Le bit DEND indique la fin d'un transfert de bloc par DMA. Ce bit est mis à un en même temps que l'indicateur occupé/libre est mis à zéro. Le bit DEND est mis à zéro lorsque le MPU lit le registre de contrôle du canal. Ce bit entraîne une interruption s'il est validé dans le registre de contrôle d'interruption.

REGISTRE DE CONTROLE DE PRIORITE

La validation et la hiérarchisation des requêtes de transfert (TxRQs) sont faites dans le registre de contrôle de priorité. Les bits 4 à 6 ne sont pas utilisés.

Validation de requête (RE0-3), Bits 0-3. Les quatre canaux sont validés individuellement lorsque le bit respectif RE est mis à l'état haut. Un niveau bas sur l'un quelconque de ces bits invalide la reconnaissance de la requête de tranfert pour ce canal là. Le numéro de bit est égal au numéro de canal (c'est-à-dire bit 2 = canal # 2).

Contrôle de rotation, Bit 7. Le programme de service des priorités du DMAC est sélecté par ce bit de contrôle de rotation. A l'état bas, le mode fixe est sélecté. Le canal # 0 possède la priorité la plus élevée, le canal # 1 la priorité suivante et ainsi de suite dans le sens décroissant. Lorsque ce bit est à l'état haut, un sous-programme de rotation des priorités est utilisé. Ce sous-programme établit qu'initialement l'ordre est le même qu'en mode fixe. Mais lorsqu'un canal a été servi, il passe en priorité la plus basse et ceux qui étaient auparavant au-dessous de lui passent dans la priorité suivante la plus élevée.

Registre de contrôle d'interruption

Une interruption est provoquée lorsqu'un canal a terminé son transfert de bloc DMA. DEND (Registre de contrôle canal, bit 7) indique cette condition pour chaque canal. Les bits 4 à 6 ne sont pas utilisés.

Validation DEND/IRQ (DIE0-3) Bits 0-3. Chaque canal est séparément validé pour provoquer une interruption. Un niveau haut valide une interruption pour le canal, un niveau bas masque l'interruption. Le numéro de bit est égal au numéro de canal (c'est-à-dire bit 2 égal canal # 2).

Indicateur DEND/IRQ, Bit 7. Ce bit à lecture seule indique qu'une requête d'interruption IRQ est faite par le MPU lorsqu'il est à l'état haut. Si l'interruption est activée (DIE = "1") lorsque l'indicateur de fin de DMA du canal passe à l'état haut (Registre de contrôle canal, bit 7) le bit indicateur IRQ/DEND passe aussi à l'état haut. Il est mis à zéro par lecture du registre de contrôle canal par le MPU qui a provoqué l'interruption.

Registre chaînage de données

La lecture ou écriture répétitive d'un bloc mémoire peut être réalisée dans la fonction chaînage de données. Un transfert DMA ne peut pas être actif en canal # 3 pendant le chaînage de données. Les bits 4 à 7 ne sont pas utilisés.

Validation de chaînage de données, Bit 0. (DCE : Data chain enable). La fonction chaînage de données est validée quand ce bit est à l'état haut.

Sélection canal de chaînage de données A,B (DCA, DCB), Bits 1 et 2. Le canal mis à jour par chaînage de données est sélecté par les bits 1 et 2, en fonction de l'ordre indiqué au tableau 3.

TABLEAU 3 – SELECTION DE CANAL

DCB Bit 2	DCA Bit 1	Canal #
0	0	0
0	1	1
1	0	2
1	1	(interdit)

La fonction chaînage de données est réalisée par transfert du contenu des registres adresse et nombre d'octets du canal # 3 dans les registres respectifs du canal sélectionné par les bits 1 et 2. Ce transfert est fait pendant le cycle d'horloge DMA ϕ 2 après que le registre nombre d'octets a été décrémenté jusqu'à zéro.

Sélection de deux/quatre canaux (2/4), Bit 3. Le DMAC est configuré pour contrôler deux ou quatre canaux par le bit 3. Ce bit à l'état haut sélecte le mode 4 canaux. Dans ce mode, le signal $\overline{\text{CS}}$/TxAKB devient une sélection de boîtier en mode MPU et une reconnaissance de transfert B pour le mode DMA.

Le bit 3 à l'état bas sélecte le mode 2 canaux et la ligne $\overline{\text{CS}}$/TxAKB demeure toujours une sélection de boîtier dans les deux modes MPU et DMA.

TABLEAU 4 – EXEMPLE DE PROGRAMMATION DU DMAC

Registre	Adresse (Hex)	Contenu du registre							
		Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Contrôle Canal	1x*	Indicateur fin de DMA (DEND)	Indicateur occupé/libre	Non utilisé	Non utilisé	Adresse croissante/ décroissante	TSC/ Halt	Transfert bloc/vol de cycle	(R/$\overline{W}$) Lecture/ $\overline{\text{Ecriture}}$
Contrôle de priorité	14	Contrôle de rotation	Non utilisé	Non utilisé	Non utilisé	Validation de requête # 3 (RE3)	Validation de requête # 2 (RE2)	Validation de requête # 1 (RE1)	Validation de requête # 0 (RE0)
Contrôle d'interruption	15	Indicateur DEND/ IRQ	Non utilisé	Non utilisé	Non utilisé	DEND/IRQ valide # 3 (DIE3)	DEND/IRQ valide # 2 (DIE2)	DEND/IRQ valide # 1 (DIE1)	DEND/IRQ valide # 0 (DIE0)
Chaînage des données	16	Non utilisé	Non utilisé	Non utilisé	Non utilisé	Sélection deux/quatre canaux	Canal en chaînage de données Sélection B	Canal en chaînage de données Sélection A	Validation chaînage de données

* Le x représente l'équivalent binaire du canal désiré.

Registre de contrôle canal

DEND (Fin DMA) Bit 7 — est établi à la fin d'un transfert par bloc ; mis à zéro par lecture du registre de contrôle canal par le MPU.

Indicateur occupé/libre Bit 6 — bit d'état mis à 1 lors d'un transfert ; mis à zéro après fin de DMA.

Adresse croissante/décroissante Bit 3 — HAUT = décrémentation du registre adresse pour chaque octet ; BAS = incrémentation.

TSC/Halt Bit 2 — HAUT = sélection du mode TSC ; BAS = sélection des modes $\overline{\text{Halt}}$.

Vol/bloc Bit 1 — HAUT = sélection du mode transfert de bloc ; BAS = modes vol de cycle.

R/$\overline{W}$ Bit 0 — HAUT = lecture mémoire par le contrôleur de circuit ; BAS = écriture en mémoire.

Registre contrôle de priorité

Contrôle de rotation Bit 7 — HAUT = utilisation du sous-programme de priorité circulaire ; BAS = priorité fixée : 0, 1, 2, 3.

RE0-3 Bits 0-3 — HAUT = validation de requête de transfert pour le canal ; BAS = requête invalidée.

Registre contrôle d'interruption

Indicateur DEND IRQ Bit 7 — lorsqu'il est validé, cet indicateur est établi par les signaux fin de DMA dans les registres contrôle de canal ; mise à zéro par lecture du registre qui l'a fait s'établir à un.

DIE0-3 Bits 0-3 — HAUT = validation de requête d'interruption par le signal DEND pour le canal ; BAS = requête d'interruption masquée.

Registre chaînage de données

Deux/quatre canaux Bit 3 — HAUT = mode 4 canaux, BAS = 2 canaux.

Sélection de canal en chaînage de données Bits 2 et 1 — équivalent binaire du canal devant être mis à jour par chaînage de données.

Validation chaînage de données Bit 0 — HAUT = validation de la fonction chaînage de données ; BAS = invalidation.

La préparation d'un canal pour un transfert DMA nécessite :

1. Le chargement de l'adresse départ dans le registre adresse.
2. Le chargement du nombre d'octets dans le registre nombre d'octets.
3. La programmation du registre de contrôle canal pour les caractéristiques du transfert : direction (bit 0), mode (bits 1 et 2), et mise à jour d'adresse (bit 3).

Le canal est maintenant configuré. Pour valider la requête de transfert, mettre à un le bit approprié de validation (bits 0-3) du registre contrôle priorités, ainsi que le bit de contrôle de rotation.

Si une interruption sur fin de DMA (DMA end) est souhaitée, le bit de validation (bits 0-3) du registre contrôle d'interruption doit être mis à un.

Si le chaînage des données est nécessaire pour le canal, il est programmé dans le registre chaînage de données et les données appropriées doivent être écrites dans les registres d'adresse et nombre d'octets pour le canal # 3.

Une comparaison des temps de réponse et des vitesses de transfert maximum est montré au tableau 5. Les valeurs montrées correspondent à une vitesse d'horloge système de 1 MHz.

TABLEAU 5 — VITESSES DE TRANSFERT

Mode	Temps de réponse	Vitesse Maximum de Transfert (μ s/octet)
Transfert de bloc de données	3,5 – 15,5 *	1
Vol de cycle par Halt	3,5 – 15,5 *	5 – 15 *
Vol de cycle par TSC	2,5 – 3,5	4

* Ces valeurs sont fonction du cycle en cours d'exécution.

Les deux octets 8 bits qui constituent les registres du tableau 6 sont mis dans des emplacements mémoire consécutifs, facilitant ainsi l'utilisation du registre index du MPU pour leur programmation.

TABLEAU 6 — REGISTRES ADRESSE ET NOMBRE D'OCTETS

Registre	Canal	Adresse (Hex)
Adresse (poids fort)	0	0
Adresse (poids faible)	0	1
Nombre d'octets (poids fort)	0	2
Nombre d'octets (poids faible)	0	3
Adresse (poids fort)	1	4
Adresse (poids faible)	1	5
Nombre d'octets (poids fort)	1	6
Nombre d'octets (poids faible)	1	7
Adresse (poids fort)	2	8
Adresse (poids faible)	2	9
Nombre d'octets (poids fort)	2	A
Nombre d'octets (poids faible)	2	B
Adresse (poids fort)	3	C
Adresse (poids faible)	3	D
Nombre d'octets (poids fort)	3	E
Nombre d'octets (poids faible)	3	F

FIGURE 16 — UN CANAL

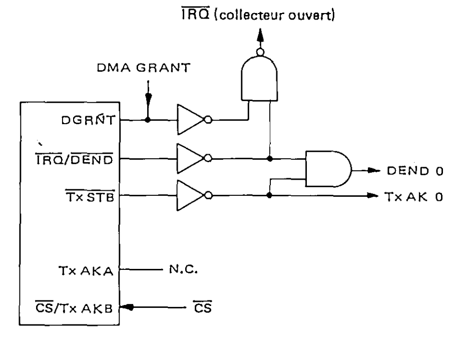


FIGURE 17 — DEUX CANAUX

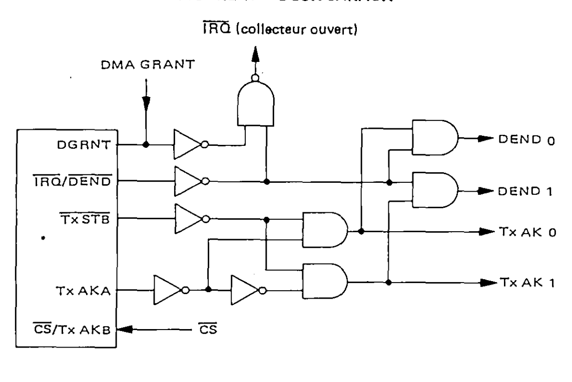
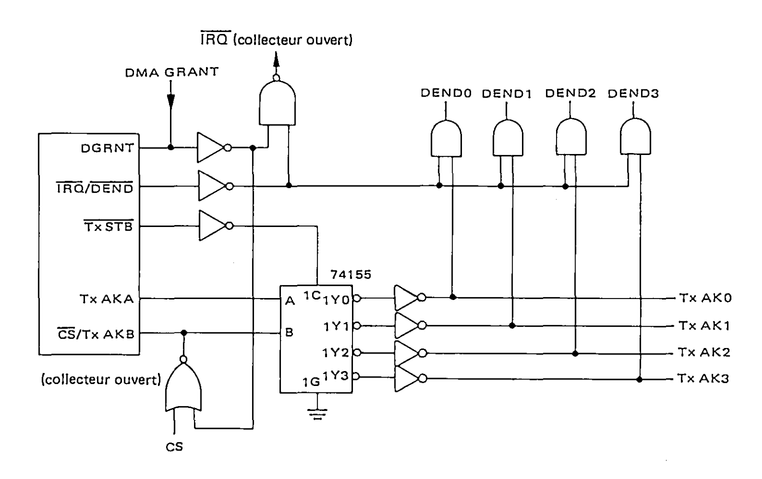


FIGURE 18 – QUATRE CANAUX



DESCRIPTION DU SYSTEME

La configuration matérielle du DMAC peut s'intégrer à un système à 1, 2, ou 4 canaux. Les figures 16 à 19 montrent ces configurations.

Si les contrôleurs de circuits périphériques n'utilisent pas le signal fin de DMA (DEND), les portes "ET" le générant ne sont pas nécessaires. Comme mentionné précédemment, la porte à collecteur ouvert sur $\overline{IRQ}$ sert à éviter les fausses interruptions à partir du signal DEND lorsque les interruptions sont invalidées. En mode 4 canaux, la porte $\overline{CS}$ doit être à collecteur ouvert de sorte que $\overline{CS}$/Tx AKB puisse devenir une sortie lors d'un cycle DMA.

La figure 19 montre une configuration typique utilisant le circuit EF6800. Les signaux du système sont indiqués en haut de la figure ; les signaux de contrôle DMAC sont montrés à droite. Le circuit EFF6875 est montré comme circuit d'horloge. Le rafraîchissement dynamique de la mémoire et le contrôle n'étant pas séparés dans le circuit EFF6875, il est nécessaire d'avoir la logique externe de priorité donnant la priorité la plus élevée au signal de requête de rafraîchissement (Refresh Request). Rafraîchissement et autorisation de DMA ne doivent pas survenir pendant le même cycle.

Lorsqu'un mode est utilisé dans le DMAC, le circuit EFF6875 n'a pas de contrôle sur l'autorisation de DMA. Pour éviter une lecture ou une écriture pendant un cycle de rafraîchissement, le signal d'horloge ϕ2 doit être conditionné avec le signal d'autorisation rafraîchissement (Refresh Grant).

Afin de pouvoir utiliser soit le mode vol de cycle par TSC, soit les modes par $\overline{\text{Halt}}$, DGRNT doit être la sortie "OU" du signal BA et du signal d'autorisation DMA (DMAGNT) du circuit d'horloge. Si un seul type est souhaité, seule la ligne correspondante est nécessaire. Le circuit EFF6875 commande l'allongement des horloges ϕ1 et ϕ2. Pour faire passer à l'état trois-états le bus adresses, le bus données et la ligne R/$\overline{W}$, le signal DMA GNT en provenance du circuit horloge doit aboutir à l'entrée TSC du circuit EF6800.

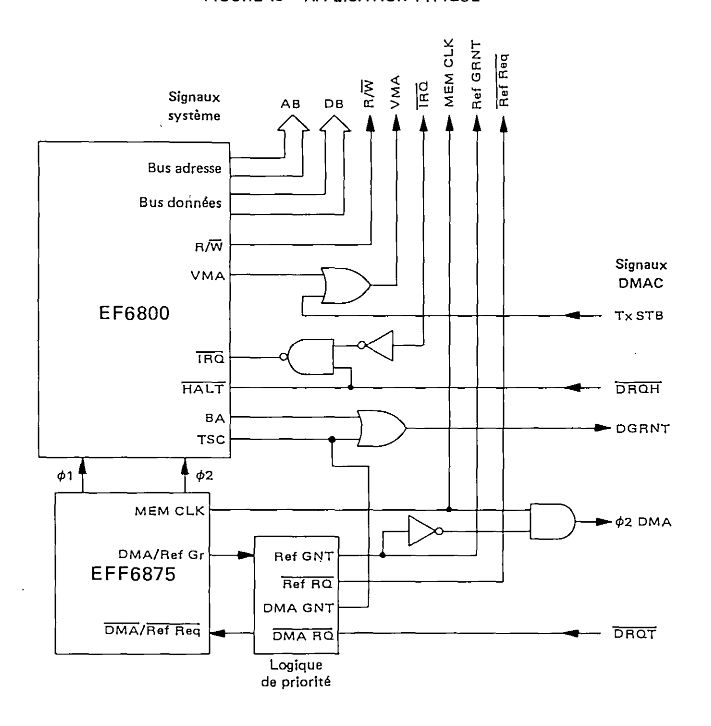
La ligne $\overline{DRQH}$ du DMAC est reliée directement à l'entrée $\overline{HALT}$ du MPU.

La figure 19 montre aussi que le signal $\overline{IRQ}$ du système est conditionné avec l'entrée $\overline{HALT}$ pour obtenir l'entrée $\overline{IRQ}$ du MPU. Ceci est nécessaire seulement si les modes de transfert par Halt du MPU sont utilisés et si l'instruction WAI est utilisée avec d'autres interruptions système. Si l'une quelconque de ces trois conditions n'est pas valide, le signal $\overline{IRQ}$ du système peut être directement connecté à l'entrée $\overline{IRQ}$ du MPU.

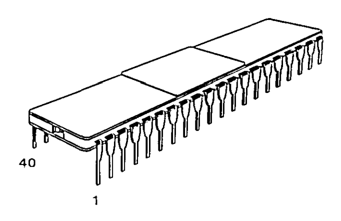
Pendant un cycle DMA, un signal VMA système doit être généré par le circuit DMAC. Ceci est fait par un "OU" du signal Tx STB et de la ligne VMA du MPU. Une autre méthode consisterait à mettre le signal VMA du MPU en trois-états par l'entrée de la ligne TSC, et à mettre la ligne Tx STB en trois-états par la ligne DGRNT.

Les explications ci-dessus concernant lignes et portes doivent permettre d'utiliser le DMAC dans n'importe quel système.

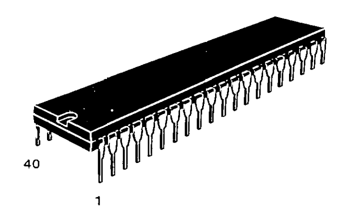
FIGURE 19 — APPLICATION TYPIQUE



BOITIER CB-182

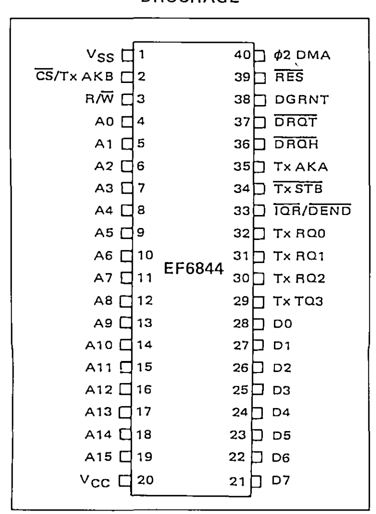


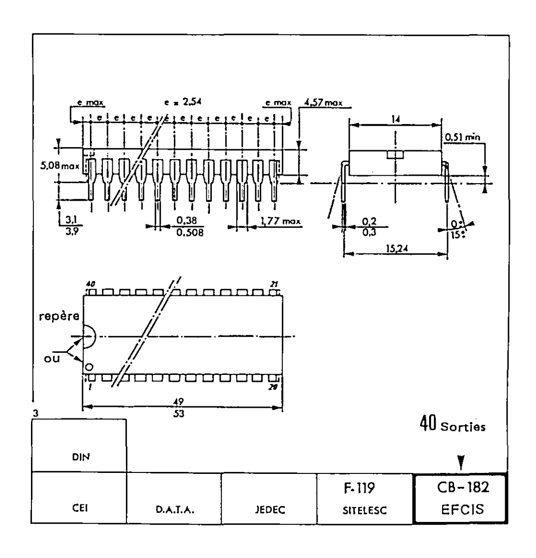
SUFFIXE C
BOITIER CERAMIQUE



SUFFIXE P
BOITIER PLASTIQUE

BROCHAGE





Ces spécifications peuvent changer sans préavis.
Consultez notre réseau de vente pour connaître la disponibilité des différentes versions de ce circuit.

EF6845

Ancienne appellation : SFF9 - 6845

SPECIFICATIONS PROVISOIRES

CONTROLEUR DE VISUALISATION (CRTC)

Le circuit EF6845 réalise l'interface pour des visualisations sur moniteur vidéo à balayage. Il est prévu pour être utilisé dans des systèmes à microprocesseurs pour des terminaux autonomes ou dans des configurations groupées.

Le contrôleur de visualisation CRTC est optimisé dans l'équilibre logiciel-matériel de façon à permettre une intégration de toutes les fonctions clés, et à conserver une souplesse d'emploi.

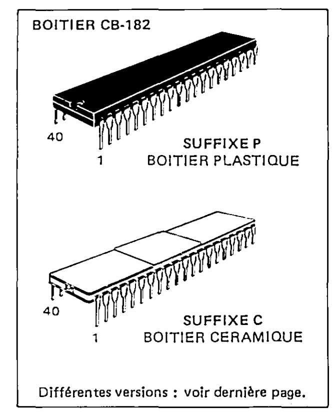
Par exemple, toutes les fonctions du clavier, de lecture/écriture, de mouvement du curseur et d'édition sont sous le contrôle du processeur ; alors que le CRTC fournit les signaux vidéo et les adresses des mémoires d'écran.

- Le domaine d'application comprend les "télétypes à visualisation", les terminaux de visualisation programmables ou intelligents, les jeux vidéo, la visualisation d'information.
- Possibilité de visualisation alphanumérique, semi-graphique ou graphique.
- Entièrement programmable par processeur (bus de données). Possibilité de générer presque tous les formats alphanumériques (par exemple 80 x 24, 72 x 64, 132 x 20, etc.).
- Alimentation unique + 5 V. Entrées/sorties compatibles TTL et famille 6800.
- Défilement du texte (par page, ligne ou caractère).
- Registre curseur et circuiterie de comparaison.
- Format et clignotement du curseur programmable.
- Registres light-pen.
- Directement connectable sur les bus. Pas de DMA nécessaire, les mémoires d'écran sont multiplexées entre le CRTC et le MPU.
- Balayage entrelacé ou non-entrelacé programmable.
- Bus d'adresses mémoire d'écran de 14 bits.

MOS

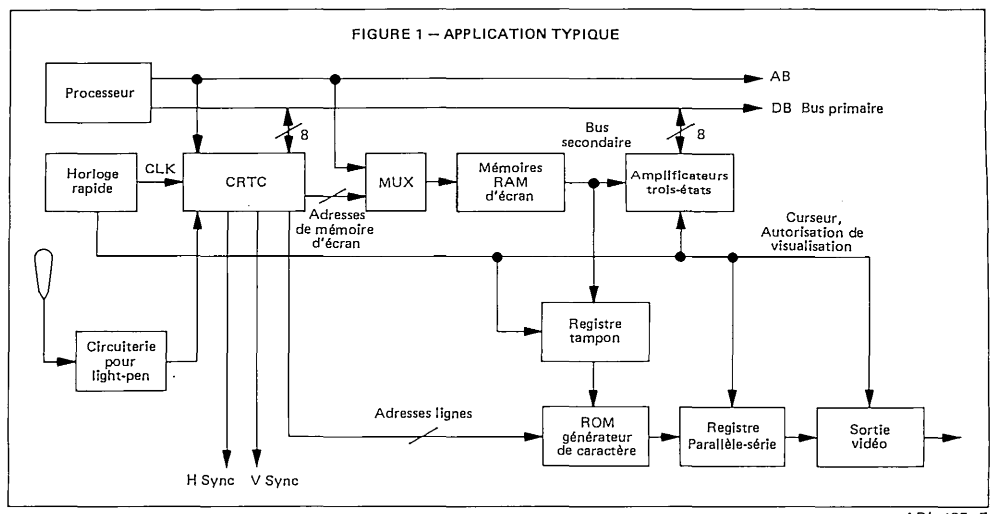
(Grille Silicium, Canal N)

CONTROLEUR DE VISUALISATION (CRTC)



Différentes versions : voir dernière page.

FIGURE 1 — APPLICATION TYPIQUE



EFCIS
45, av. de l'Europe
78140 VELIZY
FRANCE
Tel.: (1) 946 97 19
Telex : 698866F

DESCRIPTION DU SYSTEME

La première fonction du CRTC est de générer les adresses des mémoires d'écran (MA0 - MA13), la sélection des lignes (RA0 - RA4), la synchronisation du moniteur vidéo (HSYNC, VSYNC) et l'autorisation de visualisation (voir figure 1). Les autres fonctions comprennent : un registre curseur interne qui génère un curseur quand le contenu du registre est égal à l'adresse courante de la mémoire d'écran ; une entrée light-pen qui permet d'échantillonner l'adresse des mémoires d'écran dans un registre light-pen interne.

L'entrée horloge (Clk) commande tout le CRTC. Dans les terminaux alphanumériques, ce signal est la fréquence caractère. La fréquence caractère est issue de la fréquence vidéo par une horloge externe rapide lorsque la fréquence vidéo est supérieure à 3 MHz. Le registre parallèle-série, le registre tampon et le multiplexeur sont aussi commandés par l'horloge externe rapide.

Le processeur communique avec le CRTC par un bus de données 8 bits par lecture ou écriture dans 18 registres internes au CRTC.

Les adresses mémoire d'écran sont multiplexées entre le processeur et le CRTC. Les données apparaissent sur le bus secondaire qui est tamponné à partir du bus primaire du processeur.

Plusieurs approches sont possibles pour résoudre les priorités d'adressage de la mémoire d'écran :

1. Le processeur est toujours prioritaire.
2. Le processeur est en accès prioritaire tout le temps, mais doit être synchronisé par une interruption pour effectuer les accès uniquement pendant les périodes de retour horizontal et vertical.
3. Le processeur est synchronisé par des cycles d'attente mémoire.
4. Le processeur est synchronisé par la fréquence caractère (voir figure 2). La famille 6800 se prête à cette configuration car elle a des cycles d'horloge de longueur constante. Cette méthode n'alourdit pas le travail du processeur car il n'y a pas de conflit d'accès mémoire. Tous les accès sont "transparents".

La conception du bus de données secondaire n'est en aucun cas un obstacle pour l'utilisation des mémoires d'écran à d'autres usages. Elles sont vues du processeur comme n'importe quelles autres RAM. Par exemple en utilisant l'approche 4, une mémoire RAM de 64 K octets (mots de 8 bits) peut effectuer indépendamment les fonctions de stockage de programme et de rafraîchissement.

VALEURS LIMITES

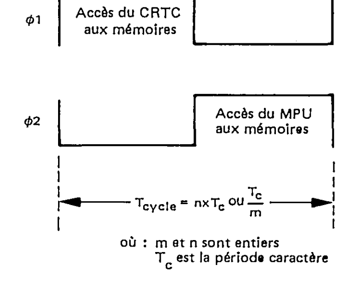
Paramètres	Symboles	Valeurs	Unités
Tension d'alimentation	V_{CC}*	-0.3 à +7.0	V
Tension d'entrée	V_{in}*	-0.3 à +7.0	V
Température de fonctionnement	T_A	0 à +70	°C
Température de stockage	T_{stg}	-55 à +150	°C

* Par rapport à V_{SS} (Masse)

CONDITIONS DE FONCTIONNEMENT RECOMMANDEES

Caractéristiques	Symboles	Min	Typ	Max	Unités
Tension d'alimentation	V_{CC}	4.75	5.0	5.25	V
Tension d'entrée à l'état bas	V_{IL}	-0.3	–	0.8	V
Tension d'entrée à l'état haut	V_{IH}	2.0	–	V_{CC}	V

FIGURE 2 – DIAGRAMME DES TEMPS POUR UNE CONFIGURATION MÉMOIRE D'ÉCRAN INDÉPENDANTE UTILISANT UN MPU DE LA FAMILLE 6800.



CARACTERISTIQUES ELECTRIQUES ($V_{CC} = 5$ V ±5%, $V_{SS} = 0$, $T_A = 0$ à 70°C sauf spécifications contraires)

Paramètres		Symboles	Min	Typ	Max	Unités
Tension d'entrée à l'état haut		V_{IH}	2.0	–	V_{CC}	V
Tension d'entrée à l'état bas		V_{IL}	-0.3	–	0.8	V
Courant de fuite d'entrée		I_{in}	–	1.0	2.5	µA
Courant trois-états (V_{CC}=5,25 V) (V_{in} =0,4 à 2,4 V)		I_{TSI}	-10	2.0	10	µA
Niveau haut de sortie		V_{OH}				V
(I_{charge}= – 205 µA)	D0-D7		2.4	–	–	
(I_{charge}= – 100 µA)	Autres sorties		2.4	–	–	
Niveau bas de sortie (I_{charge}= 1,6 mA)		V_{OL}	–	–	0.4	V
Puissance dissipée		P_D	–	600	–	mW
Capacité d'entrée		C_{in}				pF
	D0-D7		–	–	12.5	
	Toutes les autres		–	–	10	
Capacité de sortie		C_{out}	–	–	10	pF
Largeur minimum de l'impulsion d'horloge (Etat bas) (Clk)		PW_{CL}	160	–	–	ns
Largeur minimum de l'impulsion d'horloge (Etat haut)		PW_{CH}	200	–	–	ns
Fréquence d'horloge		f_c	–	–	2.5	MHz
Temps de transition pour l'entrée d'horloge		t_{cr}, t_{cf}	–	–	20	ns
Temps d'accès aux mémoires		t_{MAD}	–	–	160	ns
Temps d'accès aux adresses lignes		t_{RAD}	–	–	160	ns
Temps d'accès de l'autorisation de visualisation		t_{DTD}	–	–	300	ns
Temps d'accès pour la synchro horizontale		t_{HSD}	–	–	300	ns
Temps d'accès pour la synchro verticale		t_{VSD}	–	–	300	ns
Temps d'accès pour la visualisation curseur		t_{CDD}	–	–	300	ns
Largeur minimum de l'impulsion d'échantillonnage light-pen		PW_{LPH}	100	–	–	ns
Durée de non-validation de l'impulsion light-pen		t_{LPD1}	–	–	120	ns
		t_{LPD2}	–	–	0	ns

Note : L'impulsion light-pen doit passer à l'état bas avant le front montant de VSYNC.

BUS DE DONNEES – CARACTERISTIQUES DYNAMIQUES (Voir figure 5)

Paramètres	Symboles	Min	Max	Unités
LECTURE / ECRITURE				
Temps de cycle pour l'entrée horloge MPU (Enable)	t_{cycE}	1.0	–	µs
Largeur de l'impulsion horloge (Etat haut)	PW_{EH}	0.45	25	µs
Largeur de l'impulsion horloge (Etat bas)	PW_{EL}	0.43	–	µs
De la validation de $\overline{CS}$ et RS à la transition positive sur l'horloge	t_{AS}	160	–	ns
De l'horloge (E) aux données valides (en lecture)	t_{DDR}	–	320	ns
Temps de maintien des données (Lecture) (Ecriture)	t_H	10 10	– –	ns
Temps de maintien de l'adresse	t_{AH}	10	–	ns
Temps de transition pour l'entrée horloge	t_{Er}, t_{Ef}	–	25	ns
Temps de préétablissement des données (Ecriture)	t_{DSW}	195	–	ns
Temps d'accès aux données (Lecture)	t_{ACC}	–	480	ns

FIGURE 3 — DIAGRAMME DES TEMPS (VISUALISATION)

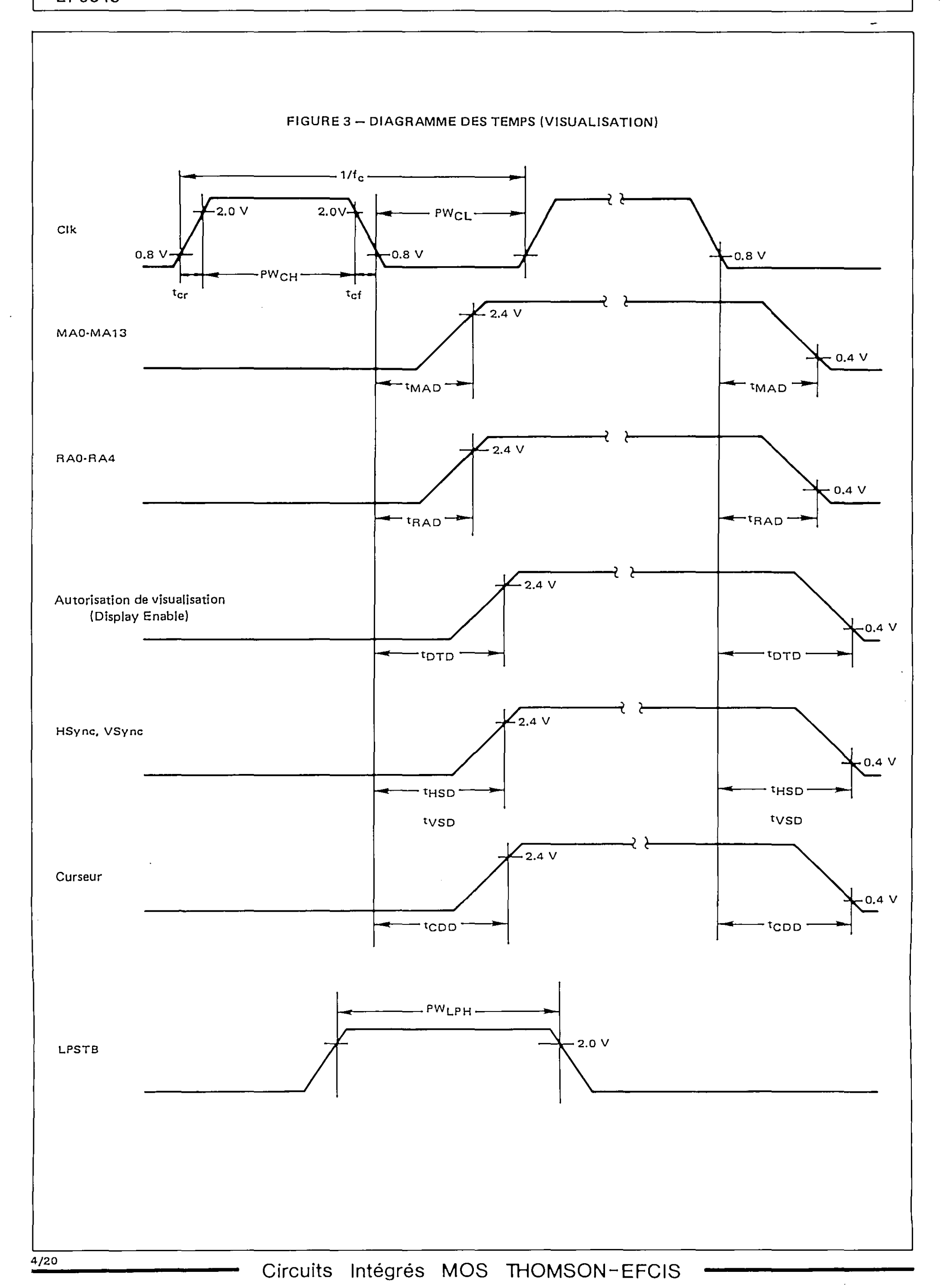




FIGURE 4 — RELATION ENTRE LPSTB ET LES ADRESSES MEMOIRE D'ECRAN

Clk — 0.8 V — 0.8 V

MA0-MA13 — M — M+1 — M+2

LPSTB — 0.8 V

LPSTB — 2.0 V

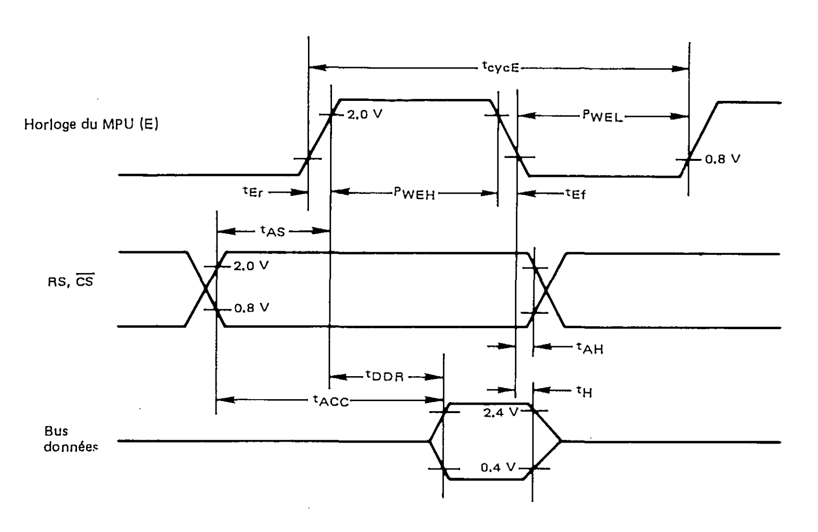
t_{LPD2} t_{LPD1}

Quand le CRTC détecte le front montant de LPSTB dans cette période, le CRTC mémorise l'adresse mémoire "M+ 2" dans le registre LIGHT-PEN.

t_{LPD1}, t_{LPD2} : Périodes d'adresses mémoire non valides.

FIGURE 5 – DIAGRAMME DES TEMPS (BUS DE DONNEES)

5a – Lecture des données venant du CRTC



5b – Ecriture des données dans le CRTC

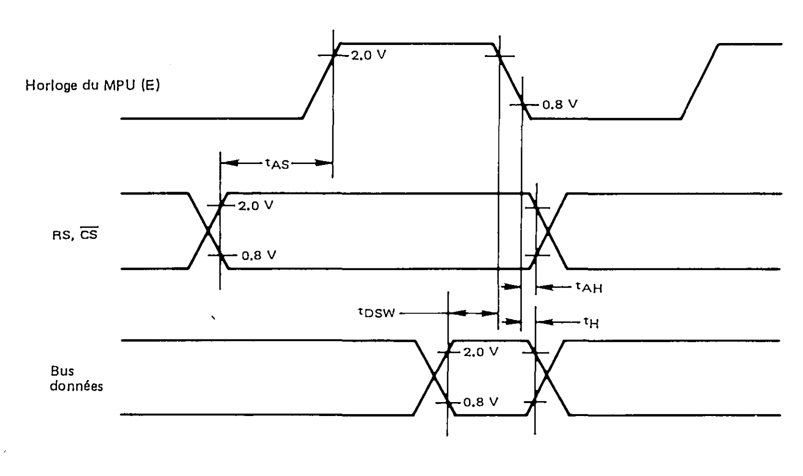


FIGURE 6 — CHARGE DE TEST POUR LE BUS DE DONNEES

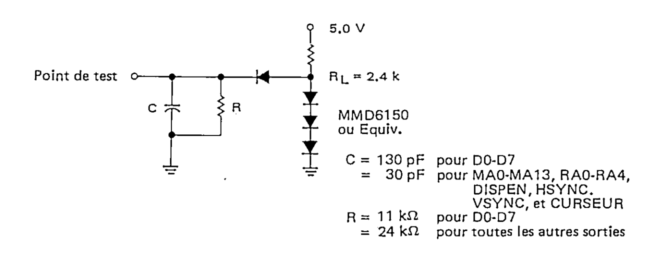
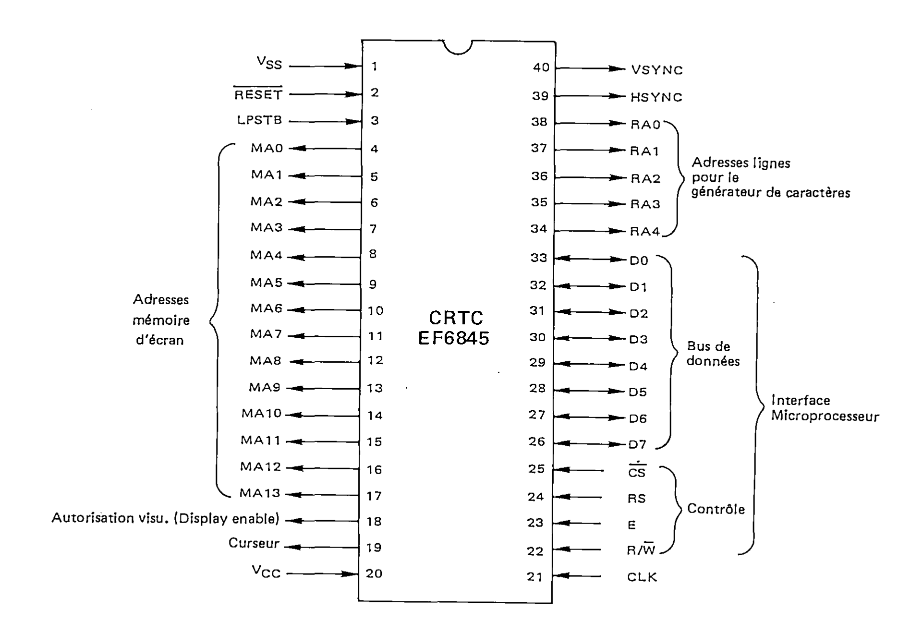


FIGURE 7 — BROCHAGE



DESCRIPTION DES BROCHES

INTERFACE AVEC LE PROCESSEUR

Le CRTC s'interface sur le bus d'un processeur par le bus de données bidirectionnelles (D0 - D7) et en utilisant les signaux de contrôle $\overline{CS}$, RS, E et R/$\overline{W}$.

Bus de données (D0 - D7) — Les lignes de données bidirectionnelles (D0 - D7) permettent le transfert des données entre les registres internes du CRTC et le processeur. Les sorties du bus de données sont des sorties 3 états qui restent dans l'état haute-impédance sauf quand le processeur effectue une lecture du CRTC. Un niveau haut sur une broche de donnée est un état logique "1".

Horloge (E) — Le signal horloge (E) est une entrée haute impédance compatible TTL/MOS qui valide les amplificateurs d'entrées-sorties du bus de données et échantillonne les données allant et venant du CRTC. Ce signal est généralement issu de l'horloge du processeur, le front actif est la transition niveau haut - niveau bas.

Sélection de boîtier ($\overline{CS}$) — La ligne $\overline{CS}$ est une entrée haute-impédance compatible TTL/MOS qui sélectionne le CRTC quand elle est au niveau bas pour lire ou écrire dans les registres internes. Ce signal doit être actif seulement quand une adresse valide et stable du processeur a été décodée.

Sélection des registres (RS) — La ligne RS est une entrée haute-impédance compatible TTL/MOS qui sélectionne soit le registre d'adresses (RS = 0), soit un des registres de données internes (RS = 1).

Lecture/Ecriture (R/$\overline{W}$) — La ligne R/$\overline{W}$ est une entrée haute-impédance compatible TTL/MOS qui détermine si les registres internes seront lus ou écrits. Une écriture est activée à l'état bas "0".

CONTROLE DE VISUALISATION

Le CRTC fournit les signaux de synchronisation horizontale (HS), verticale (VS) et d'autorisation de la visualisation.

Synchronisation verticale (VSYNC) — Cette sortie compatible TTL est un signal (actif à l'état haut) qui commande directement un moniteur vidéo ou une logique de génération d'un signal vidéo composite. Ce signal détermine la position verticale du texte visualisé.

Synchronisation horizontale (HSYNC) — Cette sortie compatible TTL est un signal (actif à l'état haut) qui commande directement un moniteur vidéo ou une logique de génération d'un signal vidéo composite. Ce signal détermine la position horizontale du texte visualisé.

Autorisation de la visualisation (Display Enable) — Cette sortie compatible TTL est un signal (actif à l'état haut) qui indique que le CRTC assure un adressage dans l'espace actif de visualisation.

ADRESSAGE DE LA MEMOIRE D'ECRAN ET DU GENERATEUR DE CARACTERES

Le CRTC fournit les adresses mémoires (MA0 - MA13) pour balayer les mémoires RAM d'écran. Il fournit aussi les adresses lignes RA0 - RA4 pour le générateur de caractères (mémoire ROM).

Adresses mémoires d'écran (MA0 - MA13) — Ces 14 sorties sont utilisées pour rafraîchir l'image sur l'écran avec des pages de données mémorisées dans un espace mémoire de 16 K octets. Ces sorties commandent une charge TTL et 30 pF. Un niveau haut sur MAO - MA13 est un état logique "1".

Adresses lignes (RA0 - RA4) — Ces 5 sorties venant du compteur de lignes internes adressent la mémoire ROM générateur de caractères pour chaque ligne du caractère. Ces sorties commandent une charge TTL et 30 pF. Un niveau haut sur RA0 - RA4 est un état logique "1".

AUTRES BROCHES

Curseur — Cette sortie compatible TTL commande une visualisation du curseur à la logique externe de génération du signal vidéo. Ce signal est actif à l'état haut.

Horloge (CLK) — L'entrée horloge CLK compatible TTL/MOS est utilisée pour synchroniser tous les signaux de contrôle de visualisation. Un compteur-diviseur externe est utilisé pour obtenir ce signal qui est généralement la fréquence caractère dans un contrôleur de visualisation alphanumérique. Le front descendant est actif.

Echantillonnage du light-pen (LPSTR) — Cette entrée haute-impédance compatible TTL/MOS échantillonne l'adresse courante de visualisation dans le registre light-pen. L'échantillonnage a lieu sur le front montant et est synchronisé intérieurement par l'horloge caractère (CLK).

$\overline{RES}$ — L'entrée $\overline{RES}$ est utilisée pour initialiser le CRTC. Un niveau bas sur l'entrée $\overline{RES}$ force le CRTC dans l'état suivant :

(A) Tous les compteurs internes du CRTC sont mis à zéro et le circuit arrête la visualisation.
(B) Toutes les sorties passent à l'état bas.
(C) Les registres de contrôle du CRTC ne sont pas affectés et restent inchangés.

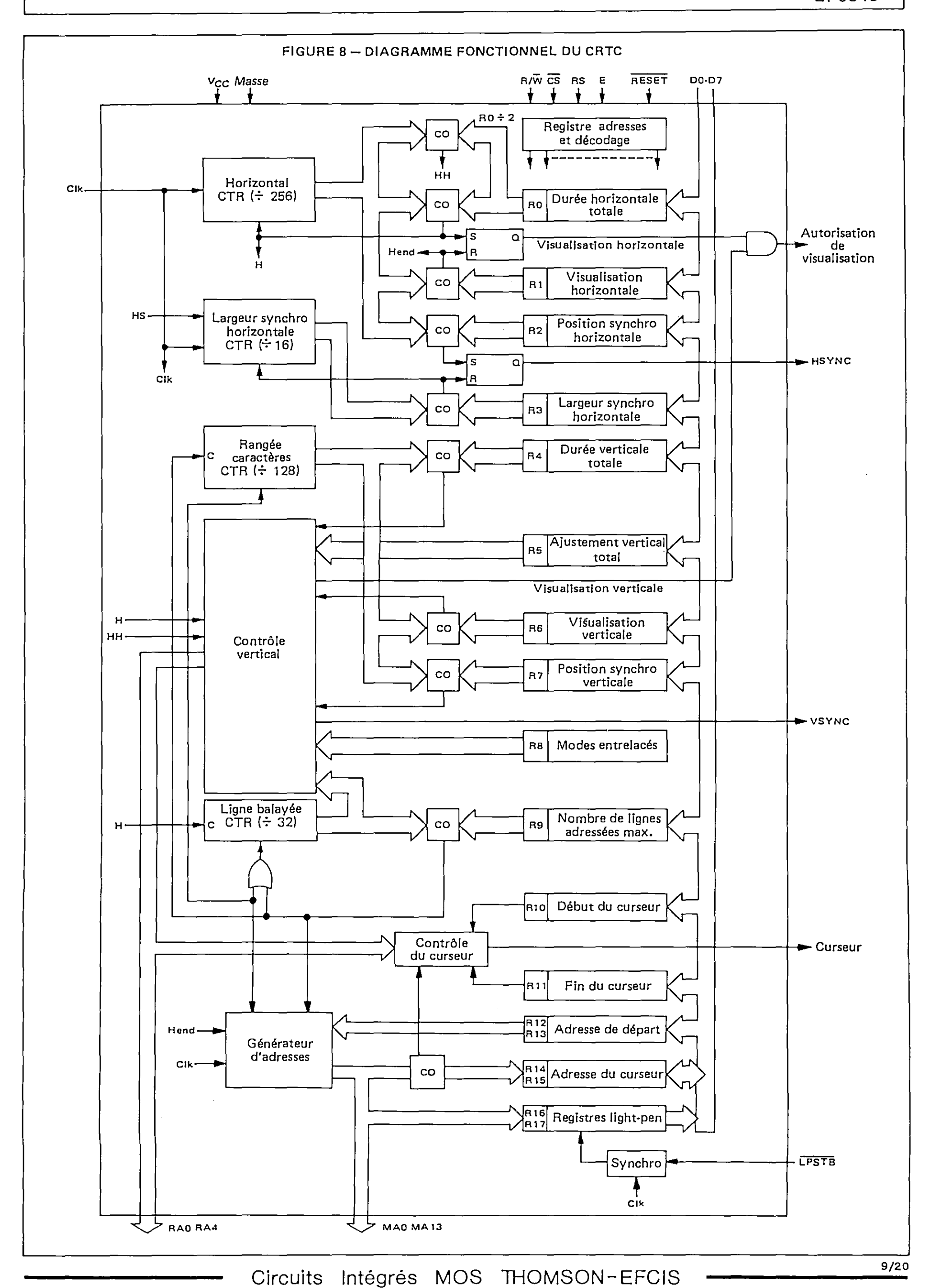
Ce signal est différent des autres signaux de réinitialisation (RESET) de la famille 6800 dans les fonctions suivantes :

(A) $\overline{RES}$ a une fonction de réinitialisation seulement quand LPSTB est à un niveau bas.
(B) Après que $\overline{RES}$ soit passé à l'état bas, les signaux de sortie MA0 - MA13 et RA0 - RA4, synchronisés avec CLK (niveau bas), passent à l'état bas (moins d'un cycle de CLK est nécessaire pour une initialisation).
(C) Le CRTC démarre une opération de visualisation juste après la fin du signal $\overline{RES}$.

TABLEAU 1 — Modes de fonctionnement du CRTC

$\overline{RES}$	LPSTB	Mode de fonctionnement
0	0	Initialisation
0	1	Test
1	0	Fonctionnement normal
1	1	Fonctionnement normal

FIGURE 8 — DIAGRAMME FONCTIONNEL DU CRTC



DESCRIPTION DU CRTC
(Figure 8 : Diagramme fonctionnel)

Le CRTC se compose de générateurs de temps horizontaux et verticaux programmables, de registres d'adresses programmables, d'une logique du curseur programmable, d'un registre d'échantillonnage du light-pen et d'une logique de contrôle pour l'interface avec le bus d'un processeur.

Tous les temps du CRTC sont issus de l'horloge CLK, généralement la sortie d'un compteur externe de la fréquence point. Les contenus des compteurs et les contenus des registres (R0 - R17) sont continuellement comparés dans des circuits de coïncidence (CO). Pour la génération des temps horizontaux, les comparaisons ont lieu sur : 1) La fréquence, position et largeur de l'impulsion de synchro horizontale (HS) programmées dans les registres, 2) La fréquence, la position et la durée du signal de visualisation horizontale programmées dans les registres.

Le compteur horizontal produit une horloge (H) qui commande le compteur de lignes balayées et le contrôle vertical. Le contenu du compteur de lignes et le registre nombre de lignes adressées maximum sont continuellement comparés. Une égalité remet à zéro le compteur de lignes et incrémente le compteur vertical.

Pour les compteurs verticaux et les registres verticaux, les comparaisons ont lieu sur : 1) La fréquence et la position de l'impulsion de synchro verticale (VS) déterminées par les registres (la largeur est fixée à 16 lignes balayées et n'est pas programmable), 2) La fréquence et la position de la visualisation verticale déterminées par les registres.

La logique de contrôle vertical a d'autres fonctions.

1. La génération des adresses lignes des rangées de caractères (RA0 - RA4), à partir du compteur de lignes pour les modes entrelacés ou non.
2. Etendre le nombre de lignes balayées du registre vertical total en ajoutant le nombre programmé dans le registre ajustement vertical total.

Le générateur d'adresses est commandé par l'horloge CLK et localise les positions relatives des caractères en mémoire avec leurs positions sur l'écran. Quatorze lignes (MA0 - MA13) sont disponibles pour adresser jusqu'à 4 pages de 4 K caractères, 8 pages de 2 K caractères, etc. En utilisant le registre départ d'adresse, un balayage physique à travers les 16 K caractères est possible. Le générateur d'adresses répète la même séquence d'adresses pour chaque ligne balayée dans une rangée de caractères.

La logique du curseur détermine la position, la taille et la fréquence de clignotement du curseur sur l'écran. Tout cela est programmable.

Un front montant sur l'entrée light-pen échantillonne le contenu du compteur adresse dans le registre light-pen. Le contenu du registre light-pen est lu plus tard par le processeur.

Les registres internes du CRTC sont programmables par le bus de données et les signaux de contrôle R/$\overline{W}$, $\overline{CS}$, RS et E.

FIGURE 9 — ILLUSTRATION DU FORMAT DE L'ECRAN DU CRTC

DESCRIPTION DES REGISTRES
(Voir tableau 2)

Dans le CRTC, 19 registres sont accessibles à partir du bus de données. L'adresse et la largeur de chaque registre sont données dans le tableau 2.

REGISTRE D'ADRESSES

Le registre d'adresses est un registre de 5 bits à écriture seule, utilisé comme registre pointeur. Il contient l'adresse de l'un des 18 autres registres. Quand RS et $\overline{CS}$ sont à l'état bas, le registre d'adresses lui-même est adressé. Quand RS est haut, un des 18 registres est adressé.

REGISTRES HORIZONTAUX (R0, R1, R2 et R3)

La figure 9 montre l'espace visualisable dans un moniteur vidéo en donnant comme point de référence pour les registres horizontaux la position la plus à gauche du caractère visualisé. Les registres horizontaux sont programmés en "périodes de caractères" par rapport à la référence.

Registre horizontal total (R0) — Ce registre de 8 bits à écriture seule détermine la fréquence horizontale de la synchronisation. C'est la somme des périodes caractères visualisés et non-visualisés moins une.

Registre visualisation horizontale (R1) — Ce registre de 8 bits à écriture seule détermine le nombre de caractères visualisés par ligne.

Registre position synchronisation horizontale (R2) — Ce registre de 8 bits à écriture seule détermine la position de la synchronisation horizontale.

Registre largeur synchronisation horizontale (R3) — Ce registre de 4 bits à écriture seule détermine la largeur de l'impulsion de synchronisation horizontale. Il n'est peut-être pas évident que cette largeur doive être programmée. Cependant, on doit considérer que toutes les durées peuvent être programmées comme des multiples de la période de l'horloge qui varie. Si la largeur de la synchro horizontale était fixée comme un nombre entier de périodes caractères, elle varierait en fonction de la fréquence caractère et serait hors tolérance pour certains moniteurs. Cette caractéristique permet de compenser la largeur de la synchro horizontale.

REGISTRES VERTICAUX (R4, R5, R6, R7, R8, R9)

Le point de référence pour les registres verticaux est le sommet de la visualisation des caractères. Les registres verticaux sont programmés en nombre de rangées de caractères ou de lignes balayées.

Registres vertical total (R4) et ajustement vertical total (R5) — La fréquence verticale de la synchro verticale est déterminée par R4 et R5. Pour obtenir exactement une fréquence de rafraîchissement vertical de 50 ou 60 Hz, le calcul donne généralement un nombre entier de rangées de caractères plus une fraction. Le nombre entier de rangées de caractères moins un est programmé dans le registre vertical total de 7 bits à écriture seule. La fraction est programmée dans le registre ajustement vertical de 5 bits à écriture seule comme un nombre entier de lignes balayées.

Registre visualisation verticale (R6) — Ce registre de 7 bits à écriture seule détermine le nombre de rangées de caractères visualisés sur l'écran, et il est programmé en nombre de rangées de caractères.

TABLEAU 2 — AFFECTATION DES REGISTRES INTERNES

$\overline{CS}$	RS	Adresse du registre					Registre #	Nom des registres	Unité de programm.	Lecture	Ecriture	Nombre de bits							
		4	3	2	1	0						7	6	5	4	3	2	1	0
1	X	X	X	X	X	X	X	—	—	—	—								
0	0	X	X	X	X	X	X	Registre d'adresses	—	Non	Oui								
0	1	0	0	0	0	0	R0	Horizontal total	Caractères	Non	Oui								
0	1	0	0	0	0	1	R1	Visualisation H.	Caractères	Non	Oui								
0	1	0	0	0	1	0	R2	Position synchro H.	Caractères	Non	Oui								
0	1	0	0	0	1	1	R3	Largeur synchro H.	Caractères	Non	Oui								
0	1	0	0	1	0	0	R4	Vertical total	Rangées car.	Non	Oui								
0	1	0	0	1	0	1	R5	Ajustement vertical	Lignes bal.	Non	Oui								
0	1	0	0	1	1	0	R6	Visualisation verticale	Rangées car.	Non	Oui								
0	1	0	0	1	1	1	R7	Position synchro vert.	Rangées car.	Non	Oui								
0	1	0	1	0	0	0	R8	Modes entrelacés	—	Non	Oui								
0	1	0	1	0	0	1	R9	Lignes adressées max.	Lignes bal.	Non	Oui								
0	1	0	1	0	1	0	R10	Début du curseur	Lignes bal.	Non	Oui		B	P				(Note 1)	
0	1	0	1	0	1	1	R11	Fin du curseur	Lignes bal.	Non	Oui								
0	1	0	1	1	0	0	R12	Adresse de départ (fort)*	—	Non	Oui								
0	1	0	1	1	0	1	R13	Adresse de départ (faible)*	—	Non	Oui								
0	1	0	1	1	1	0	R14	Curseur (fort)*	—	Oui	Oui								
0	1	0	1	1	1	1	R15	Curseur (faible)*	—	Oui	Oui								
0	1	1	0	0	0	0	R16	Light-pen (fort)*	—	Oui	Non								
0	1	1	0	0	0	1	R17	Light-pen (faible)*	—	Oui	Non								

Note (1) - Le bit 5 du registre départ du curseur est utilisé pour la période de clignotement et le bit 6 est utilisé pour sélectionner le clignotement ou non.

* : fort : octet de poids fort
  faible : octet de poids faible

Registre position synchronisation verticale (R7) — Ce registre de 7 bits à écriture seule détermine la position de la synchro verticale par rapport à la référence. Il est programmé en nombre de rangées de caractères.

Registre modes entrelacés (R8) — Ce registre de 2 bits à écriture seule contrôle le mode de balayage de l'écran (voir figure 11). Quand les bits 0 et 1 sont à l'état logique "0" ou bien que $b_0 = 0$ et $b_1 = 1$, le mode balayage non-entrelacé est sélecté. Deux modes entrelacés sont disponibles. Quand $b_0 = 1$, et $b_1 = 0$, le mode synchronisation entrelacée est sélecté. Quand $b_0 = 1$ et $b_1 = 1$, le mode synchro et vidéo entrelacées est sélecté.

Registre lignes adressées maximum (R9) — Ce registre de 5 bits à écriture seule détermine le nombre de lignes balayées par rangée de caractères en incluant les espaces. La valeur programmée est l'adresse maximum et elle est inférieure de 1 au nombre de lignes balayées.

AUTRES REGISTRES

Registre début du curseur (R10) — Ce registre de 7 bits à écriture seule contrôle le format du curseur (voir figure 10). Le bit 5 commande le clignotement du curseur. Quand $b_5=0$, la fréquence de clignotement est le 1/16 de la fréquence verticale (trame) et quand $b_5=1$, la fréquence de clignotement est le 1/32 de la fréquence verticale. Le bit 6 est utilisé pour autoriser le clignotement. La ligne de début du curseur est donnée par les 5 bits de poids faibles.

Registre fin du curseur (R11) — Ce registre de 5 bits à écriture seule donne la ligne de fin du curseur.

Registre adresse de départ (R12-R13) — Ce registre de 14 bits à écriture seule détermine la première adresse de visualisation qui sera rafraîchie sur l'écran. Ce registre est formé d'un registre des 8 bits de poids faible et d'un registre des 6 bits de poids fort.

Registre curseur (R14 - R15) — Ce registre de 14 bits à lecture/écriture mémorise l'adresse de visualisation du curseur. Ce registre est formé d'un registre des 8 bits de poids faibles et d'un registre des 6 bits de poids forts.

Registre light-pen (R16 - R17) — Ce registre de 14 bits à lecture seulement est utilisé pour mémoriser le contenu de l'adresse courante quand l'entrée LPSTB passe à l'état haut. Ce registre est formé d'un registre des 8 bits de poids faibles et d'un registre des 6 bits de poids forts.

CURSEUR

Les registres de début et de fin du curseur permettent l'utilisation d'un curseur pouvant aller jusqu'à 32 lignes de haut, que l'on peut placer sur n'importe quelle ligne de la rangée de caractères (voir figure 10). En utilisant les bits 5 et 6 du registre début du curseur, le curseur est programmé avec une période de clignotement de 16 ou 32 fois la période trame. Le curseur peut aussi être non-clignotant ou non-visualisé. Quand on désire un clignotement externe des caractères, il est nécessaire de créer extérieurement le clignotement du curseur de telle sorte que les fréquences de clignotement soient synchrones. Il est à noter qu'un curseur par inversion de la vidéo est facilement obtenu en programmant le CRTC pour un curseur clignotant et en inversant le signal vidéo extérieurement avec un OU-exclusif.

Le curseur est positionné en changeant le contenu des registres R14 et R15. Le curseur peut être placé à n'importe quelle position des 16 K d'adresses, ce qui facilite la pagination et le défilement du texte sur l'écran sans perte de la position de départ du curseur.

MODES DE VISUALISATION ENTRELACEE / NON-ENTRELACEE

Les 3 modes de balayage de l'écran sont montrés figure 11. Le mode de synchronisation normale est non-entrelacé. Dans ce mode, chaque ligne balayée est rafraîchie à la période trame (50 ou 60 Hz). Dans les modes entrelacés, l'image est divisée en deux trames paire et impaire alternées. Les rapports entre les temps verticaux et horizontaux résultent du décalage des lignes balayées dans la trame impaire par rapport à la trame paire. Quand la même information est visualisée dans les 2 trames, c'est le mode synchronisation entrelacée ; c'est le mode utilisé généralement pour améliorer la lisibilité d'un caractère. Quand les lignes paires d'un caractère sont visualisées dans la trame paire et les lignes impaires dans la trame impaire, le mode est appelé synchro et vidéo entrelacées. Ce dernier mode double effectivement la densité des caractères dans un moniteur vidéo pour une bande passante donnée. L'inconvénient de ces modes entrelacés est un effet de scintillement apparent, qui peut être réduit par une conception soignée du moniteur vidéo.

Il y a des restrictions sur la programmation des registres du CRTC pour les modes entrelacés :

1) Le nombre total des périodes caractères horizontales programmé (N_{ht}) doit être impair (un nombre pair de périodes caractères par ligne).
2) Pour le mode synchro et vidéo entrelacées seulement, le nombre de lignes adressées maximum, N_{sl}, doit être impair (un nombre pair de lignes adressées par caractère).
3) Pour le mode synchro et vidéo entrelacées seulement, le nombre de rangées de caractères visualisés en vertical doit être pair. Le nombre programmé (dans R6), N_{vd}, doit être la "moitié" du nombre réel nécessaire.
4) Pour le mode synchro et vidéo entrelacées seulement, les contenus des registres départ et fin du curseur (R10 - R11) doivent être tous les deux pairs ou tous les deux impairs.

LIGHT-PEN

Le contenu du compteur d'adresses de visualisation est échantillonné dans les registres light-pen (R16 - R17) sur la transition négative de l'horloge CLK suivant le passage au niveau haut de LPSTB.

Dans la plupart des systèmes le signal light-pen peut aussi provoquer une routine d'interruption du processeur pour lire R16/R17. Les light-pen avec un temps de réponse lent nécessitent une modification logicielle de l'adresse échantillonnée en R16 - R17.

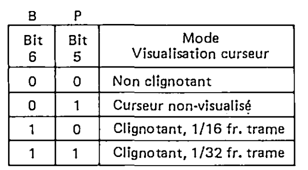
NOTES SUR LA PROGRAMMATION

Initialisation — Les registres R0 à R15 doivent être initialisés après la mise sous tension. Normalement, le processeur charge les registres du CRTC séquentiellement à partir d'une table préétablie. Par la suite, R0 à R11 ne sont pas modifiés dans la plupart des systèmes. Le programme pour un EF6800 du tableau 3 et de la figure 12 montre une application typique de l'initialisation du CRTC.

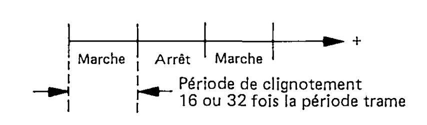
Défilement du texte — Le contenu des registres R12-R13 détermine quelle est l'adresse mémoire qui donnera le premier caractère visualisé sur l'écran. Comme le compteur d'adresses s'incrémente à partir de cette adresse, la partie visualisée sur l'écran sera une fenêtre de n'importe quelle suite de caractères dans un espace de 16 K octets de la mémoire. En centrant R12 - R13 au milieu de l'espace mémoire disponible, un défilement vers le haut ou vers le bas est possible par ligne, par page ou par caractère.

FIGURE 10 — CONTROLE DU CURSEUR

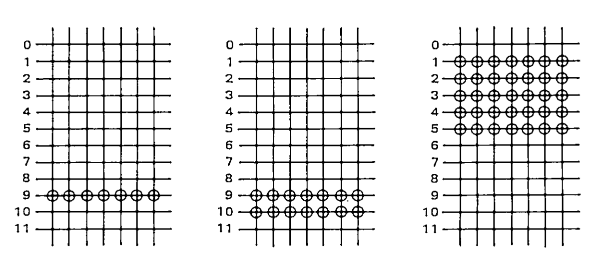
Registre début du curseur



B Bit 6	P Bit 5	Mode Visualisation curseur
0	0	Non clignotant
0	1	Curseur non-visualisé
1	0	Clignotant, 1/16 fr. trame
1	1	Clignotant, 1/32 fr. trame



Exemple de modes de visualisation du curseur

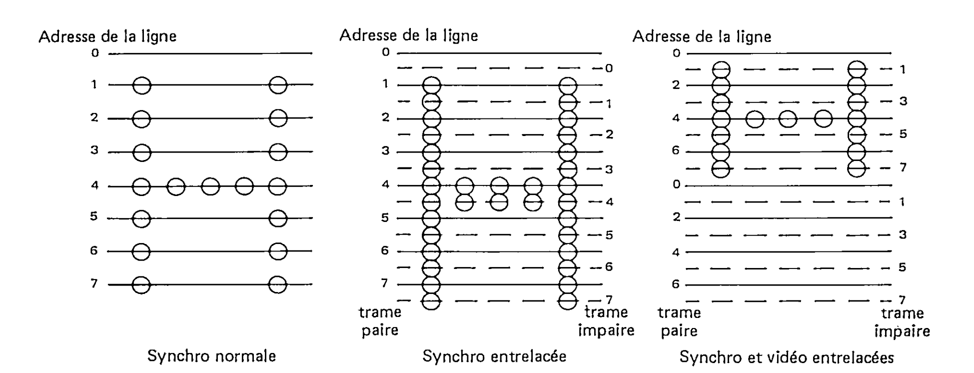


Adresse début du curseur = 9 Adresse début du curseur = 9 Adresse début du curseur = 1
Adresse fin du curseur = 9 Adresse fin du curseur =10 Adresse fin du curseur = 5

FIGURE 11 — MODES ENTRELACES

Registre modes entrelacés

Bit 1	Bit 0	Mode
0 1	0 0	Synchro normale (non entrelacée)
0	1	Synchro entrelacée
1	1	Synchro et vidéo entrelacées



Synchro normale — Synchro entrelacée — Synchro et vidéo entrelacées

TABLEAU 3 - EXEMPLE D'INITIALISATION DU CRTC (FORMAT 80 x 24)

Reg. #	Nom du registre	Unité de programm.	Calcul*	Valeur programmée Décimal	Valeur programmée Hexa.
R0	Horizontal total	T_c	102 x .527 = 53.76 µs	102 – 1 = 101	N_{ht} = $65
R1	Visualisation H.	T_c	80 x .527 = 42.16 µs	80	N_{hd} = $50
R2	Position synchro H.	T_c	86 x .527 = 45.32 µs	86	N_{hsp} = $56
R3	Largeur synchro H.	T_c	9 x .527 = 4.74 µs	9	N_{hsw} = $09
R4	Vertical total	T_{cr}	25 x 645.12 = 16.13 ms	25 = 1 = 24	N_{vt} = $18
R5	Ajustement vertical	T_{sl}	10 x 53.76 = .54 ms	10	N_{adj} = $0A
R6	Visualisation V.	T_{cr}	24 x 645.12 = 15.48 ms	24	N_{vd} = $18
R7	Position synchro V.	T_{cr}	24 x 645.12 = 15.48 ms	24	N_{vsp} = $18
R8	Modes entrelacés	–		–	$00
R9	Lignes adressées max.	T_{sl}		11	N_{sl} = $0B
R10	Début du curseur	T_{sl}		0	$00
R11	Fin du curseur	T_{sl}		11	$0B
R12	Adresse de départ (fort)	–		128	$00
R13	Adresse de départ (faible)	–			$80
R14	Curseur (fort)	–		128	$00
R15	Curseur (faible)	–			$80

Période d'horloge = T_c = .527 µs

Période d'une ligne balayée = T_{sl} = $(N_{ht} + 1) \times T_c$ = 102 x .527 µs = 53.76 µs

•Période d'une rangée de caractères = $T_{cr} = N_{sl} \times T_{sl}$ = 12 x 53.76 µs = 645.12 µs

*Ces valeurs peuvent changer selon le type de moniteur utilisé.

FIGURE 12 – INITIALISATION DU CRTC POUR UN FORMAT 80 x 24 (voir tableau 3)

```
PAGE  001   CRTINT

                                  NAM    CRTINT
       0000                       ORG    $0
       0000 5F                    CLR B              CLEAR COUNTER
       0001 CE 0020               LDX    #$20
       0004 F7 9000 CRTI1         STA B  $9000       CRTC ADDR REG
       0007 A6 00                 LDA A  0,X
       0009 E7 9001               STA A  $9001       ACC TO CRTC REG
       000C 08                    INX
       000D 5C                    INC B              INC COUNTER
       000E C1 10                 CMP B  #$10        LAST CRTC REG?
       0010 26 F2                 BNE    CRTI1
       0012 3F                    SWI
       0020                       ORG    $20
       0020 65      CRTTAB        FCB    $65,$50,$56,$9
       0024 18                    FCB    $18,$0A,$18,$18
       0028 00                    FCB    0,$0B,0,$0B
       002C 0080                  FDB    $80,$80
            0000                  END
CRTI1  0004 CRTTAB 0020

TOTAL ERRORS 00000
```

FONCTIONNEMENT DU CRTC

Représentation des signaux d'interface du CRTC — Ils sont présentés dans cette partie à l'aide d'un exemple programmé dans le CRTC. Quand les valeurs données dans le tableau 4 sont programmées dans les registres de contrôle du CRTC, le circuit fournit les sorties telles qu'elles sont montrées dans les diagrammes des temps (figures 13 à 15).

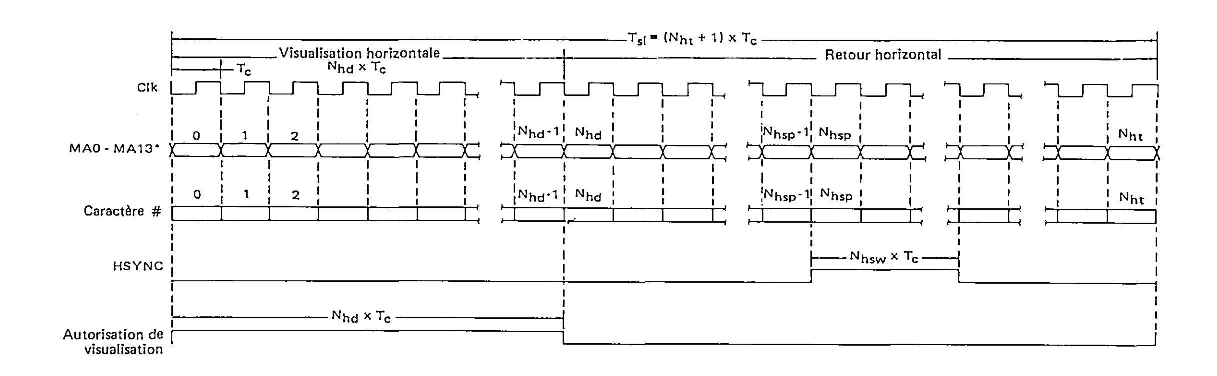
Le format d'écran de cet exemple est montré figure 9. La figure 16 montre la relation entre les adresses mémoire d'écran (MA0 - MA13), les adresses lignes (RA0 - RA4) et la position sur l'écran. Dans cet exemple, l'adresse de départ est par hypothèse "0".

TABLEAU 4 — VALEURS PROGRAMMEES DANS LES REGISTRES DU CRTC

Reg. #	Nom du registre	Valeur	Valeur programmée
R0	Horizontal total	$N_{ht}+1$	N_{ht}
R1	Visualisation H.	N_{hd}	N_{hd}
R2	Position synchro H.	N_{hsp}	N_{hsp}
R3	Largeur synchro H.	N_{hsw}	N_{hsw}
R4	Vertical total	$N_{vt}+1$	N_{vt}
R5	Ajustement vertical	N_{adj}	N_{adj}
R6	Visualisation V.	N_{vd}	N_{vd}
R7	Position synchro V.	N_{vsp}	N_{vsp}
R8	Modes entrelacés		
R9	Lignes adressées max.	N_{sl}	N_{sl}
R10	Début du curseur		
R11	Fin du curseur		
R12	Adresse de départ (fort)*	0	
R13	Adresse de départ (faible)*	0	
R14	Curseur (fort)*		
R15	Curseur (faible)*		
R16	Light-pen (fort)*		
R17	Light-pen (faible)*		

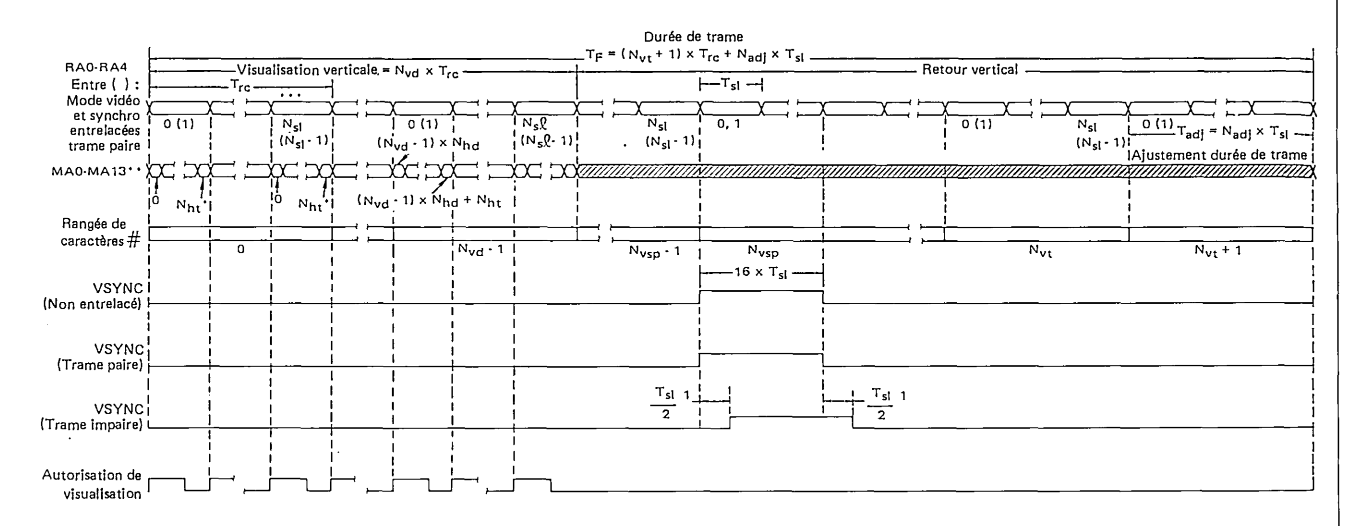
* : fort : octet de poids fort
faible : octet de poids faible

FIGURE 13 — DIAGRAMME DES TEMPS (HORIZONTAL)



* Le diagramme des temps est donné pour la première ligne de l'écran seulement. Voir figure 16 pour les autres lignes. L'adresse (MA) initiale est déterminée par le contenu du registre adresse de départ (R12/R13). Le diagramme est donné pour R12/R13 = 0.

FIGURE 14 – DIAGRAMME DES TEMPS (VERTICAL)

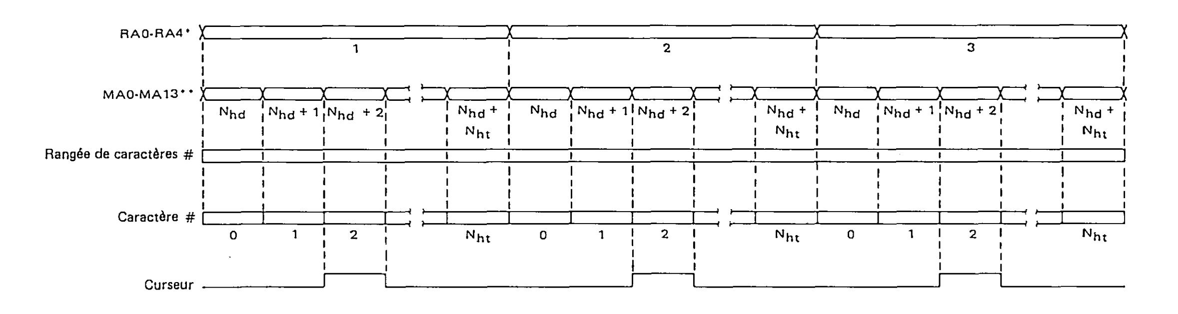


* N_{ht} doit être un nombre pair dans les deux modes entrelacés.

** L'adresse de départ (MA) est déterminée par R12/R13 (Registre adresse de départ). Elle est nulle dans cet exemple.

*** N_{sl} doit être un nombre pair pour le mode vidéo et synchro entrelacées.

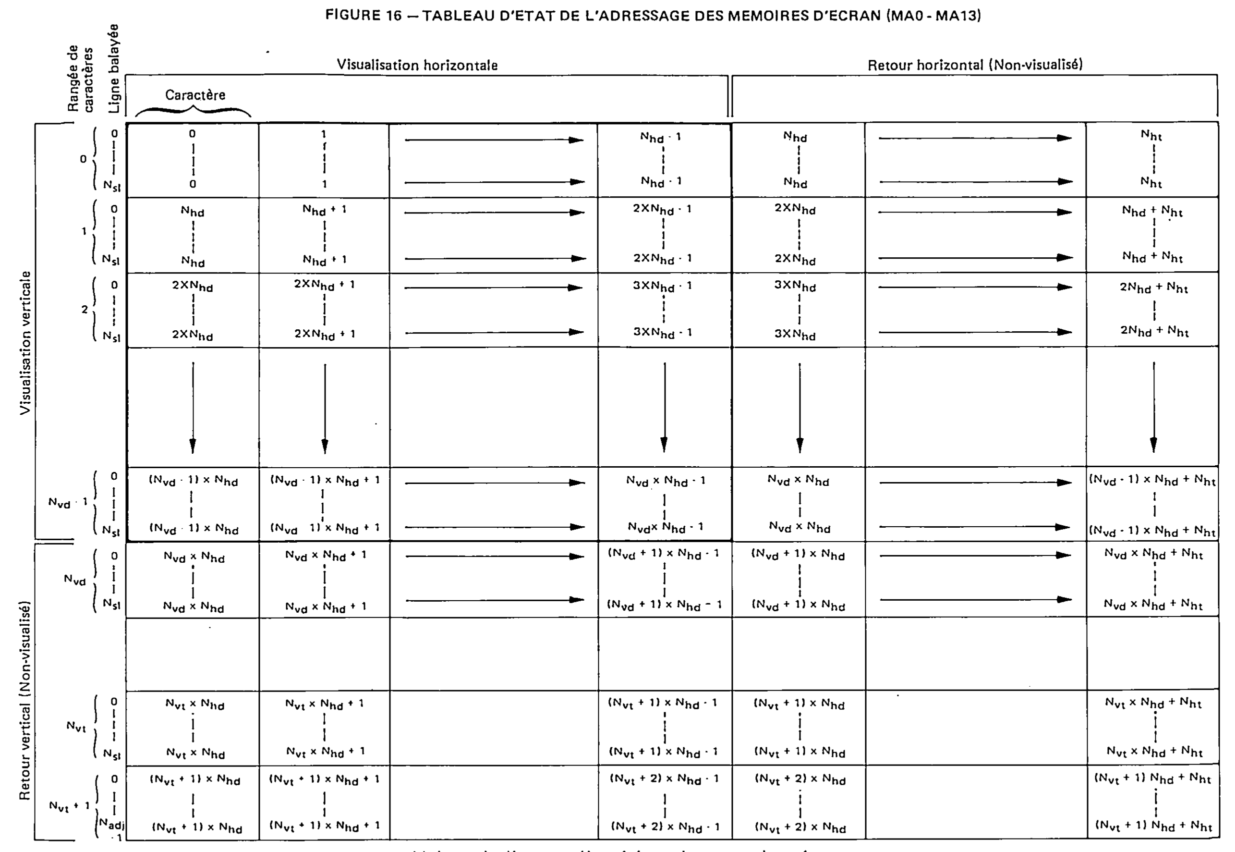
FIGURE 15 – DIAGRAMME DES TEMPS (CURSEUR)



* Le diagramme des temps est donné pour les modes synchro entrelacée et non entrelacée.
Dans cet exemple, le curseur a été programmé :
Registre curseur $= N_{hd} + 2$
Début du curseur = 1
Fin du curseur = 3

** L'adresse de départ est déterminée par le contenu des registres R12/R13. Le diagramme est donné pour R12/R13 = 0.

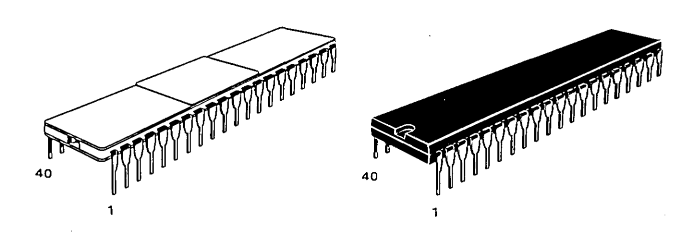
FIGURE 16 — TABLEAU D'ETAT DE L'ADRESSAGE DES MEMOIRES D'ECRAN (MA0 - MA13)



	Rangée de caractères	Ligne balayée	Visualisation horizontale — Caractère				Retour horizontal (Non-visualisé)		
Visualisation verticale	0	0	0	1	→	$N_{hd}-1$	N_{hd}	→	N_{ht}
		N_{sl}	0	1	→	$N_{hd}-1$	N_{hd}	→	N_{ht}
	1	0	N_{hd}	$N_{hd}+1$	→	$2XN_{hd}-1$	$2XN_{hd}$	→	$N_{hd}+N_{ht}$
		N_{sl}	N_{hd}	$N_{hd}+1$	→	$2XN_{hd}-1$	$2XN_{hd}$	→	$N_{hd}+N_{ht}$
	2	0	$2XN_{hd}$	$2XN_{hd}+1$	→	$3XN_{hd}-1$	$3XN_{hd}$	→	$2N_{hd}+N_{ht}$
		N_{sl}	$2XN_{hd}$	$2XN_{hd}+1$	→	$3XN_{hd}-1$	$3XN_{hd}$	→	$2N_{hd}+N_{ht}$
			↓	↓		↓	↓		↓
	$N_{vd}-1$	0	$(N_{vd}-1)\times N_{hd}$	$(N_{vd}-1)\times N_{hd}+1$	→	$N_{vd}\times N_{hd}-1$	$N_{vd}\times N_{hd}$	→	$(N_{vd}-1)\times N_{hd}+N_{ht}$
		N_{sl}	$(N_{vd}-1)\times N_{hd}$	$(N_{vd}-1)\times N_{hd}+1$	→	$N_{vd}\times N_{hd}-1$	$N_{vd}\times N_{hd}$	→	$(N_{vd}-1)\times N_{hd}+N_{ht}$
Retour vertical (Non-visualisé)	N_{vd}	0	$N_{vd}\times N_{hd}$	$N_{vd}\times N_{hd}+1$	→	$(N_{vd}+1)\times N_{hd}-1$	$(N_{vd}+1)\times N_{hd}$	→	$N_{vd}\times N_{hd}+N_{ht}$
		N_{sl}	$N_{vd}\times N_{hd}$	$N_{vd}\times N_{hd}+1$	→	$(N_{vd}+1)\times N_{hd}-1$	$(N_{vd}+1)\times N_{hd}$	→	$N_{vd}\times N_{hd}+N_{ht}$
	N_{vt}	0	$N_{vt}\times N_{hd}$	$N_{vt}\times N_{hd}+1$		$(N_{vt}+1)\times N_{hd}-1$	$(N_{vt}+1)\times N_{hd}$		$N_{vt}\times N_{hd}+N_{ht}$
		N_{sl}	$N_{vt}\times N_{hd}$	$N_{vt}\times N_{hd}+1$		$(N_{vt}+1)\times N_{hd}-1$	$(N_{vt}+1)\times N_{hd}$		$N_{vt}\times N_{hd}+N_{ht}$
	$N_{vt}+1$	0	$(N_{vt}+1)\times N_{hd}$	$(N_{vt}+1)\times N_{hd}+1$		$(N_{vt}+2)\times N_{hd}-1$	$(N_{vt}+2)\times N_{hd}$		$(N_{vt}+1)N_{hd}+N_{ht}$
		$N_{adj}-1$	$(N_{vt}+1)\times N_{hd}$	$(N_{vt}+1)\times N_{hd}+1$		$(N_{vt}+2)\times N_{hd}-1$	$(N_{vt}+2)\times N_{hd}$		$(N_{vt}+1)N_{hd}+N_{ht}$

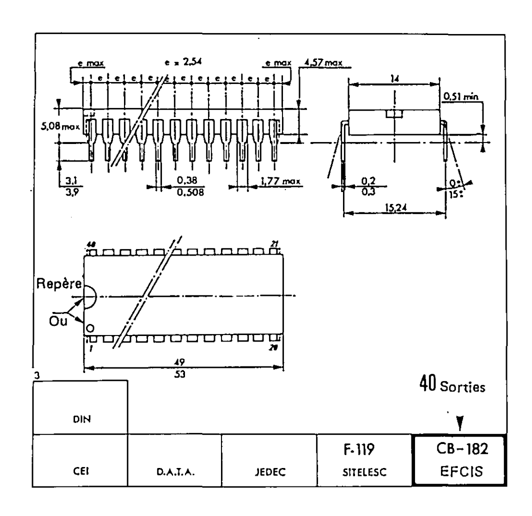
L'adresse de départ est déterminée par le contenu des registres R12/R13. Le diagramme est donné pour R12/R13 = 0. Seuls les modes non-entrelacé et synchro entrelacée sont montrés.

BOITIER CB-182



SUFFIXE C
BOITIER CERAMIQUE

SUFFIXE P
BOITIER PLASTIQUE



Informations préliminaires : ces spécifications peuvent changer sans préavis.
Consultez notre réseau de vente pour connaître la disponibilité des différentes versions de ce circuit.

EFCIS



Circuits Intégrés MOS THOMSON-EFCIS

mosmosmosmosmosmosmosmosmosmos

EF6846

Ancienne appelation : SFF9-6846

SPECIFICATIONS PROVISOIRES

MOS

CANAL N, GRILLE SILICIUM,
CHARGE A DÉPLÉTION

MÉMOIRE MORTE
ENTRÉES / SORTIES
TEMPORISATEUR

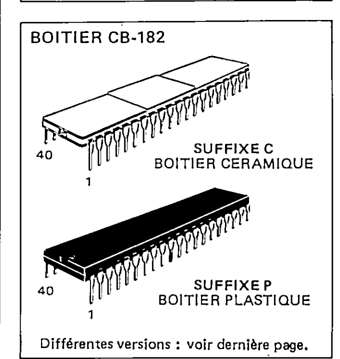
MÉMOIRE MORTE – ENTRÉES/SORTIES – TEMPORISATEUR

Le circuit composite EF6846 réalise avec le EF6802 un microordinateur à deux boîtiers. Le EF6846 est composé de 2048 octets de mémoire ROM programmable par masque, d'un accès bi-directionnel 8 bits avec lignes de contrôle, et d'un temporisateur - compteur 16 bits programmable.

Ce circuit peut s'interfacer aussi bien avec le EF6802 (EF6800 de base, horloge et 128 octets de RAM) qu'avec le EF6800 si on le désire. Aucune logique externe n'est nécessaire pour interfacer la plupart des circuits périphériques.

- 2048 octets de mémoire ROM
- Accès bidirectionnel 8 bits pour interface parallèle plus deux lignes de de contrôle
- Fonctions compteur - temporisateur à intervalles programmables
- Registres programmables de données périphériques d'E/S, de contrôle et de direction des données.
- Compatible avec la famille de produits microordinateur 6800
- Lignes périphériques et données compatibles TTL
- Alimentation unique + 5V

BOITIER CB-182



Différentes versions : voir dernière page.

FIGURE 1 - MICROORDINATEUR TYPE

La figure 1 représente le schéma fonctionnel d'un microordinateur performant et économique. L'unité microprocesseur MPU qui constitue le centre du microordinateur représenté ici dans sa configuration minimale, est interfacée avec un circuit composite avec ROM. Ce système n'est pas limité à cette fonction mais peut être étendu en utilisant d'autres circuits de la famille EF6800.

BROCHAGE

1	V_{SS}	A8	40
2	A7	A9	39
3	A6	A10	38
4	A5	$\overline{RES}$	37
5	A4	$\overline{IRQ}$	36
6	CS0	CP2	35
7	R/$\overline{W}$	CP1	34
8	D0	A0	33
9	D1	A1	32
10	D2	A2	31
11	D3	A3	30
12	D4	V_{CC}	29
13	D5	P7	28
14	D6	P6	27
15	D7	P5	26
16	CS1	P4	25
17	$\overline{CTG}$	P3	24
18	$\overline{CTC}$	P2	23
19	CTO	P1	22
20	E	P0	21

ADI 473-F
1/18

45, av. de l'Europe
78140 VELIZY

EFCIS
FRANCE

Tel.: (1) 946 97 19
Telex : 698866F

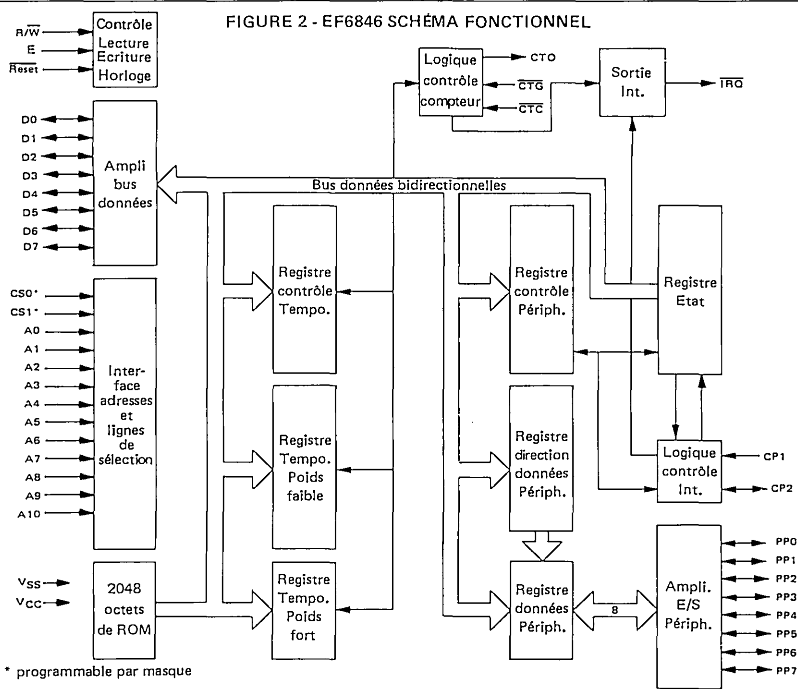


FIGURE 2 - EF6846 SCHÉMA FONCTIONNEL

* programmable par masque

Le circuit composite EF6846 peut être décomposé en trois sections fonctionnelles : mémoire programmée, fonction temporisateur/compteur, et un port d'E/S parallèle.

Mémoire programmée

La section mémoire ROM programmable par masque est similaire aux autres produits ROM de la famille EF6800. La ROM est organisée en un réseau 2048 x 8 bits et constitue la mémoire à lecture seule d'un système microordinateur minimal. Deux sélections de boîtier programmables par masque sont disponibles et peuvent être définies par l'utilisateur.

Les entrées adresses A0-A10 permettent à chacun des 2048 octets de mémoire ROM d'être adressés de façon unique. Les lignes de données bidirectionnelles (D0-D7) permettent le transfert de données entre le MPU et le EF6846.

Fonctions temporisateur-compteur

Sous contrôle logiciel, ce compteur 16 bits peut être programmé pour compter des évènements, mesurer des fréquences, des intervalles de temps, ou des fonctions similaires. Les registres internes associés aux fonctions d'E/S peuvent être sélectionnés avec A0, A1 et A2. Il peut être aussi utilisé pour générer des signaux carrés, des impulsions seules de durée contrôlée, et des signaux de déclenchement. Des interruptions peuvent être générées à partir d'un nombre de conditions définies par logiciel.

Le registre de contrôle temporisateur/compteur permet le contrôle de validation d'interruption, de validation de sortie, de sélection d'une source horloge interne ou externe, d'un pré-compteur diviseur par 8 et du mode de fonctionnement. La broche d'entrée $\overline{CTC}$ (Counter-Timer Clock — horloge temporisateur-compteur) accepte une impulsion d'horloge asynchrone pour décrémenter le registre interne du temporisateur/compteur. Si le pré-compteur diviseur par 8 est utilisé, la cadence maximale d'horloge peut être égale à quatre fois la fréquence d'horloge de base avec un maximum absolu de 4MHz. L'entrée $\overline{CTG}$ (Gate input — entrée de déclenchement) accepte un signal asynchrone comptatible TTL qui peut être utilisé comme bascule ou fonction de déclenchement vers le temporisateur/compteur. Une sortie temporisateur (CTO) est aussi disponible et se trouve sous contrôle logiciel étant fonction du registre contrôle temporisateur, de l'entrée de déclenchement, et de l'horloge de base.

Port d'E/S parallèle

Le port d'E/S bi-directionnel parallèle possède des caractéristiques fonctionnelles similaires à l'accès B du PIA EF6821. Ceci inclut 8 lignes bi-directionnelles de données et deux signaux de contrôle de fonctionnement en appel-réponse. Le contrôle et le fonctionnement de ces lignes sont entièrement programmables par logiciel.

L'entrée interruption (CP1) met à un l'indicateur CSR1 du registre d'état composite. Le contrôle périphérique (CP2) peut être programmé pour agir comme une entrée interruption (mise à un de CSR2) ou comme une sortie de contrôle périphérique.

VALEURS LIMITES

Caractéristiques	Symboles	Valeurs	Unités
Tension d'alimentation	V_{CC}	– 0.3 à + 7.0	V
Tension d'entrée	V_{in}	– 0.3 à + 7.0	V
Température de fonctionnement	T_A	0 à + 70	°C
Température de stockage	T_{stg}	– 55 à + 150	°C
Résistance thermique	θ_{JA}	70	°C/W

Les entrées de ce circuit sont protégées contre les hautes tensions statiques et les champs électriques ; toutefois, il est recommandé de prendre les précautions normales pour éviter toute tension supérieure aux valeurs limites sur ce circuit à haute impédance.

CARACTÉRISTIQUES ÉLECTRIQUES (V_{CC} = 5.0 V ± 5%, V_{SS} = 0, T_A = 0 à 70° C sauf spécifications contraires).

Caractéristiques		Symboles	Min	Typ	Max	Unités
Tension d'entrée à l'état haut	Toutes entrées	V_{IH}	V_{SS} + 2.0	–	V_{CC}	V
Tension d'entrée à l'état bas	Toutes entrées	V_{IL}	V_{SS} – 0.3	–	V_{SS} + 0.8	V
Dépassement horloge Niveau haut d'entrée		V_{OS}	V_{CC} – 0.5	–	V_{CC} + 0.5	V
Niveau bas d'entrée			V_{SS} – 0.5	–	V_{SS} + 0.5	
Courant de fuite en entrée (V_{in} = 0 à 5.25 V)	R/$\overline{W}$, $\overline{Reset}$, CS0, CS1 CP1, $\overline{CTG}$, $\overline{CTC}$, E, A0-A10	I_{in}	–	1.0	2.5	µA
Courant d'entrée trois états (haut impédance) (V_{in} = 0.4 à 2.4 V)	D0-D7 PP0-PP7, CP2	I_{TSI}	–	2.0	10	µA
Tension de sortie à l'état haut		V_{OH}				V
(I_{charge} = –205 µA,)	D0-D7		V_{SS} + 2.4	–	–	
(I_{charge} = –200 µA)	Autres sorties		V_{SS} + 2.4	–	–	
Tension de sortie à l'état bas		V_{OL}				V
(I_{charge} = 1.6 mA)	D0-D7		–	–	V_{SS} + 0.4	
(I_{charge} = 3.2 mA)	Autres sorties		–	–	V_{SS} + 0.4	
Courant de sortie à l'état haut (source)		I_{OH}				µA
(V_{OH} = 2.4 V)	D0-D7		-205	–	–	
	Autres sorties		-200	–	–	
(V_O = 1,5 V, courant pour conduire autre chose que la TTL, p.e., base d'un Darlington)	CP2, PP0-PP7		-1.0	–	-10	mA
Courant de sortie à l'état bas (récepteur)		I_{OL}				mA
(V_{OL} = 0.4 V)	D0-D7		1.6	–	–	
	Autres sorties		3.2	–	–	
Courant de fuite en sortie (haute impédance) (V_{OH} = 2.4 V)	$\overline{IRQ}$	I_{LOH}	–	–	10	µA
Puissance dissipée		P_D	–	–	1000	mW
Capacité		C_{in}	–	–	20	pF
(V_{in} = 0, T_A = 25°C, f = 1.0 MHz)	D0-D7					
	PP0-PP7, CP2		–	–	12.5	
	A0-A10, R/$\overline{W}$, $\overline{Reset}$, CS0, CS1, CP1, $\overline{CTC}$, $\overline{CTG}$		–	–	10	
	$\overline{IRQ}$		–	–	7.5	
	PP0-PP7, CP2, CT0	C_{out}		–	5.0	pF
				–	10	
Fréquence de travail		f	0.1	–	1.0	MHz
Caractéristiques de l'horloge						
Temps de cycle		t_{cycE}	1.0	–	–	µs
Temps d'initialisation		t_{RL}	2	–	–	µs
Libération d'interruption		t_{IR}	–	–	1.6	µs

CARACTÉRISTIQUES DYNAMIQUES LECTURE/ÉCRITURE (Figures 3 et 4)

Caractéristiques	Symboles	Min	Typ	Max	Unités
Largeur à l'état bas de l'horloge (E)	PW_{EL}	430	–	–	ns
Largeur à l'état haut de l'horloge (E)	PW_{EH}	430	–	–	ns
Temps de préétablissement de l'adresse et de R/$\overline{W}$ par rapport à la transition positive de E:	t_{AS}	160	–	–	ns
Temps de retard des données	t_{DDR}	–	–	320	ns
Temps de maintien des données	t_H	10	–	–	ns
Temps de maintien des adresses	t_{AH}	10	–	–	ns
Temps de montée et de descente de E	t_{Ef}, t_{Er}	–	–	25	ns
Temps de préétablissement des données	t_{DSW}	195	–	–	ns

CARACTERISTIQUES DYNAMIQUES
Lignes d'E/S périphériques

Caractéristiques	Symboles	Min	Typ	Max	Unités
Temps de préétablissement des données périphériques	t_{PDSU}	200	–	–	ns
Temps de transition des signaux CP1, CP2	t_{Pr}, t_{Pc}	–	–	1,0	µs
Temps de retard de E par rapport à la transition négative de CP2	t_{CP2}	–	–	1,0	µs
Temps de retard des données d'E/S par rapport à la transition négative de CP2	t_{DC}	20	–	–	ns
Temps de retard du signal horloge E par rapport à la transition positive de CP2	t_{RS1}	–	–	1,0	µs
Temps de retard de CP1 par rapport à la transition positive de CP2	t_{RS2}	–	–	2,0	µs
Temps de retard des données périphériques	t_{PDW}	–	–	1,0	µs
Temps d'établissement des données périphériques	t_{PSU}	100	–	–	ns
Temps de maintien des données périphériques	t_{PDH}	15	–	–	ns

Lignes du compteur/temporisateur

Temps de montée et de descente sur les entrées CTC et CTG	t_{CR}, t_{CF}	–	–	100	ns
Durée du signal mesurée à l'état haut (en mode asynchrone)	t_{PWH}	t_{cyc} + 250	–	–	ns
Durée du signal mesurée à l'état bas (en mode asynchrone)	t_{PWL}	t_{cyc} + 250	–	–	ns
Temps de pré-établissement des données (en mode asynchrone)	t_{su}	200	–	–	ns
Temps de maintien des données (en mode asynchrone)	t_{hd}	50	–	–	ns
Temps de retard en sortie	t_{CTO}	–	–	1,0	µs

FIGURE 3 - DIAGRAMME DES TEMPS POUR LA LECTURE
(Lecture venant du EF6846)

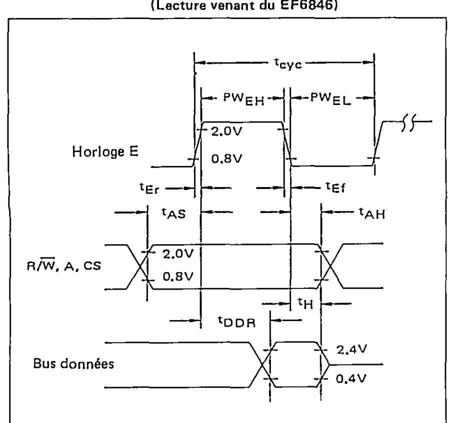


FIGURE 4 - DIAGRAMME DES TEMPS POUR L'ÉCRITURE
(Écriture venant du MPU)

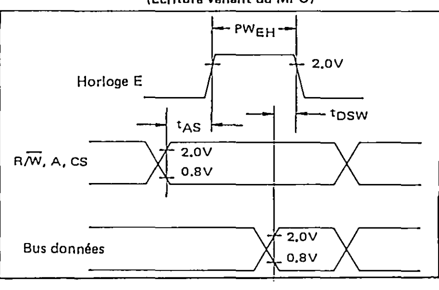


FIGURE 5 - TEMPS DE PRÉ-ÉTABLISSEMENT ET DE MAINTIEN DES DONNÉES PÉRIPHÉRIQUES

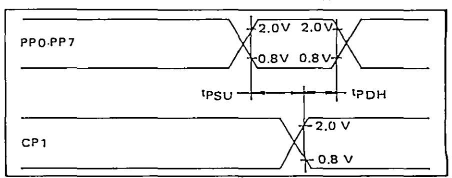


FIGURE 6 - TEMPS DE RETARD DES DONNÉES PÉRIPHÉRIQUES
(Mode de contrôle PCR5= 1, PCR4= 0, PCR3=1)

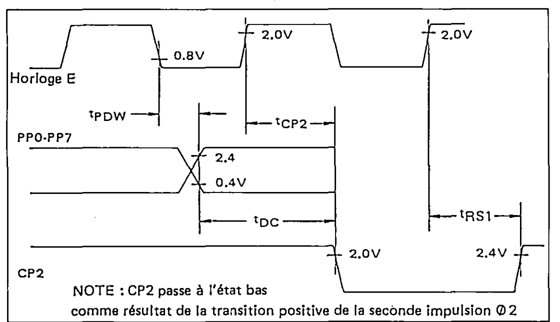


FIGURE 10 - LARGEUR DES IMPULSIONS D'ENTRÉE

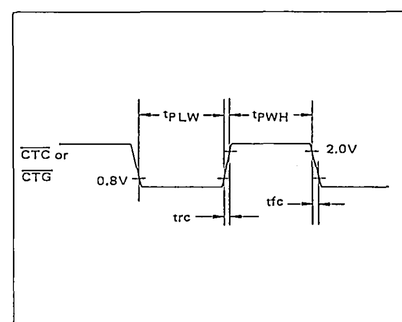


FIGURE 7 - TEMPS DE RELACHE DE IRQ

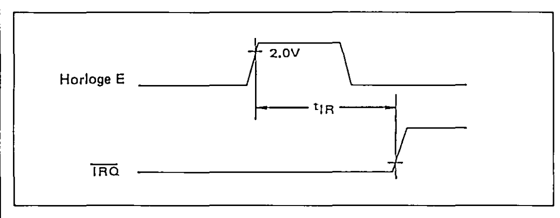


FIGURE 11 - TEMPS DE PRÉ-ÉTABLISSEMENT ET DE MAINTIEN DES ENTRÉES

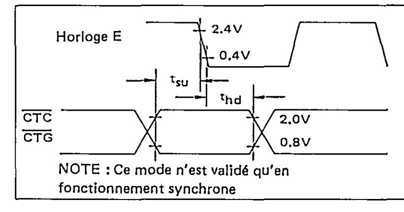


FIGURE 8 - TEMPS D'ÉTABLISSEMENT D'ACCES PÉRIPHÉRIQUE

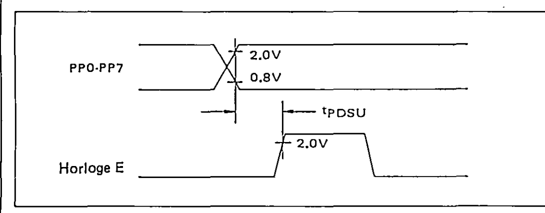


FIGURE 12 - TEMPS DE RETARD EN SORTIE

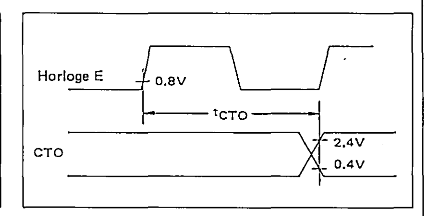


FIGURE 9 - TEMPS DE RETARD DE CP2
(PCR5=1, PCR4=0, PCR3= 0)

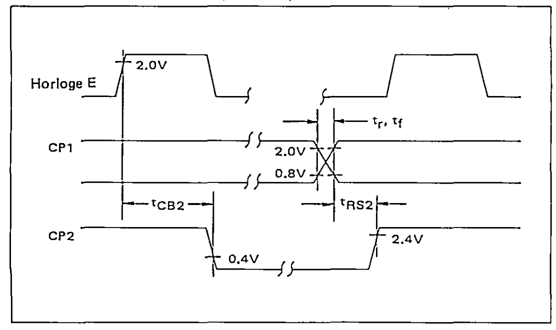
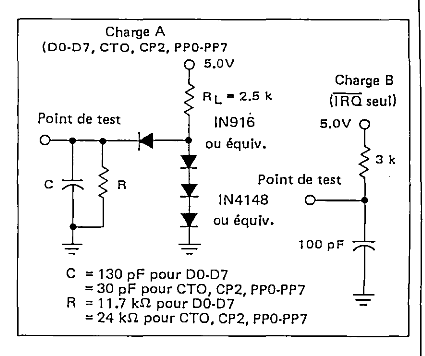


FIGURE 13 - CHARGES DE TEST



DESCRIPTION DES SIGNAUX

INTERFACE BUS

Le EF6846 s'interface au bus EF6800 via un bus de données bi-directionnel de 8 bits, deux lignes de sélection de boîtier, une ligne lecture/écriture, et onze lignes d'adresses. Ces signaux, avec la sortie VMA du EF6800, permettent au MPU de contrôler le EF6846.

BUS DONNÉES BI-DIRECTIONNEL (D0-D7)

Les lignes de données bi-directionnelles (D0-D7) permettent le transfert de données entre le MPU et le EF6846. Les amplificateurs de sortie du bus de données sont des circuits trois états qui restent en état haute impédance (état repos) sauf lorsque le MPU accède à un registre du EF6846 ou exécute une lecture de la ROM ($R/\overline{W} = 1$ et registres d'E/S ou ROM sélectés).

ENTRÉES DE SÉLECTION DU BOITIER (CHIP SELECT – CS0, CS1)

Les entrées CS0 et CS1 sont utilisées pour sélecter la mémoire ROM ou le temporisateur d'E/S du EF6846. Elles sont programmées par masque pour être actifs à l'état haut ou actifs à l'état bas selon le choix de l'utilisateur.

ENTRÉES ADRESSES (A0-A10)

Les entrées adresses permettent à chacun des 2048 octets de mémoire ROM d'être accédés de manière unique lorsque le circuit fonctionne en mode ROM. En mode temporisateur ou d'E/S, les entrées adresses A0, A1 et A2 sélectionnent le registre d'E/S approprié, tandis que A3 à A10 (avec CS0 et CS1) peuvent être utilisées comme adresses supplémentaires dans la circuiterie de sélection des E/S. (Pour plus de détails voir la section sélection du temporisateur et d'E/S).

MISE A L'ÉTAT INITIAL ($\overline{\text{RESET}}$)

L'état actif bas de l'entrée $\overline{\text{Reset}}$ est utilisé pour initialiser tous les bits des registres de la section E/S du circuit à leurs valeurs appropriées. (Voir la section conditions d'initialisation pour les registres temporisateur et périphérique).

HORLOGE (ENABLE – ϕ2 SYSTEM)

Ce signal synchronise le transfert de données entre le MPU et le EF6846. Il réalise aussi l'équivalent d'une fonction de synchronisation sur les entrées horloge externe, $\overline{\text{Reset}}$ et déclenchement ($\overline{\text{CTG}}$) de la section temporisateur du EF6846.

LECTURE/$\overline{\text{ECRITURE}}$ (READ/$\overline{\text{WRITE}}$ - $R/\overline{W}$)

Ce signal est généré par le MPU et est utilisé pour contrôler la direction du transfert des données sur les broches de données bi-directionnelles. Un niveau bas sur l'entrée $R/\overline{W}$ valide les amplificateurs d'entrée et les données sont transférées vers le EF6846 pendant l'impulsion ϕ 2 lorsque le circuit a été sélecté. Un niveau haut sur l'entrée $R/\overline{W}$ valide les amplificateurs de sortie et les données sont transférées vers le MPU pendant ϕ2 lorsque le circuit est sélecté.

$\overline{\text{REQUETE D'INTERRUPTION}}$ ($\overline{\text{INTERRUPT REQUEST}}$–$\overline{\text{IRQ}}$)

La sortie $\overline{\text{IRQ}}$, active à l'état bas, agit pour interrompre le MPU via une logique contenue dans le EF6846. Cette sortie utilise une configuration en circuit ouvert et permet à d'autres sorties requêtes d'interruption en provenance d'autres circuits, d'être connectées dans une configuration en OU-câblé.

DONNÉES PÉRIPHÉRIQUES (PERIPHERAL DATA – P0 - P7)

Les lignes de données périphériques peuvent être programmées individuellement soit comme entrées soit comme sorties via le registre de direction des données. Lorsqu'elles sont programmées en sorties, ces lignes attaquent deux charges TTL standard (3,2mA). Elles sont aussi capables de fournir jusqu'à 1,0mA à 1,5V (sortie logique "1").

Programmés en entrées, les amplificateurs de sortie associés à ces lignes passent en mode trois états (haute impédance). Ces lignes n'ayant pas de résistance de tirage, elles représentent une charge maximum de 10 μA pour la circuiterie qui les attaque – quel que soit l'état logique.

Un zéro logique à l'entrée $\overline{\text{Reset}}$ force les lignes de données périphériques en configuration d'entrée en mettant à zéro le registre direction des données. Ceci permet au concepteur système d'écarter la possibilité d'avoir une sortie données périphériques connectée à une sortie extérieure pendant la séquence de mise sous tension.

LIGNE DE CONTROLE/INTERRUPTION (INTERRUPT INPUT – CP1)

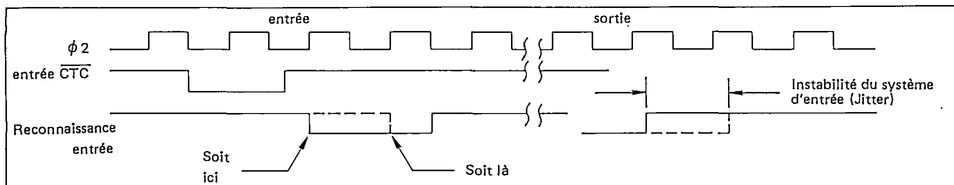
La ligne entrée périphérique CP1 est une entrée seule qui positionne les indicateurs d'interruption du registre d'état composite. La transition active pour ce signal est programmée par le registre contrôle périphérique pour le port parallèle. CP1 peut aussi agir comme signal d'échantillonnage pour le registre données périphériques quand il est utilisé en registre tampon d'entrée. Les détails de programmation de CP1 sont dans la section concernant le port périphérique parallèle.

LIGNE DE CONTROLE PÉRIPHÉRIQUE (PERIPHERAL CONTROL – CP2)

La ligne de contrôle périphérique CP2 peut être programmée pour agir comme une entrée d'interruption ou comme une sortie de contrôle périphérique. Agissant comme une entrée, cette ligne est à haute impédance et est compatible avec les niveaux de tension TTL standard. Agissant comme une sortie, elle est aussi compatible TTL et peut être utilisée comme source de 1mA à1,5V pour commander directement la base d'un transistor monté en Darlington. Cette ligne est programmée par le registre contrôle périphérique.

SORTIE TEMPORISATEUR/COMPTEUR (COUNTER TIMER OUTPUT – CTO)

La sortie temporisateur/compteur est programmable



par les bits sélectionnés dans le registre de contrôle temporisateur/compteur. Le mode de fonctionnement est fonction du registre de contrôle du temporisateur, de l'entrée de déclenchement et de la source horloge. La sortie est compatible TTL.

ENTRÉE HORLOGE EXTERNE (EXTERNAL CLOCK INPUT – $\overline{CTC}$)

La broche d'entrée $\overline{CTC}$ accepte les signaux asynchrones de niveau TTL, utilisés comme horloge pour décrémenter le temporisateur. Les niveaux haut et bas de l'horloge externe doivent être stables pendant au moins une période horloge système plus la somme des temps d'établissement et de maintien des entrées. La fréquence horloge asynchrone peut varier du continu à la limite imposée par l'horloge système ϕ2, et les temps d'établissement et de maintien.

L'entrée horloge externe est synchronisée intérieurement par l'horloge E (horloge système ϕ2. Trois périodes d'horloge E sont utilisées pour synchroniser et prendre en compte l'horloge externe. La quatrième impulsion d'horloge E décrémente le compteur interne. Ceci n'affecte pas la fréquence d'entrée ; elle crée simplement un retard entre une transition d'entrée horloge et la reconnaissance interne de cette transition par le EF6846. Toute référence à l'entrée $\overline{CTC}$ dans ce document se rapporte à la reconnaissance interne de la transition d'entrée. Noter qu'une transition d'horloge qui ne répond pas aux spécifications de temps d'établissement et de maintien peut nécessiter une impulsion horloge E supplémentaire pour être reconnue.

En observant des évènements récurrents, un défaut de synchronisation résulte soit en une "instabilité système" (Jitter) soit en une "instabilité d'entrée" (Jitter) observée en sortie du EF6846 lorsque des signaux asynchrones sur les entrées horloge et de déclenchement sont utilisés. "L'instabilité système" est le résultat d'une désynchronisation du signal d'entrée avec l'horloge système ϕ2, permettant à des signaux ayant des temps d'établissement et de maintien marginaux d'être reconnus avec un écart correspondant à la durée d'un bit. "L'instabilité d'entrée" peut être égale à l'intervalle de temps entre les transitions négatives du signal d'entrée plus "l'instabilité système" si la 1ère transition est reconnue durant un cycle système, et non reconnue le cycle suivant ou vice-versa.

ENTRÉES PORTE (GATE INPUTS – $\overline{CTG}$)

La broche d'entrée $\overline{CTG}$ accepte un signal asynchrone compatible TTL qui est utilisé comme signal de déclenchement de l'horloge du temporisateur. L'entrée de déclenchement est échantillonnée à l'arrivée dans le EF6846 par le signal E (ϕ2 Système) de la même manière que les entrées horloge explicitées précédemment. C'est-à-dire qu'une transition $\overline{CTG}$ est reconnue sur la quatrième impulsion (pourvu que les conditions de temps d'établissement et maintien soient satisfaites), et les niveaux haut et bas de l'entrée $\overline{CTG}$ doivent être stables pendant au moins une période horloge système plus la somme des temps d'établissement et de maintien. Toute référence à une transition $\overline{CTG}$ dans ce document se rapporte à la reconnaissance interne de la transition d'entrée.

L'entrée $\overline{CTG}$ du temporisateur affecte directement le compteur 16 bits interne. Le fonctionnement de $\overline{CTG}$ est par conséquent indépendant de la sélection du précompteur ÷ 8.

CIRCUITERIE DE SÉLECTION DES FONCTIONS

CIRCUITERIE DE SÉLECTION DU TEMPORISATEUR ET DES E/S

CS0 et CS1 sont programmables par l'utilisateur. Chacune des 4 combinaisons de CS0 et CS1 peut être utilisée pour sélecter la ROM. De même, toute autre combinaison peut être utilisée pour sélecter le temporisateur et les E/S. De plus, certaines lignes d'adresses sont utilisées en réserve pour le temporisateur et les E/S. De manière spécifique, A3 = A4 = A5 = "0" logique. A6 peut être programmée en "1" ou "0" ou sans importance. A7 = A8 = A9 = A10 = sans importance, ou une seule ligne peut être programmée en un "1" logique. La figure 14, montre sous forme schématique les options sélection de boîtier disponibles.

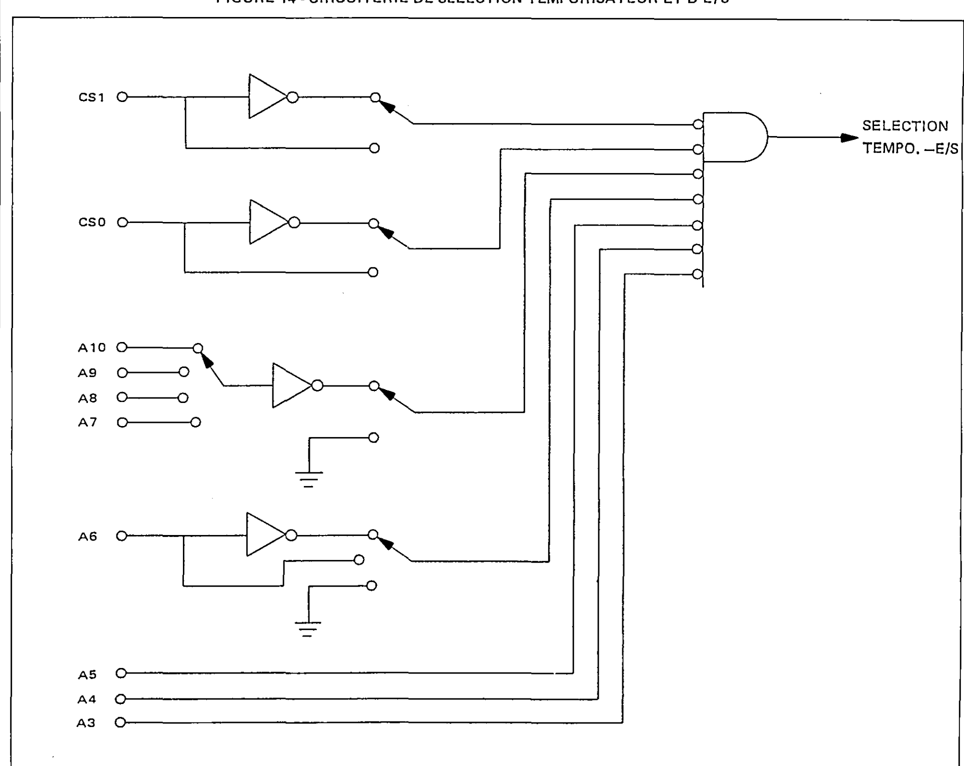
ADRESSAGE INTERNE DU EF 6846

Sept emplacements registres des E/S sont accessibles au bus données du MPU. La sélection de ces registres est contrôlée par A0, A1, et A2 (voir tableau 1) pourvu que la partie temporisateur et d'E/S soit sélectée. Le registre d'état composite est à lecture seule ; tous les autres registres sont à lecture et écriture.

TABLEAU 1 - REGISTRE INTERNE

REGISTRE SELECTE	A2	A1	A0
Registre d'état composite (CSR)	0	0	0
Registre contrôle périphérique (PCR)	0	0	1
Registre direction des données (DDR)	0	1	0
Registre données périphériques (PDR)	0	1	1
Registre d'état composite (CSR)	1	0	0
Registre contrôle temporisateur (TCR)	1	0	1
Registre poids fort temporisateur	1	1	0
Registre poids faible temporisateur	1	1	1
Adresse ROM	x	x	x

FIGURE 14 - CIRCUITERIE DE SÉLECTION TEMPORISATEUR ET D'E/S



INITIALISATION

Lorsque l'entrée $\overline{\text{Reset}}$ (Initialisation) a accepté un signal bas, tous les registres sont initialisés et mis à zéro. Les registres direction des données et données périphériques sont remis à zéro. Le registre contrôle périphérique est remis à zéro sauf pour le bit 7 (le bit $\overline{\text{Reset}}$). Le port parallèle est forcé en mode entrée et les interruptions sont inhibées. Pour supprimer la condition $\overline{\text{Reset}}$ du port parallèle, un "0" doit être écrit dans le bit 7 du registre contrôle périphérique (PCR7).

Les registres tampons des compteurs sont préétablis à leur compte maximal, les bits du registre contrôle temporisateur sont mis à zéro sauf le bit 0 (TCR0 est mis à 1), la sortie compteur est remise à zéro , et l'horloge compteur inhibée. Cet état force le compteur temporisateur à rester à l'état inactif. Tous les indicateurs d'interruption du registre d'état composite sont remis à zéro. Pendant l'initialisation du temporisateur, le bit d'initialisation (TCR0) doit être remis à zéro.

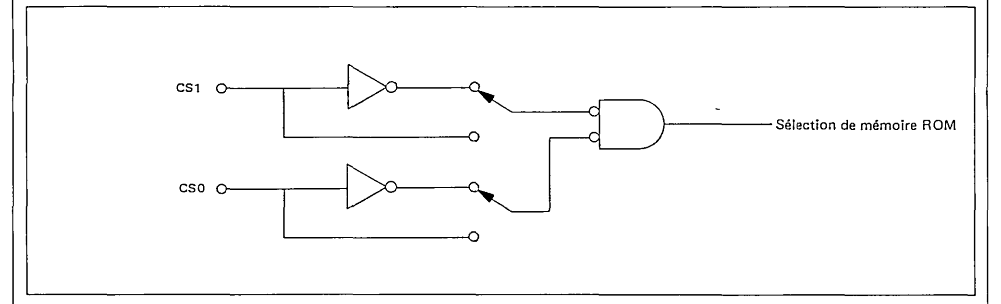
MÉMOIRE ROM

La section mémoire ROM programmable par masque est similaire en fonctionnement aux autres produits de la famille EF6800. La mémoire ROM est organisée en 2048 mots de 8 bits et constitue la mémoire à lecture seule d'un système microordinateur minimum. La ROM est active lorsqu'elle est sélectée par la combinaison unique des entrées de sélection du boîtier.

SELECTION DE MEMOIRE ROM

Les niveaux actifs de CS0 et CS1 pour la sélection de mémoire ROM et des E/S, sont une option programmable par l'utilisateur. Les signaux CS0 et CS1 peuvent être programmés actifs à l'état haut ou actifs à l'état bas, mais différents codes doivent être utilisés pour la sélection de mémoire ROM ou des E/S. CS0 et CS1 sont programmés par masque en même temps que le contenu de la mémoire ROM. La circuiterie de sélection mémoire ROM est montrée en fig. 15.

FIGURE 15 - CIRCUITERIE DE SÉLECTION DE MÉMOIRE ROM



FONCTIONNEMENT DU TEMPORISATEUR

Le temporisateur peut être programmé pour fonctionner dans les modes qui conviennent à une large variété d'applications. Le circuit est totalement compatible au niveau bus avec le système EF6800, et est accédé par des opérations de chargement et mémorisation depuis le MPU.

Dans une application type, le temporisateur est chargé en mémorisant deux octets de données dans le registre tampon. Ces données sont ensuite transférées dans le compteur au cours d'un cycle d'initialisation compteur. Le compteur est décrémenté à chaque cycle horloge suivant (ce qui peut être l'horloge système Ø2 ou une horloge externe) jusqu'à ce qu'une des conditions prédéterminées le fasse s'arrêter ou recycler.

Ainsi le temporisateur est programmable, de nature cyclique, commandable par des entrées extérieures ou par programme MPU, et accessible par le MPU à tout instant.

INITIALISATION DU REGISTRE TAMPON DU COMPTEUR

Le temporisateur se compose d'un compteur adressable 16 bits et de deux groupes de registres tampon adressables 8 bits. La fonction de ces registres tampon est de mémoriser l'équivalent binaire de la valeur du compte désiré moins un. L'initialisation du compteur entraîne le transfert du contenu des registres tampon associés au compteur. Il est à noter que le transfert des données vers le compteur est toujours accompli via les registres tampon. Ainsi, les registres tampon associés au compteur peuvent être précisément décrits comme un registre "d'initialisation des données compteur" de 16 bits.

Dans certains modes de fonctionnement, l'initialisation des registres tampon entraîne simultanément l'initialisation du compteur (c'est-à-dire un transfert immédiat dans le compteur des nouvelles données mémorisées dans les registres tampon). Il est donc nécessaire de s'assurer que tous les bits des registres tampon sont mis à jour simultanément. Le bus données du EF6846 étant de 8 bits, un registre temporaire (MSB Buffer Register - Registre d'octet de poids fort) est pourvu de l'octet de poids fort des données désirées dans les registres tampon. C'est un registre à écriture seule sélectionnée via les lignes adresses A0, A1 et A2. Les données sont directement transférées du bus données vers les registres tampon MSB (octet de poids fort) lorsque le boîtier est sélecté, le signal R/$\overline{W}$ est bas, et le registre de poids fort temporisateur est sélecté (A0 = "0" ; A1 = A2 = "1").

Les 8 bits de poids faible du registre tampon du compteur peuvent aussi être pris pour un registre à écriture seule. Les informations du bus données sont directement transférées vers l'octet de poids faible des registres tampon du compteur lorsque le boîtier est sélecté, R/$\overline{W}$ est à l'état bas et le registre octet de poids faible temporisateur est sélecté (A0 = A1 = A2 = "1").

Les données en provenance des amplificateurs d'octet de poids fort, sont transférées automatiquement dans l'octet de poids fort des registres tampon du compteur, simultanément avec le transfert des informations du bus de données dans l'octet de poids faible des registres tampon du compteur. En résumé, les conditions de ce fonctionnement peuvent être considérées comme une "commande écriture des registres tampon temporisateur".

Le EF6846 a été conçu pour permettre le transfert de deux octets de données dans les registres tampon du compteur depuis une source quelconque, pourvu que l'octet de poids fort soit transféré le premier. Dans de nombreuses applications, la source des données est un MPU EF6800. Il faut noter que les opérations de mémorisation sur 16 bits avec la famille des microprocesseurs EF6800 (STS et STX) transfèrent les données dans l'ordre exigé par le EF6846. Une instruction de mémorisation du registre index, par exemple, provoque un transfert de l'octet de poids fort du registre X à l'adresse sélectée, puis une écriture de l'octet de poids faible du registre X dans l'emplacement mémoire suivant. Ainsi, soit le registre index, soit le pointeur de pile peuvent être directement transférés dans les registres tampon du compteur en une seule instruction.

Un zéro logique à l'entrée $\overline{\text{Reset}}$ initialise les registres tampon du compteur. Tous les registres tampon se chargent à leur valeur de comptage maximum (65535). Il est important de noter qu'un $\overline{\text{Reset}}$ interne (bit zéro du

registre contrôle temporisateur mis à 1) n'affecte pas les registes tampon du compteur.

INITIALISATION DU COMPTEUR

L'initialisation du compteur est définie comme le transfert de données depuis les registres tampon vers le compteur avec une remise à zéro correspondante des indicateurs d'interruption associés au compteur. L'initialisation du compteur a toujours lieu lorsqu' une condition d'initialisation ($\overline{\text{Reset}}$ externe = 0 ou bien TCR0 = 1) est reconnue. Elle peut aussi avoir lieu (en fonction du mode temporisateur) avec une commande d'écriture des registres tampon temporisateur ou reconnaissance d'une transition négative sur l'entrée de déclenchement ($\overline{\text{CTG}}$).

Le recyclage ou la réinitialisation du compteur s'exécute quand une entrée horloge est reconnue après remise à zéro de l'état compteur. Dans ce cas, les données sont transférées des registres tampon vers le compteur, mais l'indicateur d'interruption n'est pas affecté.

REGISTRE DE CONTROLE DU TEMPORISATEUR

Le registre de contrôle du temporisateur (voir tableau 2) dans le EF6846 est utilisé pour modifier le fonctionnement du temporisateur pour s'adapter à de nombreuses applications. Le registre de contrôle du temporisateur possède un espace adresse unique (A0 = 1, A1 = 0, A2 = 1) et peut ainsi être écrit à tout instant. Le bit de poids le plus faible du registre de contrôle est utilisé comme bit d'initialisation interne. Lorsque ce bit est un zéro logique, tous les temporisateurs sont autorisés à fonctionner dans les modes prescrits par les bits restants du registre de contrôle du temporisateur.

L'écriture d'un "un" dans le bit 0 du registre de contrôle temporisateur (TRC0) positionne le compteur à la valeur contenue dans les registres tampon du compteur, toutes les horloges compteur sont inhibées, la sortie temporisateur et l'indicateur d'interruption (registre d'état) sont mis à zéro. Les registres tampon du compteur et le registre de contrôle temporisateur ne sont pas modifiés par une réinitialisation interne et peuvent être écrits indépendamment de l'état de TCR0.

Le bit 1 (TCR1) du registre de contrôle temporisateur est utilisé pour sélecter la source horloge. Lorsque TCR1 = 0, l'entrée horloge externe $\overline{\text{CTC}}$ est sélectée, et lorsque TCR1 = 1, le temporisateur utilise l'horloge système $\phi2$.

Le bit 2 (TCR2) du registre de contrôle temporisateur valide le pré-compteur diviseur par 8 (TCR2 = 1). Dans ce mode, la fréquence horloge est divisée par huit avant d'être appliquée au compteur. Quand TCR2 = 0 l'horloge système est appliquée directement au compteur.

TCR3, 4, 5 sélectionnent les modes de fonctionnement du temporisateur, et sont exposés dans la section suivante.

Le bit 6 (TCR6) du registre contrôle temporisateur est utilisé pour masquer ou valider la requête d'interruption temporisateur. Quand TCR6 = 0, l'indicateur d'interruption est masqué par rapport au temporisateur. Quand TCR6 = 1, l'indicateur d'interruption est validé dans le bit 7 du registre d'état composite (bit IRQ composite), qui apparaît sur la broche de sortie $\overline{\text{IRQ}}$.

Le bit 7 (TCR7) du registre de contrôle temporisateur a une fonction spéciale quand le temporisateur est en mode cascade monocoup. Cette fonction est expliquée en détail dans la section décrivant ce mode. Dans tous les autres modes, TCR7 agit simplement comme bit de validation de sortie. Si TCR7 = 0, la sortie temporisateur compteur (CTO) est forcée à l'état bas. Ecrire un "un" logique dans TCR7 active la sortie CTO .

MODES DE FONCTIONNEMENT DU TEMPORISATEUR

Le EF6846 a été conçu pour fonctionner efficacement dans une large variété d'applications. Ceci est réalisé en utilisant trois bits du registre de contrôle (TCR3, TCR4 et TCR5) pour définir différents modes de fonctionnement du temporisateur, comme indiqué dans le tableau 3.

TABLEAU 2 - FORMAT DU REGISTRE DE CONTROLE COMPTEUR/TEMPORISATEUR

BIT REGISTRE DE CONTROLE	ÉTAT	DÉFINITION DU BIT	DÉFINITION DE L'ÉTAT
TCR0	0	Initialisation interne	Validation temporisateur
	1		Temporisateur à l'état pré-établi
TCR1	0	Source horloge	Temporisateur utilise une horloge externe ($\overline{\text{CTC}}$)
	1		Temporisateur utilise l'horloge système $\phi2$
TCR2	0	Validation par pré-compteur diviseur par 8	L'horloge n'est pas pré-comptée
	1		L'horloge est pré-comptée par compteur diviseur par 8
TCR3 TCR4 TCR5	X X X	Sélection du mode de fonctionnement	Voir tableau 3
TCR6	0	Validation interruption temporisateur	$\overline{\text{IRQ}}$ du temporisateur masqué
	1		$\overline{\text{IRQ}}$ du temporisateur validé
TCR7	0	Validation sortie temporisateur	Sortie compteur (CTO) mise à l'état bas
	1		Sortie compteur validée

TABLEAU 3 - MODES DE FONCTIONNEMENT

TCR3	TCR4	TCR5	Mode de fonctionnement du temporisateur	Initialisation compteur	Indicateur d'interruption mis à un
0	0	0	Continu	$\overline{CTG}\downarrow + W + R$	TO
0	0	1	Cascade monocoup	$\overline{CTG}\downarrow + R$	TO
0	1	0	Continu	$\overline{CTG}\downarrow + R$	TO
0	1	1	Normal monocoup	$\overline{CTG}\downarrow + R$	TO
1	0	0	Comparaison de fréquence	$\overline{CTG}\downarrow \cdot \overline{T} \cdot (W + TO) + R$	$\overline{CTG}\downarrow$ avant TO
1	0	1		$\overline{CTG}\downarrow . \overline{T} + R$	TO avant $\overline{CTG}\downarrow$
1	1	0	Comparaison de largeur d'impulsion	$\overline{CTG}\downarrow \cdot \overline{T} + R$	$\overline{CTG}\uparrow$ avant TO
1	1	1			TO avant $\overline{CTG}\uparrow$

R = Condition d'initialisation
W = Écriture des registres tampon du temporisateur
TO = Fin de comptage
$\overline{CTG}\downarrow$ = Transition négative sur la broche 17
$\overline{CTG}\uparrow$ = Transition positive sur la broche 17
$\overline{T}$ = Indicateur d'interruption (CSR0) = 0

MODE DE FONCTIONNEMENT CONTINU (TCR3 = 0, TCR5 = 0)

Le temporisateur peut être programmé pour fonctionner en mode de comptage continu en écrivant des zéro dans les bits 3 et 5 du registre de contrôle temporisateur. En supposant que la sortie temporisateur soit validée (TCR7 = 1) un signal carré est généré sur la sortie temporisateur CTO (voir tableau 4).

L'initialisation du temporisateur (TCR0 = 1 ou $\overline{\text{Reset}}$ externe = 0) ou la reconnaissance interne d'une transition négative sur l'entrée $\overline{CTG}$ se traduit par une initialisation du compteur. Une commande d'écriture des registres tampon du temporisateur peut être sélectée comme un signal d'initialisation compteur par remise à zéro de TCR4.

La discussion du mode continu suppose que l'application nécessite un signal de sortie. Il est à noter que le temporisateur fonctionne de la même manière avec la sortie invalidée (TCR7 = 0). Une commande lecture du compteur temporisateur est valide indépendamment de l'état de TCR7.

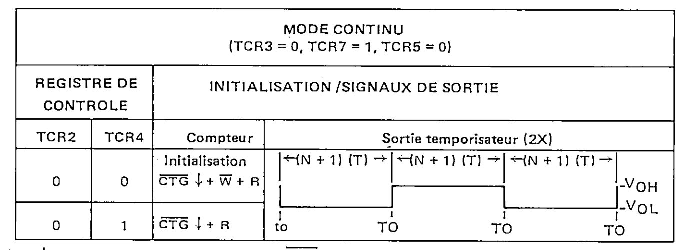
MODE TEMPORISATEUR MONOCOUP NORMAL (TCR3 = 0, TCR4 = 1, TCR5 = 1)

Ce mode est identique au mode continu avec deux exceptions. La première apparaît dans le nom : la sortie retourne à l'état bas après la fin de comptage (TO) initiale et reste à l'état bas jusqu'au cycle d'initialisation compteur suivant. Le signal de sortie (CTO) est montré figure 16.

Comme indiqué en figure 16, le mécanisme de comptage interne demeure cyclique en mode monocoup. Chaque fin de comptage se traduit par l'établissement d'un indicateur d'interruption individuel et une réinitialisation du compteur.

La seconde principale différence entre le mode monocoup et le mode continu est que la validation du compteur interne ne dépend pas du niveau d'entrée $\overline{CTG}$ qui reste à l'état bas dans le mode monocoup. Mis à part ces différences, les deux modes sont identiques.

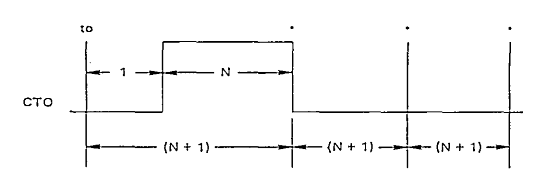
TABLEAU 4 - MODES DE FONCTIONNEMENT CONTINU



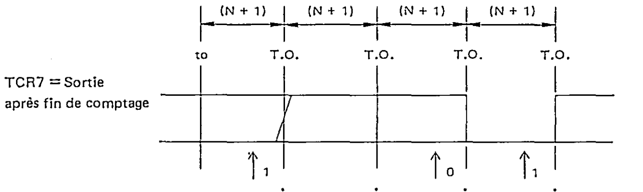
MODE CONTINU (TCR3 = 0, TCR7 = 1, TCR5 = 0)			
REGISTRE DE CONTROLE		INITIALISATION /SIGNAUX DE SORTIE	
TCR2	TCR4	Compteur	Sortie temporisateur (2X)
0	0	Initialisation $\overline{CTG}\downarrow + \overline{W} + R$	
0	1	$\overline{CTG}\downarrow + R$	

$\overline{CTG}\downarrow$ = Transition négative sur l'entrée $\overline{CTG}$
$\overline{W}$ = Commande d'écriture des registres tampon du temporisateur
R = Mise à zéro du temporisateur (TCR0 = 1 ou $\overline{\text{RESET}}$ externe = 0)
N = Nombre de 16 bits dans les registres tampon du compteur
T = Période d'entrée horloge vers compteur
to = Cycle d'initialisation compteur
TO = Fin de comptage (condition tout à zéro)

FIGURE 16 - MODES MONOCOUP



(A) SIGNAL DE SORTIE EN MODE MONOCOUP NORMAL



(B) SIGNAL DE SORTIE EN MODE CASCADE MONOCOUP

1 = Ecrire un "1" dans TCR - 7
0 = Ecrire un "0" dans TCR - 7

* POINT SUR LEQUEL PEUT SURVENIR UNE INTERRUPTION

Note : Tous les intervalles de temps montrés ci-dessus supposent que les signaux de déclenchement ($\overline{CTG}$) et horloge ($\overline{CTC}$) sont synchronisés avec l'horloge système Ø 2, avec les spécifications de temps d'établissement et de maintien requises.

MODES INTERVALLE DE TEMPS (TCR3 = 1)

Les modes intervalle de temps sont prévus pour les applications exigeant plus de souplesse dans la génération des interruptions et l'initialisation du compteur. L'indicateur d'interruption est mis à un dans ces modes en fonction à la fois d'une fin de comptage et des transitions du signal d'entrée $\overline{CTG}$. L'initialisation du compteur est aussi fonction de l'état de l'indicateur d'interruption. Le signal de sortie n'est défini dans aucun de ces modes. Les autres traits saillants des modes intervalle de temps sont montrés tableau 5.

TABLEAU 5 - MODES INTERVALLE DE TEMPS

TCR3 = 1			
TCR4	TCR5	APPLICATION	CONDITION D'ETABLISSEMENT D'INDICATEUR D'INTERRUPTION INDIVIDUEL
0	0	Comparaison de fréquence	Interruption générée si la période d'entrée $\overline{CTG}$ (1/F) est inférieure à la fin de comptage (TO)
0	1	Comparaison de fréquence	Interruption générée si la période d'entrée $\overline{CTG}$ (1/F) est supérieure à la fin de comptage (TO)
1	0	Comparaison de largeur d'impulsion	Interruption générée si la transition positive sur $\overline{CTG}$ survient avant la fin de comptage.
1	1	Comparaison de largeur d'impulsion	Interruption générée si la transition positive sur $\overline{CTG}$ survient après la fin de comptage.

MODE CASCADE MONOCOUP
(TCR3 = 0, TCR = 0, TCR5 = 1)

Ce mode est identique au mode monocoup à deux exceptions près. Premièrement, le signal de sortie ne retourne pas à l'état bas et ne reste pas bas à la fin du comptage. A la place, le niveau de sortie demeure à son niveau initial jusqu'à ce qu'il soit re-programmé et changé par la fin de comptage. Le niveau de sortie peut être changé à chaque fin de comptage ou peut avoir n'importe quel nombre de fin de comptage entre les changements.

La seconde différence est la méthode utilisée pour changer le niveau de sortie. Le bit 7 du registre de contrôle temporisateur (TCR7) a une fonction spéciale dans ce mode. La sortie temporisateur (CTO) est égale à TCR7 cadencée par la fin de comptage. A chaque fin de comptage le contenu de TCR7 est cadencé et maintenu à la sortie CTO. Ainsi des impulsions de sortie de longueur supérieure à un cycle temporisateur peuvent être générées par des cycles temporisateur se succédant et par comptage des fins de comptage avec un programme logiciel (voir fig.16).

Une interruption est générée à chaque fin de comptage. Pour faire se succéder des cycles temporisateur, le MPU doit disposer d'un sous-programme d'interruption afin de :

1° compter chaque fin de comptage et déterminer quand TCR7 doit changer ;

2° écrire dans TCR7 l'état correspondant à l'état suivant désiré du signal de sortie (seulement nécessaire pendant le dernier cycle temporisateur avant que la sortie ne change d'état) ;

3° remettre à zéro l'indicateur d'interruption par lecture du registre d'état composite suivie par une lecture de l'octet de poids fort du temporisateur. Il est aussi possible, si on le souhaite, de changer la longueur du cycle temporisateur en réinitialisant les registres tampon du temporisateur. Ceci donne plus de flexibilité pour obtenir les périodes de temps désirées.

MODE DE COMPARAISON DE FRÉQUENCE
(TCR3 = 1, TCR4 = 0)

Le temporisateur dans le EF6846 peut être programmé pour comparer la période d'une impulsion (donnant la fréquence après calculs) sur l'entrée $\overline{CTG}$ avec la période de temps nécessaire pour la fin de comptage. Une transition négative sur l'entrée $\overline{CTG}$ valide le compteur et démarre un cycle d'initialisation compteur (pourvu que les autres conditions notées tableau 6 soient satisfaites). Le compteur est décrémenté à chaque impulsion horloge reconnue pendant ou après une initialisation compteur jusqu'à ce qu'une interruption soit générée, une commande d'écriture des registres tampon soit émise, ou une condition de remise à zéro du temporisateur survienne. On peut voir dans le tableau 6 qu'une condition d'interruption est générée si TCR5 = 0 et la période d'impulsion (impulsion unique ou impulsions répétitives mesurées séparément) sur l'entrée $\overline{CTG}$ est inférieure à la période de fin de comptage. Si TCR5 = 1, une interruption est générée si le contraire est vrai.

Supposons maintenant avec TCR5 = 1 qu'une initialisation compteur soit survenue et que l'entrée $\overline{CTG}$ soit retournée à l'état bas avant la fin de comptage. Puisqu'il n'y a pas d'indicateur d'interruption individuel généré, ceci démarre automatiquement un nouveau cycle d'initialisation compteur. Le procédé continue, la comparaison de fréquence étant réalisée à chaque cycle sur l'entrée $\overline{CTG}$ jusqu'à ce que le mode ait changé, ou qu'un cycle soit défini comme étant supérieur à la limite prédéterminée.

MODE DE COMPARAISON DE LARGEUR D'IMPULSION (TCR3 = 1, TCR4 = 1)

Ce mode est similaire au mode comparaison de fréquence sauf pour le facteur limite qui est une transition positive de l'entrée $\overline{CTG}$ au lieu d'être négative. Avec TCR5 = 0, un indicateur d'interruption individuel est généré si le niveau zéro de l'impulsion appliquée à l'entrée $\overline{CTG}$ est plus court que la période de temps requise pour la fin de comptage. Avec TCR5 = 1, l'interruption est générée quand la condition inverse est vraie.

Comme on peut le voir tableau 7, une transition positive de l'entrée $\overline{CTG}$ inhibe le compteur. Avec TCR5 = 0, il est alors possible d'obtenir directement la largeur de chaque impulsion provoquant une interruption.

TABLEAU 6 - MODE COMPARAISON DE FRÉQUENCE

CRX3 = 1, CRX4 = 0				
Bit 5 (CRX5) du reg. de contrôle	Initialisation compteur	Mise à un, bascule validation compteur	Mise à zéro, bascule validation compteur	Indicateur d'interruption mis à un (I)
0	$\overline{G\downarrow}\cdot\overline{T}\cdot(\overline{CE}+TO\cdot CE)+R$	$\overline{G\downarrow}\cdot\overline{W}\cdot\overline{R}\cdot\overline{T}$	W+R+I	G↓ Avant TO
1	$\overline{G\downarrow}\cdot\overline{T}+R$	$\overline{G\downarrow}\cdot\overline{W}\cdot\overline{R}\cdot\overline{T}$	W+R+I	TO Avant G↓

I : représente les interruptions du temporisateur

TABLEAU 7 - MODE COMPARAISON DE LARGEUR D'IMPULSION

CRX3 = 1, CRX4 = 1				
Bit 5 (CRX5) du reg. de contrôle	Initialisation compteur	Mise à un, bascule validation compteur	Mise à zéro, bascule validation compteur	Indicateur d'interruption mis à un (I)
0	$\overline{G\downarrow}\cdot\overline{T}+R$	$\overline{G\downarrow}\cdot\overline{W}\cdot R\cdot\overline{T}$	W+R+I+G	G↓ Avant TO
1	$\overline{G\downarrow}\cdot\overline{T}+R$	$\overline{G\downarrow}\cdot\overline{W}\cdot\overline{R}\cdot\overline{T}$	W+R+I+G	TO Avant G↓

DIFFÉRENCES ENTRE LES TEMPORISATEURS EF6840 ET EF6846

1° Les registres de contrôle 1 et 3 sont protégés (accès par le registre de contrôle 2 seulement) dans le temporisateur EF6840. Dans le EF6846, tous les registres sont directement accessibles.

2° Le EF6840 a un mode continu deux fois 8 bits pour générer des signaux non symétriques. Le EF6846 a, à la place, un mode cascade monocoup qui peut accomplir la même fonction, mais permet aussi à l'utilisateur de générer des signaux plus longs qu'une fin de comptage.

3° A cause de ces différents modes, il y a une différence dans les registres de contrôle entre le EF6840 et le EF6846.

BIT REGISTRE CONTROLE	EF6840	EF6846
2	Contrôle du mode 16 bits ou deux fois 8 bits	Précompteur ÷ 8 validé
7	Sortie validée (tous modes)	prochain état de sortie (mode cascade monocoup seulement), sortie validée dans tous autres modes.
0	R_1 Initialisation interne R_2 Sélection registre contrôle R_3 Contrôle horloge temporisateur 3	initialisation interne

REGISTRE D'ÉTAT COMPOSITE

Le registre d'état composite (CSR) est un registre à lecture seule qui est partagé par le temporisateur et l'accès données périphériques du EF6846. Trois indicateurs d'interruption individuels dans le registre sont mis à un directement via les conditions appropriées dans le temporisateur ou le port périphérique. L'indicateur d'interruption composite (et la sortie $\overline{IRQ}$) répond à ces interruptions individuelles seulement si les bits actifs sont mis à un dans les registres de contrôle appropriés (voir fig. 17). Par exemple, la mise à un de TCR6 tandis que CSR0 est à l'état haut provoque la mise à un de CSR7.

L'indicateur d'interruption composite (CSR7) est remis à zéro seulement si tous les indicateurs d'interruption individuelle sont remis à zéro. Les conditions de remise à zéro de CSR1 et CSR2 sont détaillées dans une prochaine section. L'indicateur d'interruption temporisateur (CSR0) est remis à zéro dans les conditions suivantes :

1° Remise à zéro temporisateur : bit d'initialisation interne (TCR0) = 1 ou $\overline{Reset}$ externe = 0.

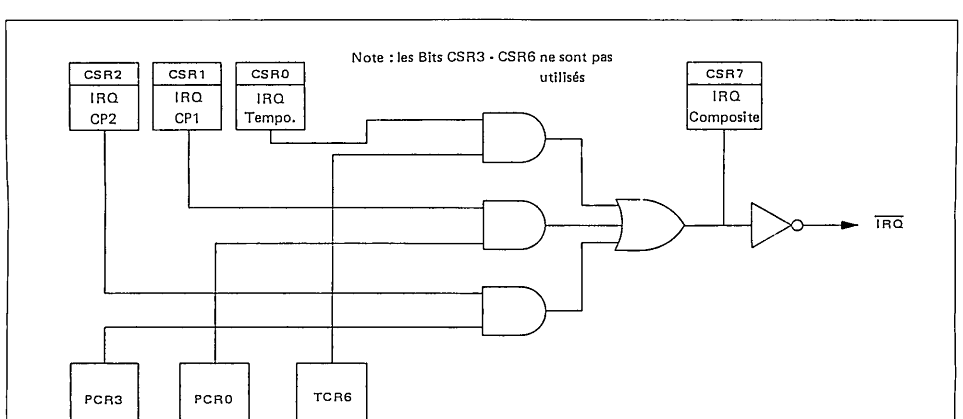
2° Toute condition d'initialisation compteur

3° Une commande d'écriture des registres tampon du temporisateur, si les modes d'intervalle de temps (TCR3 = 1) sont utilisés.

4° Une commande de lecture compteur/temporisateur, pourvu qu'elle soit précédée par une lecture du registre d'état composite pendant que CSR0 est mis à un. Cette dernière condition évite de perdre une requête d'interruption générée après lecture du registre d'état et avant lecture du compteur.

Les bits restants du registre d'état composite (CSR3–CSR6) sont inutilisés. Ils sont lus comme un niveau logique zéro.

FIGURE 17 - REGISTRE D'ÉTAT COMPOSITE ET LOGIQUE ASSOCIÉE



FONCTIONNEMENT DES E/S

PORT PARALLELE PÉRIPHÉRIQUE

Le port périphérique du EF6846 contient 8 lignes périphériques (P0-P7), deux lignes de contrôle périphériques (CP1 et CP2), un registre direction des données périphériques, et un registre contrôle périphérique. Le port affecte aussi directement deux bits (CSR1 et CSR2) du registre d'état composite.

Le port périphérique est similaire au côté B d'un PIA (EF6821) avec les exceptions suivantes :

1º Tous les registres sont directement accessibles dans le EF6846. Les registres direction des données et données périphériques dans le EF6821 sont situés à la même adresse, avec le bit deux du registre de contrôle utilisé pour la sélection des registres.

2º Le bit deux (PCR2) du registre de contrôle périphérique du EF6846 est utilisé pour sélecter une fonction entrée registre tampon optionnelle. Cette option n'est pas disponible sur le PIA EF6821.

3º Les indicateurs d'interruption sont situés dans le registre d'état composite du EF6846 au lieu des bits 6 et 7 du registre de contrôle comme utilisés dans le EF6821.

4º Les indicateurs d'interruption sont remis à zéro dans le EF6821 par lecture des données depuis le registre des données périphériques. Les indicateurs d'interruption du EF6846 sont mis à zéro soit par lecture, soit par écriture vers le registre des données périphériques, pourvu que cette séquence soit suivie : a) indicateur mis à un, b) lecture du registre d'état composite, c) lecture/écriture du registre des données périphériques.

5º Le bit 6 du registre de contrôle périphérique du EF6846 n'est pas utilisé. Le bit 7 (PCR7) est un bit de remise à zéro interne non disponible sur le EF6821.

6º Les lignes données périphériques (et CP2) du EF6846 caractérisent la limitation de courant interne qui leur permet d'attaquer directement la base de transistors NPN montés en Darlington.

REGISTRE DE DIRECTION DES DONNÉES

Le MPU peut écrire directement dans ce registre 8 bits pour configurer les lignes données périphériques, soit en entrées, soit en sorties. Un bit particulier dans le registre (DDRN) est utilisé pour contrôler la ligne données périphérique correspondante (PN). Avec DDRN = 0, PN devient une entrée ; si DDRN = 1, PN est une sortie. A titre d'exemple , l'écriture en hexadécimal $ OF dans le registre direction des données, se traduit par P0 à P3 qui deviennent des sorties et P4 à P7 qui deviennent des entrées. $ 55 (hexadécimal) dans le registre direction des données se traduit en sorties et entrées alternées sur le port parallèle.

REGISTRE DE DONNÉES PÉRIPHÉRIQUES

Le registre 8 bits est utilisé pour le transfert de données entre le port données périphériques et le MPU. Chaque bit correspondant à une ligne de sortie est utilisé pour attaquer l'amplificateur de sortie associé à cette ligne. Les données dans ces bits de sortie sont normalement fournies par une fonction écriture du MPU. Les bits d'entrée (ceux associés aux lignes d'entrées) sont inchangés par une commande écriture. Chaque bit d'entrée montre l'état de la ligne d'entrée associée si la fonction registre tampon d'entrée est désélectée. Si le registre de contrôle est programmé pour fournir l'échantillonnage d'entrée, le bit d'entrée maintient l'état à l'instant où CP1 est validée jusqu'à ce que le registre données périphériques soit lu par le MPU.

REGISTRE CONTROLE PÉRIPHÉRIQUE

Ce registre 8 bits est utilisé pour contrôler la fonction de remise à zéro aussi bien que pour la sélection des fonctions optionnelles des deux lignes de contrôle périphérique (CP1 et CP2). Les fonctions du registre de contrôle périphérique sont montrés tableau 8.

TABLEAU 8 - FORMAT DU REGISTRE DE CONTROLE PERIPHERIQUE

PCR7	PCR6	PCR5	PCR4	PCR3	PCR2	PCR1	PCR0

PCR7 : INITIALISATION (MIS A 1 PAR RESET EXT. = 0 OU PAR ÉCRITURE D'UN 1 A L'EMPLACEMENT ; REMIS A 0 PAR ECRITURE D'UN ZÉRO A CET EMPLACEMENT)
0 = FONCTIONNEMENT NORMAL
1 = CONDITION D'INITIALISATION (MISE A ZÉRO DES REG. DIRECTION DES DONNÉES ET DONNÉES PÉRIPH. + CSR1 et CSR2)

PCR5 : CP2 CONTROLE DIRECTION
0 = CP2 EST UNE ENTRÉE
1 = CP2 EST UNE SORTIE

PCR2 : CP1 CONTROLE D'ÉCHANTILLONNAGE D'ENTRÉE
0 = DONNÉES D'ENTRÉE NON ÉCHANTILLONNÉES
1 = DONNÉES D'ENTRÉE ECHANTILLONNÉES SUR CP1 ACTIF

PCR1 : CP1 SÉLECT. DE TRANS. ACTIVE
0 = TRANSITION NÉGATIVE (↓)
1 = TRANSITION POSITIVE (↑)

PCR0 : CP1 VALIDATION D'INT.
0 = CP1 INT. MASQUÉE
1 = CP1 INT. VALIDÉE

PCR4, PCR3 — CP2 EST UNE ENTRÉE (PCR5 = 0) :

PCR4 : CP2 SÉLECT: DE TRANS. ACTIVE
0 = TRANSITION NÉGATIVE (↓)
1 = TRANSITION POSITIVE (↑)

PCR3 : CP2 VALIDATION INTERRUP.
0 = CP2 INT. MASQUÉE
1 = CP2 INT. VALIDÉE

PCR4	PCR3	CP2 EST UNE SORTIE (PCR5 = 1)
0	0	RECONNAISSANCE D'INT.
0	1	RECONNAISSANCE D'E/S
1	0 OU 1	SORTIE PROGRAMMABLE (CP2 RENVOIE LA DONNÉE ÉCRITE DANS PCR3)

INITIALISATION DU PORT PÉRIPHÉRIQUE (PCR7)

Le bit 7 du registre de contrôle périphérique (PCR7) peut être utilisé pour initialiser la section périphérique du EF6846. Lorsque ce bit est mis à l'état haut, le registre données périphériques, le registre direction des données périphériques, et les indicateurs d'interruption associés au port périphérique (CSR1 et CSR2) sont tous remis à zéro. Les autres bits du registre contrôle périphérique ne sont pas affectés par PCR7.

PCR7 est mis à un soit par un zéro logique à l'entrée externe $\overline{\text{RESET}}$, soit sous contrôle du programme par écriture d'un "un" dans l'emplacement. Dans tous les cas, PCR7 peut être remis à zéro seulement par écriture d'un zéro dans l'emplacement pendant que $\overline{\text{RESET}}$ est à l'état haut. Le bit doit être remis à zéro pour activer le port.

CONTROLE DE LA LIGNE DE CONTROLE PÉRIPHÉRIQUE CP1

CP1 peut être utilisé comme requête d'interruption vers le EF6846, comme signal d'échantillonnage pour permettre le maintien des données d'entrée, ou les deux. Dans chacun des cas, l'entrée peut être programmée pour être validée sur une transition soit positive, soit négative du signal. Ces options sont sélectionnées via les bits PCR0, PCR1 et PCR2 du registre de contrôle.

Le bit 0 du registre de contrôle (PCR0) est utilisé pour valider la circuiterie de transfert d'interruption du EF6846. Sans tenir compte de l'état de PCR0, une transition active de CP1 entraîne la mise à un du bit 1 (CSR1) du registre d'état composite. Si PCR0 = 1, cette interruption est renvoyée dans l'indicateur d'interrupttion composite (CSR7), et ainsi sur la sortie $\overline{\text{IRQ}}$. CSR1 est remis à zéro par une condition d'initialisation du port périphérique ou par lecture ou écriture vers le registre données périphériques après que le registre d'état composite ait été lu. La dernière alternative est conditionnelle : CSR1 doit avoir un "un" logique lorsque le registre d'état composite a été lu en dernier. Ceci évite les remises à zéro, par inadvertance, des indicateurs d'interruption générés entre le moment où le registre d'état est lu et la manipulation des données périphériques.

Le bit 1 du registre de contrôle (PCR1) est utilisé pour sélecter le front actif de CP1. Quand PCR1 = 0, CP1 est actif sur les transitions négatives (haut vers bas). CP1 est actif sur les transitions positives quand PCR1 = 1.

En plus de son utilisation comme entrée d'interruption, CP1 peut être utilisée comme signal d'échantillonnage pour saisir les données en entrée dans un registre tampon interne. Cette option est sélectée par l'écriture d'un "un" dans le bit 2 (PCR2) du registre de contrôle. En fonctionnement, les données sur les broches désignées par le registre de direction des données comme étant des entrées, seront saisies par une transition active de CP1. Une lecture par le MPU du registre de données périphériques se traduira par un transfert des données saisies vers le MPU, et libèrera aussi le registre tampon pour permettre la saisie de nouvelles données. Noter que des transitions actives successives sans commande de lecture de données périphériques, ne rafraîchissent pas le registre tampon. Aussi, il faut noter que l'utilisation de la fonction échantillonnage d'entrée (qui peut être désélectée par écriture d'un zéro en PCR2) n'a pas d'effet sur les données en sorties. Elle n'affecte pas la fonction interruption de CP1.

CONTROLE DE LA LIGNE DE CONTROLE PÉRIPHÉRIQUE CP2

CP2 peut être utilisée en entrée par écriture d'un zéro dans PCR5. Dans cette configuration, CP2 devient un double de CP1 en regard de la génération des interruptions. Une transition active (telle que sélectée par PCR4) a pour effet de mettre à un le bit 2 du registre d'état composite. PCR3 est alors utilisé pour sélecter si la transition CP2 a pour effet de mettre CSR7 à un, et par conséquence, $\overline{\text{IRQ}}$ à l'état bas. CP2 n'a pas d'effet sur la fonction échantillonnage d'entrée du EF6846.

L'écriture d'un "un" dans PCR5 entraîne CP2 à fonctionner en sortie. PCR4 détermine alors si CP2 doit être utilisé en mode appel-réponse ou en mode sortie programmable. Avec PCR4 = 1, CP2 renvoie simplement la donnée écrite dans PCR3. Ceci pouvant être changé sous contrôle du programme, ce mode permet à CP2 d'être une ligne de sortie programmable tout-à-fait de la même manière que les lignes sélectées en sorties par le registre direction des données.

Le mode appel-réponse (PCR5 = 1, PCR4 = 0) permet à CP2 de réaliser une fonction sélectée par PCR3. Quand PCR3 = 1, CP2 passe à l'état bas sur la première transition positive du signal d'horloge E (Ø 2 système) après une lecture ou écriture vers le registre données périphériques. Ce signal reconnaissance d'E/S est obtenu (retourne à l'état haut) sur la prochaine transition positive du signal d'horloge E (Ø 2 système).

En mode reconnaissance d'interruption (PCR5 = 1, PCR4 = PCR3 = 0), CP2 est mis à un lorsque CSR1 est mis à un par une transition active de CP1. Il est obtenu (passe à l'état bas) sur la première transition positive de l'horloge E après que CSR1 soit remis à zéro via une lecture ou écriture du MPU vers le registre données périphériques. Noter que les conditions décrites précédemment pour la remise à zéro de CSR1 s'appliquent toujours.

SÉQUENCE DE REDÉMARRAGE

Une séquence de redémarrage type pour le EF6846 inclut l'initialisation des registres contrôle périphériques et direction des données du port parallèle. Il est nécessaire de mettre à un le registre contrôle périphérique en premier, PCR7 = 0 étant une condition pour l'écriture de données dans le registre direction des données. Un zéro logique à l'entrée externe $\overline{\text{Reset}}$ met automatiquement à un PCR7.

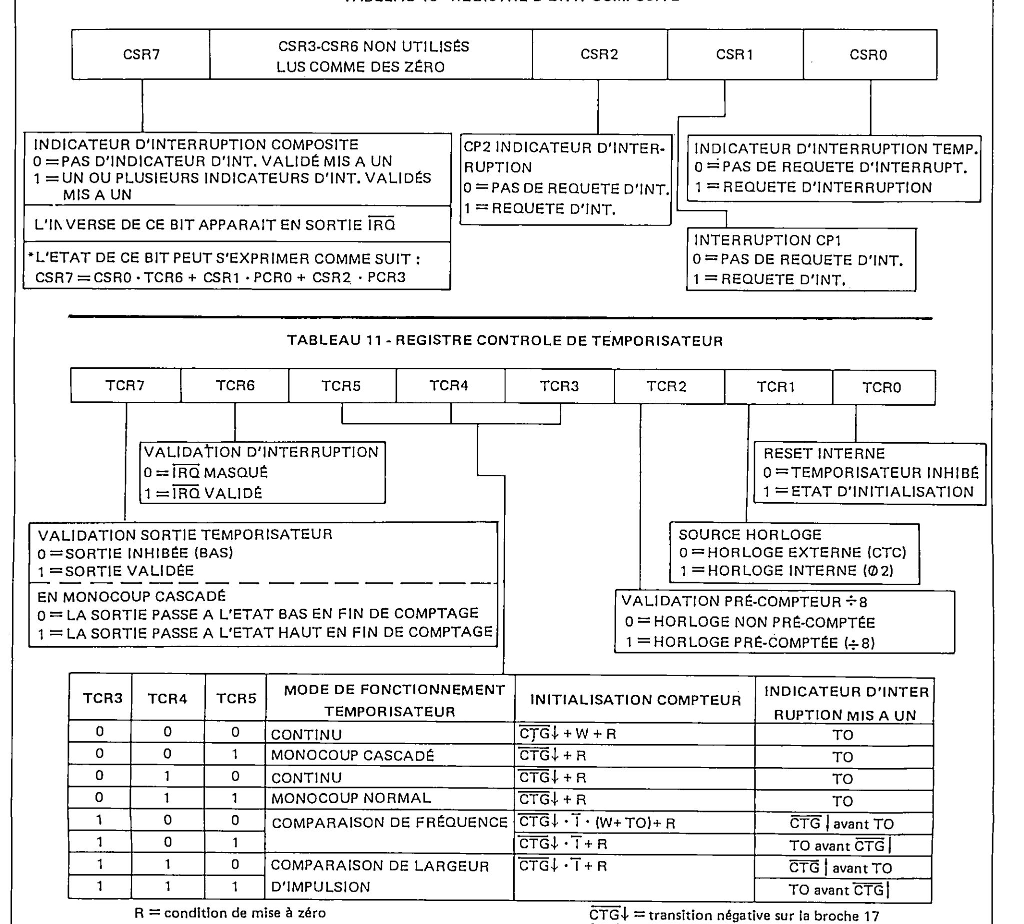
RÉSUMÉ

Le EF6846 dispose de plusieurs modes de fonctionnement qui lui permettent d'être utilisé dans de nombreuses applications. Les tableaux suivants sont fournis comme référence pour la sélection de ces modes.

TABLEAU 9 - ADRESSES DES REGISTRES INTERNES DU EF6846

A2	A1	A0	REGISTRE SÉLECTÉ
0	0	0	Registre d'état composite (CSR)
0	0	1	Registre contrôle périphérique (PCR)
0	1	0	Registre direction des données (DDR)
0	1	1	Registre données périphériques (PDR)
1	0	0	Registre d'état composite (CSR)
1	0	1	Registre contrôle temporisateur (TCR)
1	1	0	Registre temporisateur d'octet de poids fort
1	1	1	Registre temporisateur d'octet de poids faible
x	x	x	Adresse mémoire ROM

TABLEAU 10 - REGISTRE D'ÉTAT COMPOSITE



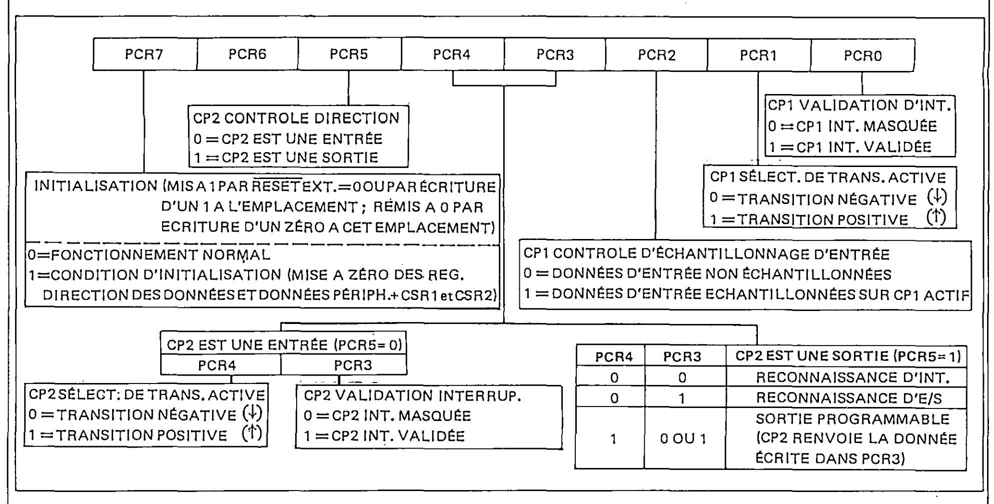
TCR3	TCR4	TCR5	MODE DE FONCTIONNEMENT TEMPORISATEUR	INITIALISATION COMPTEUR	INDICATEUR D'INTERRUPTION MIS A UN
0	0	0	CONTINU	$\overline{CTG}\downarrow + W + R$	TO
0	0	1	MONOCOUP CASCADÉ	$\overline{CTG}\downarrow + R$	TO
0	1	0	CONTINU	$\overline{CTG}\downarrow + R$	TO
0	1	1	MONOCOUP NORMAL	$\overline{CTG}\downarrow + R$	TO
1	0	0	COMPARAISON DE FRÉQUENCE	$\overline{CTG}\downarrow \cdot \overline{I} \cdot (W + TO) + R$	$\overline{CTG}\uparrow$ avant TO
1	0	1		$\overline{CTG}\downarrow \cdot \overline{I} + R$	TO avant $\overline{CTG}\uparrow$
1	1	0	COMPARAISON DE LARGEUR D'IMPULSION	$\overline{CTG}\downarrow \cdot \overline{I} + R$	$\overline{CTG}\uparrow$ avant TO
1	1	1			TO avant $\overline{CTG}\uparrow$

R = condition de mise à zéro
$\overline{W}$ = écriture des bascules
TO = fin de comptage

$\overline{CTG}\downarrow$ = transition négative sur la broche 17
$\overline{CTG}\uparrow$ = transition positive sur la broche 17
$\overline{I}$ = Indicateur d'interruption (CSR0) = 0



TABLEAU 12 - REGISTRE CONTROLE PÉRIPHÉRIQUE

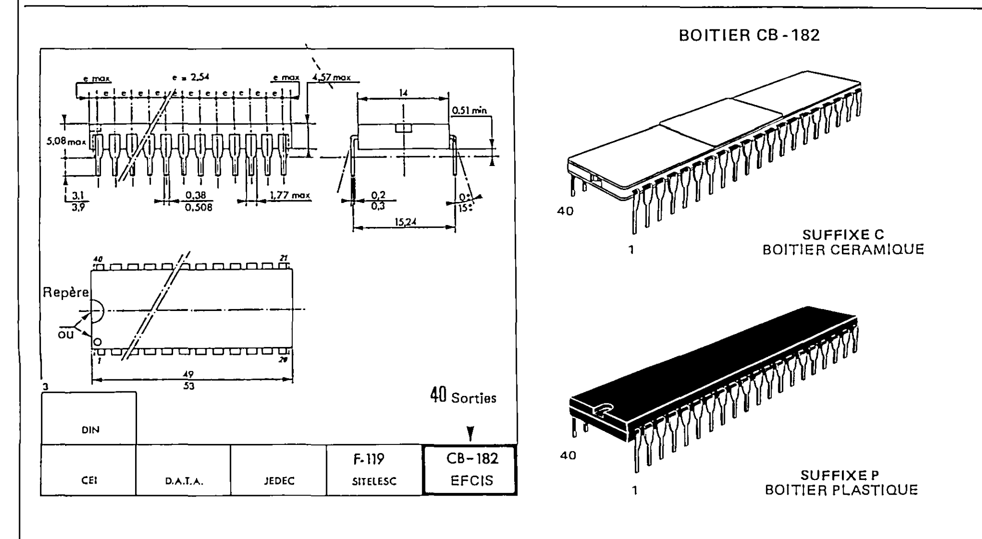


PCR4	PCR3	CP2 EST UNE SORTIE (PCR5 = 1)
0	0	RECONNAISSANCE D'INT.
0	1	RECONNAISSANCE D'E/S
1	0 OU 1	SORTIE PROGRAMMABLE (CP2 RENVOIE LA DONNÉE ÉCRITE DANS PCR3)

PROGRAMMATION CLIENT

Veuillez prendre contact avec le réseau de vente EFCIS pour prendre connaissance de la façon de décrire le contenu de la mémoire.

BOITIER CB - 182



Informations préliminaires : ces spécifications peuvent changer sans préavis.
Consultez notre réseau de vente pour connaître la disponibilité des différentes versions de ce circuit.

EFCIS



Circuits Intégrés MOS THOMSON-EFCIS

mosmosmosmosmosmosmosmosmosmos

EF6850
1,0 MHz
EF68A50
1,5 MHz
EF68B50
2,0 MHz

Ancienne appellation : SFF9-6850

MOS

(CANAL N, GRILLE SI)

ADAPTATEUR POUR COMMUNICATIONS ASYNCHRONES (ACIA)

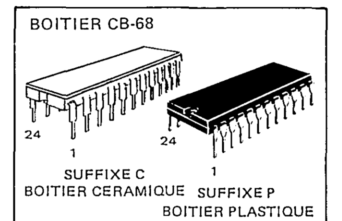
ADAPTATEUR POUR COMMUNICATIONS ASYNCHRONES

L'ACIA EF6850 est un circuit d'interface entre le microprocesseur EF6800 et un périphérique travaillant en mode série asynchrone. Il réalise la mise au format des données et le contrôle de la transmission.

L'ACIA est relié au système par des entrées de sélection, d'horloge, la ligne de lecture/écriture, une ligne d'interruption et un bus données 8 bits bidirectionnel. La donnée parallèle est transmise et reçue en série par l'interface asynchrone avec mise au format et contrôle d'erreur. La configuration fonctionnelle de l'ACIA est programmée à travers le bus données pendant l'initialisation du système. Un registre de contrôle programmable permet de définir la longueur des mots transmis, le rapport de division des horloges, de contrôler les transmissions, les réceptions et les interruptions. Trois lignes permettent la commande d'un périphérique ou d'un modem.

- Transmission de huit ou neuf bits
- Bit de parité ou d'imparité optionnel
- Contrôles de parités, de surcharge et d'erreur de format en réception
- Registre de contrôle programmable
- Rapports de division d'horloge : 1,16 et 64
- Vitesse maximale de transmission 500 kbps
- Suppression des bits de départ intempestifs
- Fonctions de contrôle périphérique/modem
- Deux étages de registres
- Fonctionnement avec un ou deux bits d'arrêt

BOITIER CB-68



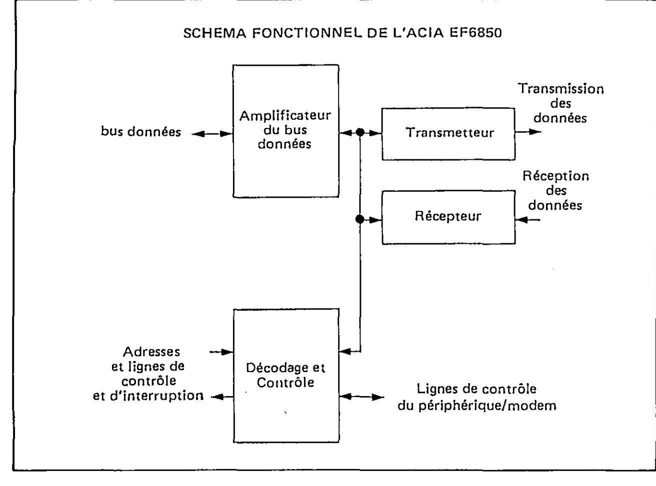
SUFFIXE C
BOITIER CERAMIQUE

SUFFIXE P
BOITIER PLASTIQUE

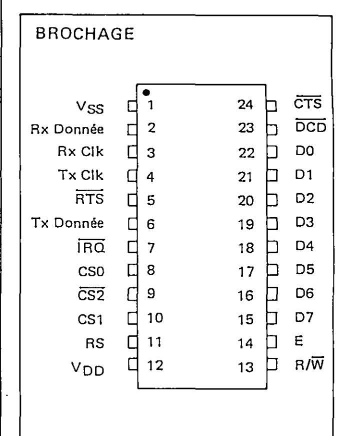
POUR COMMANDER

Vitesse	Circuit	Gamme de température
1.0 MHz	EF6850,P	0 à + 70° C
	EF6850CV,PV	– 40 à + 85° C
Equ.MIL.STD.883B	EF6850CMB	– 55 à +125° C
Equ.MIL.STD.883C	EF6850CMP	
1,5 MHz	EF68A50C,P	0 à + 70° C
	EF68A50CV,PV	– 40 à + 85° C
2.0 MHz	EF68B50C,P	0 à + 70° C

SCHEMA FONCTIONNEL DE L'ACIA EF6850



BROCHAGE



DS 9493 R1-F
1/8

EFCIS
45, av. de l'Europe
78140 VELIZY
FRANCE
Tel.: (1) 946 97 19
Telex : 698866F

VALEURS LIMITES

Paramètres		Symboles	Valeurs	Unités
Tension d'alimentation		V_{CC}	– 0.3 à + 7.0	V
Tension d'entrée		V_{in}	– 0.3 à + 7.0	V
Température de fonctionnement		T_A	0 à + 70	°C
Température de stockage		T_{stg}	– 55 à + 150	°C
Résistance thermique	Boîtier plastique Boîtier céramique	θ_{JA}	120 60	°C/W

CARACTÉRISTIQUES ELECTRIQUES (V_{CC}= 5 V ± 5 %, V_{SS}= 0 T_A= 0 à 70°C sauf spécifications contraires)

Caractéristiques		Symboles	Min	Typ	Max	Unités
Tension d'entrée à l'état haut		V_{IH}	V_{SS} + 2.0	–	V_{CC}	V
Tension d'entrée à l'état bas		V_{IL}	V_{SS} -0.3	–	V_{SS} + 0.8	V
Courant de fuite en entrée (V_I= 0 à 5,25 V)	R/$\overline{W}$, CS0, CS1, $\overline{CS2}$, E RS, RxD, RxC, $\overline{CTS}$, $\overline{DCD}$	I_{in}	–	1.0	2.5	µA
Courant d'entrée à l'état haute impédance (V_I= 0,4 à 2,4 V)	D0-D7	I_{TSI}	–	2.0	10	µA
Tension de sortie à l'état haut (I_{charge}= –205 µA, largeur de l'impulsion de validation <25 µs) (I_{charge} = –100 µA, largeur de l'impul. de valid. <25 µs)	D0-D7 TxD, $\overline{RTS}$	V_{OH}	 V_{SS} + 2.4 V_{SS} + 2.4	 – –	 – –	V
Tension de sortie à l'état bas (I_{charge} = 1,6 mA, largeur de l'impulsion de validation <25 µs)		V_{OL}	–	–	V_{SS} + 0.4	V
Courant de fuite en sortie (état déconnecté) (V_{OH}= 2,4 V)	$\overline{IRQ}$	I_{LOH}	–	1.0	10	µA
Puissance dissipée		P_D	–	300	525	mW
Capacité d'entrée (V_I = 0, T_A = 25° C, f = 1 MHz)	D0-D7 E, T x Clk, Rx Clk, R/$\overline{W}$, RS, RxD, CS0, CS1, $\overline{CS2}$, $\overline{CTS}$, $\overline{DCD}$	C_{in}	– –	10 7.0	12.5 7.5	pF
Capacité de sortie (V_I = 0, T_A = 25° C, f = 1 MHz)	$\overline{RTS}$, T x Donnée $\overline{IRQ}$	C_{out}	– –	– –	10 5.0	pF
Largeur min à l'état bas de l'impul. d'horloge (Fig. 1)	Modes ÷ 16 ÷ 64	PW_{CL}	600	–	–	ns
Largeur min à l'état haut de l'impul. d'horloge (Fig. 2)	Modes ÷ 16 ÷ 64	PW_{CH}	600	–	–	ns
Fréquence d'horloge	Mode ÷ 1 Modes ÷ 16 ÷ 64	f_C	– –	– –	500 800	kHz
Retard des données par rapport à l'horloge pour le transmetteur (Figure 3)		t_{TDD}	–	–	1.0	µs
Temps de préétablissement des données à la réception (Fig. 4)	Mode ÷ 1	t_{RDSU}	500	–	–	ns
Temps de maintien des données à la réception (Fig. 5)	Mode ÷ 1	t_{RDH}	500	–	–	ns
Temps de relâchement de $\overline{IRQ}$ (Fig. 6)		t_{IR}	–	–	1.2	µs
Temps de retard de $\overline{RTS}$ (Fig. 6)		t_{RTS}	–	–	1.0	µs
Temps de transition des entrées (sauf l'horloge E)		t_r, t_f	–	–	1.0*	µs

* 1 µs ou 10 % de la largeur d'impulsion

CARACTÉRISTIQUES DYNAMIQUES DU BUS

Paramètres	Symboles	EF6850		EF68A50		EF68B50		Unités
		Min	Max	Min	Max	Min	Max	
LECTURE (Figures 7 et 9)								
Temps de cycle de l'horloge E	t_{cycE}	1.0	–	0.666	–	0.500	–	µs
Largeur, à l'état haut, de l'impulsion d'horloge E	PW_{EH}	0.45	25	0.28	25	0.22	25	µs
Largeur, à l'état bas, de l'impulsion d'horloge E	PW_{EL}	0.43	–	0.28	–	0.21	–	µs
Temps préétablissement adresses et R/$\overline{W}$ par rapport à E↑	t_{AS}	160	–	140	–	70	–	ns
Temps de retard des données	t_{DDR}	–	320	–	220	–	180	ns
Temps de maintien des données	t_H	10	–	10	–	10	–	ns
Temps de maintien des adresses	t_{AH}	10	–	10	–	10	–	ns
Temps de montée et de descente de l'entrée horloge E	t_{Er}, t_{Ef}	–	25	–	25	–	25	ns
ECRITURE (Figures 8 et 9)								
Temps de cycle de l'horloge E	t_{cycE}	1.0	–	0.666	–	500	–	µs
Largeur, à l'état haut, de l'impulsion d'horloge E	PW_{EH}	0.45	25	0.28	25	0.22	25	µs
Largeur, à l'état bas, de l'impulsion d'horloge E	PW_{EL}	0.43	–	0.28	–	0.21	–	µs
Temps préétablissement adresses et R/$\overline{W}$ par rapport à E↑	t_{AS}	160	–	140	–	70	–	ns
Temps de pré-établissement des données	t_{DSW}	195	–	80	–	60	–	ns
Temps de maintien des données	t_H	10	–	10	–	10	–	ns
Temps de maintien des adresses	t_{AH}	10	–	10	–	10	–	ns
Temps de montée et de descente de l'entrée d'horloge E	t_{Er}, t_{Ef}	–	25	–	25	–	25	ns

FIGURE 1 – LARGEUR A L'ETAT BAS DE L'IMPULSION D'HORLOGE

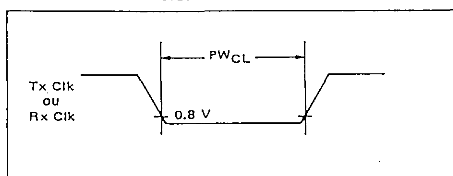


FIGURE 2 – LARGEUR A L'ETAT HAUT DE L'IMPULSION D'HORLOGE

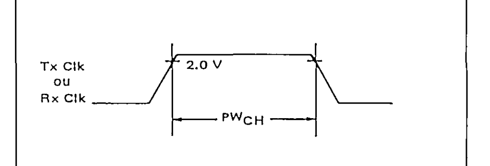


FIGURE 3 – RETARD EN SORTIE DES DONNEES TRANSMISES

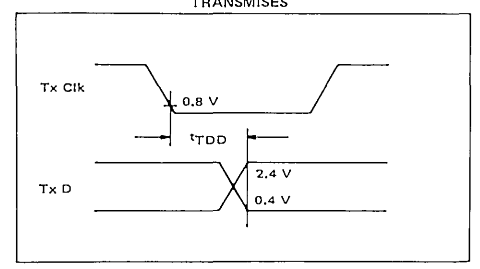


FIGURE 4 – TEMPS DE PREETABLISSEMENT DES DONNEES RECUES (Mode ÷ 1)

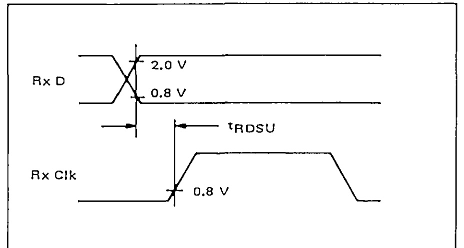


FIGURE 5 – TEMPS DE MAINTIEN DES DONNEES RECUES (Mode ÷ 1)

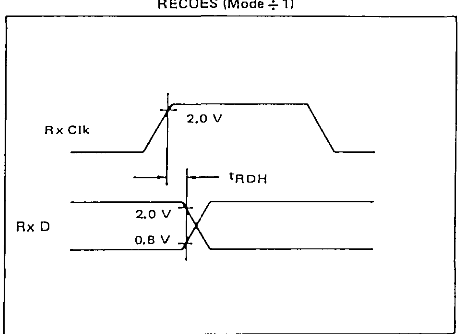


FIGURE 6 – TEMPS DE RETARD DE $\overline{RTS}$ ET TEMPS DE RELACHEMENT DE $\overline{IRQ}$

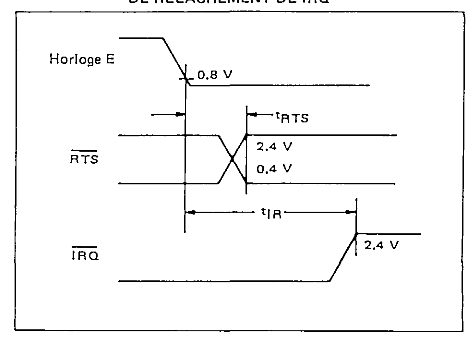


FIGURE 7 – CARACTERISTIQUES DYNAMIQUES DU BUS (en lecture)

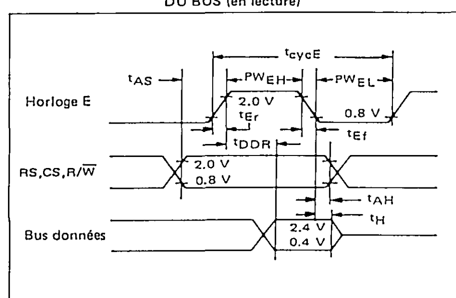


FIGURE 8 – CARACTERISTIQUES DYNAMIQUES DU BUS (en écriture)

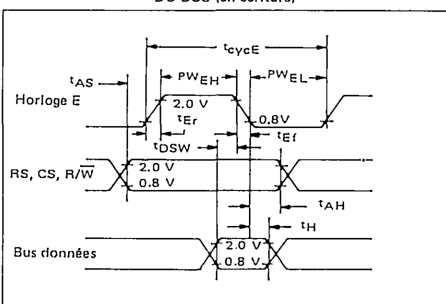
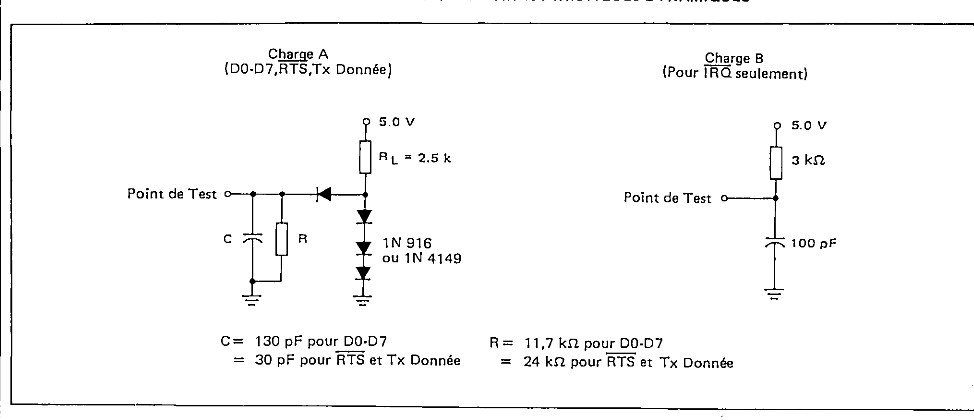


FIGURE 9 – CHARGES DE TEST DES CARACTERISTIQUES DYNAMIQUES



SCHEMA FONCTIONNEL

Horloge T x C de transmission 4
Horloge E 14
R/$\overline{W}$ 13
CS0 8
CS1 10
$\overline{CS2}$ 9
Sélection des registres RS 11
D0 22
D1 21
D2 20
D3 19
D4 18
D5 17
D6 16
D7 15
Sélection et contrôle Ecriture/ Lecture
Amplific. du Bus Données
Registre de transmission
Registre d'état
Registre de contrôle
Registre de réception
Générateur d'horloge
Générateur de parité
Registre à décalage de transmission
Contrôle de Transmission
Logique d'interruption
Contrôle de Réception
Contrôle de parité
Registre à décalage de réception
Générateur d'horloge
Logique de synchronisation
6 Données transmises Tx D
24 Inhibition de l'émetteur $\overline{CTS}$
7 Demande d'interruption $\overline{IRQ}$
23 Perte de la porteuse de données $\overline{DCD}$
5 Demande d'émission $\overline{RTS}$
2 Réception des données Rx D
V_{DD} = Broche 12
V_{SS} = Broche 1
Horloge de réception Rx C 3

FONCTIONNEMENT

Interfacé avec le bus, l'ACIA apparaît comme deux emplacements mémoires adressables. L'ACIA possède 4 registres internes accessibles au MPU : deux à lecture seule et deux à écriture seule. Les régistres à lecture seule sont : le registre d'état et le registre de réception ; les registres à écriture seule sont : le registre de contrôle et le registre de transmission. L'interface série est constitué d'une entrée et d'une sortie séries avec horloges indépendantes et trois lignes de contrôle périphérique/modem.

MISE SOUS TENSION / INITIALISATION PROGRAMMEE

L'initialisation programmée doit être effectuée (avec les bits CR0 et CR1) pendant l'initialisation du système pour mettre à l'état initial l'ACIA et préparer par programmation la configuration fonctionnelle de l'ACIA quand la communication est nécessaire. Les bits de contrôle CR5 et CR6 doivent aussi être programmés pour définir l'état de $\overline{RTS}$ chaque fois que l'initialisation programmée est utilisée. L'ACIA contient aussi une logique interne d'initialisation à la mise sous tension qui détecte la transition de la ligne d'alimentation et maintient le circuit dans un état de mise à zéro pour éviter des transitions intempestives en sortie avant l'initialisation. Cette logique dépend de la netteté des transitions de la ligne d'alimentation. L'ACIA sort de l'état de mise à zéro à la mise sous tension par l'initialisation programmée qui doit être effectuée avant d'utiliser l'ACIA. Après l'initialisation programmée de l'ACIA, le registre de contrôle programmable peut être positionné pour définir les rapports de division d'horloge, la longueur des mots transmis, le nombre de bits d'arrêt, le mode de parité, etc.

TRANSMISSION

En général, la séquence de transmission commence par la lecture du registre d'état de l'ACIA soit après une interruption soit pendant une boucle de test ("polling"). Un caractère peut être écrit dans le registre de transmission si la lecture du registre d'état indique que le registre de transmission est vide (bit TDRE à un). Le caractère est transféré dans un registre à décalage puis il est transmis en série, par la ligne de transmission des données, précédé par un bit de départ (Start bit) et suivi de un ou deux bits d'arrêt (Stop bits). Un bit de parité (paire ou impaire) peut être optionnellement ajouté au caractère et sera transmis entre le dernier bit de donnée et le premier bit d'arrêt. Après l'écriture du premier caractère dans le registre de transmission, le registre d'état peut être lu à nouveau pour tester le bit TDRE, indiquant si le registre de transmission est vide ou non, et l'état courant du périphérique. Si le registre est vide, un autre caractère peut être écrit même si le premier caractère est en cours de transmission (grâce au double registre). Le second caractère sera automatiquement transféré dans le registre à décalage, pour être transmis, quand la transmission du premier caractère sera terminée. Cette séquence continue jusqu'à ce que tous les caractères soient transmis.

RECEPTION

Les données de la périphérie sont reçues en série par l'entrée réception de données (RxD). Une synchronisation externe entre l'horloge et les données permet une réception des données séries à la fréquence de l'horloge (Mode ÷ 1, rapport de division de l'horloge égal à un). Pour les modes ÷ 16 et ÷ 64, rapport de division de l'horloge égal à 16 ou 64, la synchronisation entre l'horloge et les données est interne à l'ACIA, permettant ainsi un transfert des données à une fréquence 16 fois ou 64 fois moindre que celle de l'horloge. Dans les modes ÷ 16 et ÷ 64, la synchronisation des bits est assurée par la première transition (mark-to-space) de l'état haut à l'état bas du bit de départ. La possibilité de suppression des faux bits de départ est assurée par le fait que la synchronisation des bits est effective après la réception de la moitié du bit de départ. La parité (paire ou impaire) est contrôlée pendant la réception du caractère. Le registre d'état indique si le registre de réception est plein, ainsi que les éventuelles erreurs de parité, de format ou de sur-charge. En général, une séquence de réception commence par la lecture du registre d'état pour tester si un caractère a été reçu. Si le registre de réception est plein (bit RDRF à un), il peut être lu par le MPU. Quand l'ACIA fonctionne sur des mots de 8 bits comprenant un bit de parité (7 bits plus le bit de parité), le bit de parité n'est pas transféré dans le MPU (D7 = 0) ainsi seule la donnée est lue par le MPU. Ceci simplifie la programmation du MPU. La séquence continue par une nouvelle lecture du registre d'état pour déterminer quand un nouveau caractère sera disponible dans le registre de réception. Le récepteur a aussi un double registre de sorte qu'un caractère peut être lu dans le registre de données tandis qu'un autre est transmis dans le registre à décalage. Cette séquence continue jusqu'à ce que tous les caractères soient reçus.

FONCTIONS D'ENTREES / SORTIES

LIGNES D'INTERFACE AVEC LE BUS DU MPU

L'ACIA s'interface avec le MPU EF6800 par un bus de données 8 bits bidirectionnel, trois lignes de sélection de boîtier, une ligne de sélection des registres, une ligne d'interruption, une ligne de lecture/écriture et une ligne d'horloge E (ϕ2 Système).

Bus données D0-D7

Le bus données bidirectionnel 8 bits permet les transferts de données avec le MPU. Les amplificateurs de sortie sont à trois états et restent dans l'état haute impédance sauf quand le MPU effectue une lecture de l'ACIA.

Horloge E (Enable)

La ligne d'horloge E est une entrée à haute impédance, compatible TTL, qui active les amplificateurs d'entrées/sorties du bus données et qui active les transferts internes de données. Ce signal est généralement dérivé de la phase ϕ2 de l'horloge du MPU.

Lecture/Ecriture R/$\overline{W}$ (Read/$\overline{Write}$)

La ligne lecture/écriture R/$\overline{W}$ est une entrée à haute impédance, compatible TTL, et qui est utilisée pour contrôler le sens des transferts de données de l'interface du bus données. Quand R/$\overline{W}$ est à l'état haut (lecture du MPU), les amplificateurs de sorties de l'ACIA sont activés et le registre adressé est lu. Quand R/$\overline{W}$ est à l'état bas, les amplificateurs de sortie de l'ACIA sont désactivés et le MPU écrit dans le registre adressé. De plus, le signal R/$\overline{W}$ est utilisé pour la sélection des registres à lecture seule ou à écriture seule.

Sélections du boîtier CS0, CS1, $\overline{CS2}$ (Chip Select)

Ces trois entrées à haute impédance, compatibles TTL, sont utilisées pour adresser l'ACIA. L'ACIA est sélecté quand CS0 et CS1 sont à l'état haut et $\overline{CS2}$ à l'état bas. Les transferts de données avec le MPU sont alors effectués sous le contrôle des lignes d'horloge E, de lecture/écriture et de sélection des registres.

Sélections des registres RS (Register Select)

La ligne de sélection des registres est une entrée à haute impédance, compatible TTL. Un niveau haut est utilisé

pour sélecter les registres de transmission ou de réception et un niveau bas pour sélecter les registres de contrôle ou d'état. Le signal R/$\overline{W}$ est utilisé avec le signal RS pour sélecter, dans chaque paire, le registre à lecture seule ou le registre à écriture seule.

Demande d'Interruption $\overline{IRQ}$ (Interrupt Request)

La ligne $\overline{IRQ}$ est une sortie à drain ouvert (pas de résistance interne de rappel), compatible TTL et de niveau actif bas. Elle est utilisée pour interrompre le MPU. La sortie $\overline{IRQ}$ reste à l'état bas tant que la cause de l'interruption est présente et que les bits d'autorisation des interuptions sont positionnés. Le bit $\overline{IRQ}$ du registre d'état, quand il est à un, indique que la sortie $\overline{IRQ}$ est active.

La ligne $\overline{IRQ}$ est activée quand certaines conditions sont présentes dans le transmetteur et le récepteur de l'ACIA. Le transmetteur produit une interruption si les interruptions en transmission sont autorisées (CR5 = 1 et CR6 = 0) et si le bit TDRE du registre d'état est à un (indiquant ainsi que le registre de transmission est vide). Le bit TDRE indique l'état courant du registre de transmission sauf quand il est inhibé par un niveau haut sur $\overline{CTS}$ ou que l'ACIA est maintenu dans l'état d'initialisation. L'interruption est mise à zéro par l'écriture de données dans le registre de transmission. L'interruption est masquée par l'inhibition des interruptions du transmetteur (avec les bits CR5 et CR6 du registre de contrôle) ou par la perte de $\overline{CTS}$ qui inhibe le bit TDRE du registre d'état. Le récepteur produit une interruption si le bit autorisation des interruptions du récepteur (bit CR7 du registre de contrôle) est à un et si le registre de réception est plein (bit RDRF du registre d'état à un), ou si une surcharge du récepteur s'est produite (bit OVRN du registre d'état à un), ou $\overline{DCD}$ est passé à l'état haut (indiquant ainsi une perte de la porteuse de données). Une interruption causée par le bit RDRF peut être enlevée par la lecture, par le MPU, du registre de réception ou en réinitialisant l'ACIA. Les interruptions causées par une surcharge ou la perte de $\overline{DCD}$ sont enlevées par la lecture du registre d'état, après que la condition d'interruption se soit produite, suivie par la lecture du registre de réception ou la réinitialisation de l'ACIA. Les interruptions du récepteur sont masquées par la mise à zéro du bit autorisation des interruptions du récepteur.

ENTREES D'HORLOGE

L'ACIA possède deux entrées à haute impédance et compatibles TTL pour deux horloges : l'horloge de transmission et l'horloge de réception. La fréquence de transfert des données peut être choisie égale à la fréquence d'horloge (mode ÷ 1) ou bien 16 (mode ÷ 16) ou 64 (mode ÷ 64) fois moindre que la fréquence d'horloge.

Horloge de Transmission Tx Clk (Transmit Clock)

Cette horloge est utilisée pour la transmission série des données. Les données sont transmises sur le front descendant de cette horloge.

Horloge de Réception Rx Clk (Receive Clock)

Cette horloge est utilisée pour la synchronisation des données reçues (dans le mode ÷ 1, la synchronisation entre l'horloge et les données doit être réalisée extérieurement). Les données sont prises en compte sur le front montant de l'horloge.

LIGNES DE TRANSFERT SERIE

Réception des données Rx Données (Receive Data)

La ligne réception des données est une entrée à haute impédance, compatible TTL, où sont reçues les données sous forme série. La synchronisation avec l'horloge de réception est réalisée internement par l'ACIA si la fréquence des données est 16 ou 64 fois moindre que la fréquence de l'horloge de réception (modes ÷ 16 ou ÷ 64). Dans le mode ÷ 1 (fréquence de transfert des données égale à la fréquence de l'horloge de réception), la synchronisation doit être faite à l'extérieur. La fréquence de réception des données peut varier de 0 à 500 kbps quand une synchronisation externe est utilisée.

Transmission des données Tx Donnée (Transmit Data)

Cette sortie est utilisée pour la transmission série des données. La fréquence de transmission des données peut varier de 0 à 500 kbps quand une synchronisation externe est utilisée.

LIGNES DE CONTROLE D'UN PERIPHERIQUE OU D'UN MODEM

L'ACIA comprend plusieurs fonctions qui permettent le contrôle d'un périphérique ou d'un modem. Ces fonctions sont inhibition de l'émission ($\overline{CTS}$: $\overline{\text{Clear to Send}}$), demande d'émission ($\overline{RTS}$: $\overline{\text{Request to Send}}$), perte de la porteuse de données ($\overline{DCD}$: $\overline{\text{Data Carrier Detect}}$).

Inhibition de l'Emetteur $\overline{CTS}$ ($\overline{\text{Clear to Send}}$)

Cette entrée à haute impédance et compatible TTL permet le contrôle automatique de la fin de transmission de communication par un modem. Un niveau haut sur cette entrée inhibe le bit TDRE du registre d'état (TDRE = 0)

Demande d'Emission $\overline{RTS}$ ($\overline{\text{Request to Send}}$)

La sortie $\overline{RTS}$ permet le contrôle d'un modem ou d'un périphérique par le MPU. L'état de la sortie $\overline{RTS}$ dépend des bits CR5 et CR6 du registre de contrôle. Quand CR5 = 0 et CR6 = 1, $\overline{RTS}$ est au niveau haut (niveau inactif). Quand CR6 = 0 ou CR5 et CR6 = 1, $\overline{RTS}$ est au niveau bas (niveau actif) cette sortie peut aussi être utilisée pour un périphérique utilisant un signal DTR (Terminal prêt).

Perte de la Porteuse de Données $\overline{DCD}$ ($\overline{\text{Data Carrier Detect}}$)

Cette entrée à haute impédance compatible TTL, permet le contrôle automatique du récepteur de données, par un modem. A l'état bas, cette entrée indique la présence de la porteuse de donnée. Cette entrée inhibe et initialise le récepteur de l'ACIA quand elle est au niveau haut. Une transition de l'état bas à l'état haut de l'entrée $\overline{DCD}$ génère une interruption vers le MPU, pour indiquer la perte de la porteuse de données quand le bit autorisation des interruptions en réception (CR7) est mis à un (autorisation d'interruption).

REGISTRES INTERNES DE L'ACIA

Les registres internes de l'ACIA accessibles au MPU sont les registres de contrôle, d'état, de transmission et de réception. Le contenu de ces registres est résumé dans le tableau 1.

REGISTRE DE TRANSMISSION (TDR)

La donnée est écrite dans le registre de transmission sur le front descendant de l'impulsion d'horloge E quand l'ACIA est adressé et le registre de transmission sélecté (RS = 1, R/$\overline{W}$ = 0). L'écriture d'une donnée dans le registre de transmission remet à zéro le bit TDRE du registre d'état (registre de transmission plein). La donnée peut

alors être transmise. Si le transmetteur n'est pas inhibé et si aucun caractère n'est en cours de transmission, le transfert commencera avant une durée de bit à partir du front descendant de la commande d'écriture. Si un caractère est en cours de transmission, la transmission de la nouvelle donnée commencera aussitôt après la fin de la transmission du caractère précédent. Le transfert de donnée dans le registre à décalage de transmission positionne le bit TDRE du registre d'état à un indiquant ainsi que le registre de transmission est vide.

REGISTRE DE RECEPTION (RDR)

Quand un caractère complet est reçu, il est automatiquement transféré du registre à décalage de réception dans le registre de réception. Le bit RDRF du registre d'état, passe alors à un, indiquant ainsi que le registre de réception est plein. La donnée peut alors être lue par le MPU en adressant l'ACIA et en sélectant le registre de réception (RS = 1, R/$\overline{W}$ = 1). La lecture du registre de réception est non destructive mais le bit RDRF est remis à zéro. Quand le bit RDRF est à un, le transfert automatique de données du registre à décalage de réception dans le registre de réception est suspendu, la donnée contenue dans le registre de réception reste disponible et son état courant est contenu dans le registre d'état.

REGISTRE DE CONTROLE

Le registre de contrôle de l'ACIA est un registre de 8 bits à écriture seule, qui est sélecté quand RS = 0 et R/$\overline{W}$ = 0. Ce registre contrôle le fonctionnement du récepteur et du transmetteur, les autorisations d'interruption et la sortie $\overline{RTS}$ de contrôle du périphérique ou du modem.

Bits de sélection du rapport de division (CR0 et CR1)

Ces deux bits permettent d'indiquer le rapport de division, pour l'émetteur et le récepteur, entre la fréquence d'horloge et la fréquence de transfert série des données. De plus, ces deux bits peuvent être utilisés pour l'initialisation programmée de l'ACIA. L'initialisation programmée met à zéro le registre d'état (sauf les bits liés aux conditions externes $\overline{CTS}$ et $\overline{DCD}$) et initialise l'émetteur et le récepteur. L'initialisation programmée n'affecte pas les autres bits du registre de contrôle. Après une mise sous tension ou un redémarrage après une panne d'alimentation, ces deux bits doivent être mis à un pour initialiser l'ACIA. Après l'initialisation, le rapport de division d'horloge peut être sélecté. Les fonctions de ces bits sont les suivantes :

CR1	CR0	Fonction
0	0	÷1
0	1	÷16
1	0	÷64
1	1	Initialisation programmée

Bits de sélection du format des mots (CR2, CR3 et CR4)

Ces bits sont utilisés pour indiquer le format des mots reçus ou transmis : longueur des mots, bit de parité, nombre de bits d'arrêt. Les formats possibles sont les suivants :

CR4	CR3	CR2	Fonction
0	0	0	7 bits+ parité paire+ 2 bits d'arrêt
0	0	1	7 bits+ parité impaire+ 2 bits d'arrêt
0	1	0	7 bits+ parité paire+ 1 bit d'arrêt
0	1	1	7 bits+ parité impaire+ 1 bit d'arrêt
1	0	0	8 bits+ 2 bits d'arrêt
1	0	1	8 bits+ 1 bit d'arrêt
1	1	0	8 bits+ parité paire+ 1 bit d'arrêt
1	1	1	8 bits+ parité impaire+ 1 bit d'arrêt

Les changements de format des mots sont effectifs immédiatement.

TABLEAU 1 – CONTENU DES REGISTRES DE L'ACIA

Numéro du bit (sur le bus données)	Registre sélecté			
	RS • R/$\overline{W}$ Registre de transmission (Ecriture seule)	RS • R/$\overline{W}$ Registre de réception (Lecture seule)	RS • R/$\overline{W}$ Registre de contrôle (Ecriture seule)	RS • R/$\overline{W}$ Registre d'état (Lecture seule)
0	Bit donnée 0*	Bit donnée 0*	Sélection du rapport de division 1 (CR0)	Registre de réception plein (RDRF)
1	Bit donnée 1	Bit donnée 1	Sélection du rapport de division 2 (CR1)	Registre de transmission vide (TDRE)
2	Bit donnée 2	Bit donnée 2	Sélection du format des mots 1 (CR2)	Perte de la porteuse de données ($\overline{DCD}$)
3	Bit donnée 3	Bit donnée 3	Sélection du format des mots 2 (CR3)	Inhibition de l'émetteur ($\overline{CTS}$)
4	Bit donnée 4	Bit donnée 4	Sélection du format des mots 3 (CR4)	Erreur de format (FE)
5	Bit donnée 5	Bit donnée 5	Contrôle de transmission 1 (CR5)	Récepteur en surcharge (OVRN)
6	Bit donnée 6	Bit donnée 6	Contrôle de transmission 2 (CR6)	Erreur de parité (PE)
7	Bit donnée 7***	Bit donnée 7**	Autorisation des interruptions en réception (CR7)	Demande d'interruption ($\overline{IRQ}$)

* Bit émis ou reçu en premier= bit 0
** Ce bit sera à zéro dans les modes de transmission 7 bits+ bit de parité
*** Ce bit est sans importance dans les modes de transmission 7 bits+ bit de parité

Bits de contrôle du transmetteur (CR5 et CR6)

Ces deux bits permettent le contrôle des interruptions en transmission pouvant être générées par la condition registre de transmission vide, par la sortie $\overline{RTS}$ et par la transmission d'un "Break" (niveau bas) sur la ligne de transmission série. Les fonctions possibles sont les suivantes :

CR6	CR5	Fonction
0	0	$\overline{RTS}$ = bas, interruptions de transmission inhibées
0	1	$\overline{RTS}$ = bas, interruptions de transmission autorisées
1	0	$\overline{RTS}$ = haut, interruptions de transmission inhibées
1	1	$\overline{RTS}$ = bas, émission d'un "Break",sur la ligne de transmission interruptions de transmission inhibées

Bits d'autorisation des interruptions du récepteur (CR7)

Les interruptions générées par le récepteur sont autorisées si CR7 = 1 et sont masquées si CR7 = 0. Les interruptions du récepteur sont générées par les conditions suivantes : registre de réception plein, surcharge ou une transition montante sur l'entrée $\overline{DCD}$ (perte de la porteuse de données).

REGISTRE D'ETAT

Le registre d'état de l'ACIA est un registre de 8 bits à lecture seule. Il est sélecté quand RS = 0 et R/$\overline{W}$ = 1. Ce registre indique les états du registre de transmission, du registre de réception et des erreurs logiques, ainsi que l'état des entrées $\overline{CTS}$ et $\overline{DCD}$.

Bit 0 : Registre de réception plein RDRF (Receive Data Register Full)

Ce bit indique (quand il est à un) qu'une donnée reçue a été transférée dans le registre de réception RDRF et remis à zéro après une lecture, par le MPU, du registre de réception ou par une initialisation programmée. Quand il est à zéro (état vide), ce bit indique que le registre de réception ne contient pas de nouvelle donnée. Quand l'entrée $\overline{DCD}$ est à l'état haut, le bit RDRF est également mis à zéro (état vide).

Bit 1 : Registre de transmission vide TDRE (Transmit Data Register Empty)

Ce bit indique, quand il est à un, que le contenu du registre de transmission a été transféré dans le registre à décalage de transmission et qu'une nouvelle donnée peut y être écrite. Quand il est à zéro, il indique que le registre de transmission est plein, et que la transmission d'un nouveau caractère n'a pas pu commencer depuis la dernière commande d'écriture de donnée.

Bit 2 : Perte de la porteuse de données $\overline{DCD}$ ($\overline{\text{Data Carrier Detect}}$)

Ce bit passe à un quand le signal d'entrée $\overline{DCD}$, provenant d'un modem, passe à l'état haut pour indiquer l'absence de la porteuse de données. Le passage à un de ce bit génère une interruption vers le MPU si les interruptions du récepteur sont autorisées (bit CR7 à un). Le bit $\overline{DCD}$ reste à un après que l'entrée $\overline{DCD}$ soit passée à l'état bas jusqu'à ce qu'il soit remis à zéro par une lecture du registre d'état suivie de la lecture du registre de réception ou par une initialisation programmée. Si l'entrée $\overline{DCD}$ reste à l'état haut après la lecture du registre d'état et du registre de réception ou après une initialisation programmée, l'interruption est "effacée", le bit $\overline{DCD}$ reste à un et passera à zéro quand l'entrée $\overline{DCD}$ passera à l'état bas.

Bit 3 : Inhibition de l'émetteur $\overline{CTS}$ ($\overline{\text{Clear to Send}}$)

Le bit $\overline{CTS}$ indique l'état de l'entrée $\overline{CTS}$ reliée à un modem. Quand il est à zéro, il indique que le modem est prêt à émettre. Quand il est à un, le bit TDRE est inhibé. Une initialisation programmée n'affecte pas le bit $\overline{CTS}$.

Bit 4 : Erreur de format FE (Framing Error)

Ce bit indique une erreur de format, sur le caractère reçu, détectée par l'absence du premier bit d'arrêt. Cette erreur correspond à une erreur de synchronisation, une transmission défectueuse ou à la réception d'un "Break". Le bit FE est positionné pendant le transfert de la donnée reçue. Ainsi, cet indicateur d'erreur est présent tant que le caractère associé est disponible.

Bit 5 : Surcharge du récepteur OVRN (Receiver Overrun)

Ce bit est un indicateur d'erreur. Quand il est à un, il indique que un ou plusieurs caractères ont été perdus dans le flot des données reçues. Ceci se produit quand un ou plusieurs caractères ont été reçus avant la lecture du caractère précédent dans le registre de réception ("surcharge"). La condition de surcharge se produit à partir du milieu du dernier bit du deuxième caractère reçu sans lecture du registre de réception. Toutefois, le bit OVRN n'est pas positionné tant que le caractère précédant la condition de surcharge n'a pas été lu. Le bit RDRF reste à un jusqu'à ce que la condition de surcharge soit supprimée. La synchronisation de caractère est maintenue pendant la surcharge. La surcharge est supprimée après la lecture de données reçues dans le registre de réception ou par une initialisation programmée.

Bit 6 : Erreur de parité PE (Parity Error)

Ce bit indique que le nombre de "1" dans le caractère reçu ne correspond pas avec la parité impaire ou paire présélectée. La parité impaire (ou imparité) est définie par un nombre impair de "1" dans un caractère. L'indicateur d'erreur de parité sera présent tant que le caractère sera dans le registre de réception. Si aucune parité n'est sélectée alors le générateur de bit de parité du transmetteur et le contrôleur de parité du récepteur sont inhibés.

Bit 7 : Demande d'interruption $\overline{IRQ}$ ($\overline{\text{Interrupt Request}}$)

Le bit $\overline{IRQ}$ indique l'état de la sortie $\overline{IRQ}$. Toute condition d'interruption autorisée sera indiquée dans ce bit. Tant que la sortie $\overline{IRQ}$ est à l'état bas, le bit $\overline{IRQ}$ reste à un pour indiquer, au MPU, la source de l'interruption. $\overline{IRQ}$ est remis à zéro par une lecture du registre de réception (si l'interruption provient du récepteur) ou par une écriture dans le registre de transmission (si l'interruption provient du transmetteur).

EFCIS



Circuits Intégrés MOS THOMSON-EFCIS

mosmosmosmosmosmosmosmosmosmos

EF6852
(1.0 MHz)
EF68A52
(1.5 MHz)
EF68B52
(2.0 MHz)

Ancienne appellation : SFF9-6852

INTERFACE POUR COMMUNICATIONS SERIES SYNCHRONES (SSDA)

Le SSDA EF6852 est un interface bidirectionnel pour des communications séries synchrones. Il permet la réception et la transmission simultanées de caractères standards de communication synchrone pour des systèmes organisés autour du bus comme les systèmes microprocesseur EF6800.

L'interface du SSDA avec le bus comprend les signaux de sélection du boîtier, de sélection du registre, d'activation, de lecture/écriture, d'interruption et du bus données 8 bits bidirectionnel. Les données parallèles sont transmises et reçues en série par le SSDA avec synchronisation, émission ou suppression de caractères "nuls" et commande d'erreurs. La configuration fonctionnelle du SSDA est programmée, via le bus données, lors de l'initialisation du système. Trois registres de contrôle programmables permettent le contrôle de la longueur des mots transférés, du transmetteur, du récepteur, de la synchronisation et des interruptions. Des lignes d'état, des lignes de synchronisation et de commande permettent la commande d'un modem ou d'un périphérique.

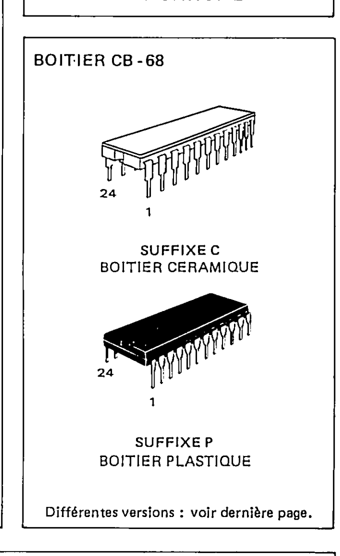
Des applications typiques du SSDA comprennent des contrôleurs d'unités à disque souple, ("Floppy disk") des contrôleurs d'unités à cassette ou à cartouche, des terminaux de communication et des systèmes de commande numérique.

Caractéristiques :
- Interruptions masquables provenant du transmetteur, du récepteur et de la logique de détection d'erreurs
- Synchronisation de caractères par un ou deux caractères de synchronisation
- Synchronisation externe possible pour l'opération parallèle-série
- Registre caractère de synchronisation programmable
- Transmission jusqu'à 600 kbps
- Fonctions de commande d'un périphérique ou d'un modem
- Stockage de trois octets en FIFO en transmission et en réception
- Transmission de sept, huit ou neuf bits
- Bit de parité ou d'imparité optionnel
- Erreurs de parité, de sur-charge et de sous-charge.

MOS

CANAL N, GRILLE SILICIUM

INTERFACE
SERIE
SYNCHRONE

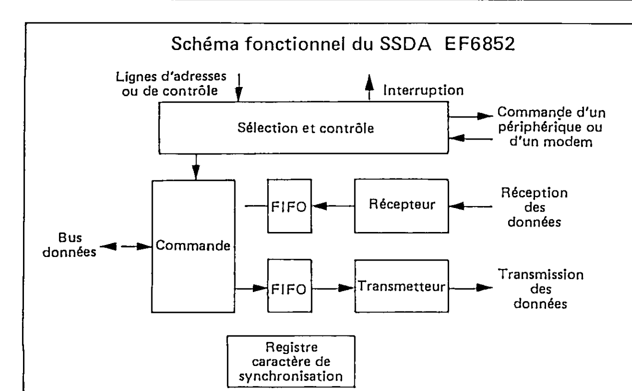


SUFFIXE C
BOITIER CERAMIQUE

SUFFIXE P
BOITIER PLASTIQUE

Différentes versions : voir dernière page.

Schéma fonctionnel du SSDA EF6852



Vitesse	Référence	Gamme de température
1.0 MHz	EF6852C,P EF6852CV,PV	0 à 70° C – 40 à + 85° C
Equ. MIL-STD-883B Equ. MIL-STD-883C	EF6852CMB EF6852CMP	– 55 à + 125° C
1.5 MHz	EF68A52C,P EF68A52CV,PV	0 à + 70° C – 40 à + 85° C
2.0 MHz	EF68B52C,P	0 à + 70° C

EFCIS
FRANCE

45, av. de l'Europe
78140 VELIZY

Tel.: (1) 946 97 19
Telex : 698866F

VALEURS LIMITES

Paramètres	Symboles	Valeurs	Unités
Tension d'alimentation	V_{CC}	– 0.3 à + 7.0	V
Tension d'entrée	V_{in}	– 0.3 à + 7.0	V
Température de fonctionnement EF6852,EF68A52,EF68B52 EF6852CV ou PV, EF68A52CV ou PV EF6852CMB, EF6852CMP	T_A	 0 à + 70 – 40 à + 85 – 55 à + 125	°C
Température de stockage	T_{stg}	– 55 à + 150	°C
Résistance thermique Boîtier plastique Boîtier céramique	θ_{JA}	 120 60	°C/W

Les entrées de ce circuit sont protégées contre les hautes tensions statiques et les champs électriques ; toutefois, il est recommandé de prendre les précautions normales pour éviter toute tension supérieure aux valeurs limites sur ce circuit à haute impédance.

CARACTERISTIQUES ELECTRIQUES (V_{CC} = 5.0 V ± 5 %, V_{SS} = 0, T_A = T_L à T_H sauf spécifications contraires)

Paramètres	Symboles	Min	Typ	Max	Unités
Tension d'entrée à l'état haut	V_{IH}	V_{SS}+ 2.0	–	–	V
Tension d'entrée à l'état bas	V_{IL}	–	–	V_{SS}+ 0.8	V
Courant de fuite en entrée (V_I = 0 à 5.25 V) — Tx Clk, Rx Clk, Rx Donnée, Reset, RS, R/$\overline{W}$, CS, $\overline{DCD}$, $\overline{CTS}$	I_{in}	–	1.0	2.5	µA
Courant d'entrée dans l'état haute impédance (V_I = 0,4 à 2,4 V, V_{CC} = 5,25 V) — D0 – D7	I_{TSI}	–	2.0	10	µA
Tension de sortie à l'état haut (I_{charge} = –205 µA, largeur de l'impulsion d'activat. < 25µs) D0 – D7 (I_{charge} = –100 µA, largeur de l'impulsion d'activat. < 25µs) Tx Donnée, $\overline{DRT}$, TUF	V_{OH}	 V_{SS}+ 2.4 V_{SS}+ 2.4	 – –	 – –	V
Tension de sortie à l'état bas (I_{charge} = 1,6mA, largeur de l'impulsion d'activ. < 25µs)	V_{OL}	–	–	V_{SS}+ 0.4	V
Courant de fuite en sortie dans l'état haute impédance $\overline{IRQ}$ (V_{OH} = 2,4 V)	I_{LOH}	–	1.0	10	µA
Puissance dissipée	P_D	–	300	525	mW
Capacité d'entrée (V_I = 0, T_A = 25° C, f = 1 MHz D0 – D7 Toutes les autres entrées	C_{in}	 – –	 – –	 12.5 7.5	pF
Capacité de sortie (V_I = 0, T_A = 25° C, f = 1 MHz) Tx Donnée, SM/$\overline{DTR}$, TUF $\overline{IRQ}$	C_{out}	–	–	10 5.0	pF

CARACTERISTIQUES DYNAMIQUES (V_{CC} = 5.0 V ± 5 %, V_{SS} = 0, T_A = T_L à T_H sauf spécifications contraires)

Paramètres	Symboles	EF6852		EF68A52		EF68B52		Unités
		Min	Max	Min	Max	Min	Max	
Largeur minimale de l'impulsion d'horloge, état bas (fig.1)	PW_{CL}	700	–	400	–	280	–	ns
Largeur minimale de l'impulsion d'horloge, état haut (fig.2)	PW_{CH}	700	–	400	–	280	–	ns
Fréquence d'horloge	f_C	–	600	–	1000	–	1500	kHz
Temps de pré-établissement des données reçues (fig.3 et 7)	t_{RDSU}	350	–	200	–	160	–	ns
Temps de maintien des données reçues (figure 3)	t_{RDH}	350	–	200	–	160	–	ns
Temps de retard de la sortie SM (figure 3)	t_{SM}	–	1.0	–	0.666	–	0.500	µs
Temps de retard des données par rapport à l'horloge en réception (figure 4)	t_{TDD}	–	1.0	–	0.666	–	0.500	µs
Temps de retard de la sortie TUF (figure 4)	t_{TUF}	–	1.0	–	0.666	–	0.500	µs
Temps de retard de la sortie $\overline{DTR}$ (figure 5)	t_{DTR}	–	1.0	–	0.666	–	0.500	µs
Temps de rétention de $\overline{IRQ}$ (figure 5)	t_{IR}	–	1.2	–	0.800	–	0.600	µs
Largeur minimale de l'impulsion $\overline{Reset}$	t_{Res}	1.0	–	0.666	–	0.500	–	µs
Temps de pré-établissement de $\overline{CTS}$ (figure 6)	t_{CTS}	200	–	150	–	120	–	ns
Temps de pré-établissement de $\overline{DCD}$ (figure 7)	t_{DCD}	500	–	350	–	250	–	ns
Temps de montée et de descente des entrées (sauf E) (0,8 V à 2 V)	t_r, t_f	–	1.0*	–	1.0*	–	1.0*	µs

*1.0 µs ou 10% de la largeur d'impulsion, ce qui est plus faible.

FIGURE 1 – LARGEUR DE L'IMPULSION D'HORLOGE A L'ETAT BAS

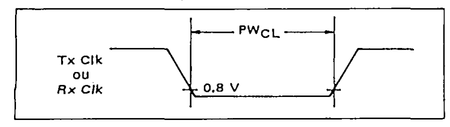
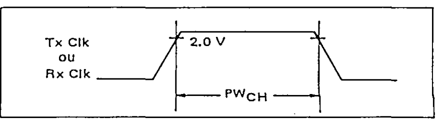


FIGURE 2 – LARGEUR DE L'IMPULSION D'HORLOGE A L'ETAT HAUT



CARACTERISTIQUES DYNAMIQUES DU BUS

LECTURE (figures 8 et 10)

Paramètres	Symboles	EF6852 Min	EF6852 Max	EF68A52 Min	EF68A52 Max	EF68B52 Min	EF68B52 Max	Unités
Temps de cycle du signal d'activation E	t_{cycE}	1.0	–	0.666	–	0.5	–	µs
Largeur à l'état haut de l'impulsion d'activation E	PW_{EH}	0.45	25	0.28	25	0.22	25	µs
Largeur à l'état bas de l'impulsion d'activation E	PW_{EL}	0.43	–	0.28	–	0.21	–	µs
Temps de pré-établissement de l'adresse et de R/$\overline{W}$ par rapport à la transition positive de l'activation E	t_{AS}	160	–	140	–	70	–	ns
Temps de retard des données	t_{DDR}	–	320	–	220	–	180	ns
Temps de maintien des données	t_H	10	–	10	–	10	–	ns
Temps de maintien de l'adresse	t_{AH}	10	–	10	–	10	–	ns
Temps de montée et de descente du signal d'activation E	t_{Er}, t_{Ef}	–	25	–	25	–	25	ns

ECRITURE (figures 9 et 10)

Paramètres	Symboles	EF6852 Min	EF6852 Max	EF68A52 Min	EF68A52 Max	EF68B52 Min	EF68B52 Max	Unités
Temps de cycle du signal d'activation E	t_{cycE}	1.0	–	0.666	–	0.5	–	µs
Largeur à l'état haut de l'impulsion d'activation E	PW_{EH}	0.45	25	0.28	25	0.22	25	µs
Largeur à l'état bas de l'impulsion d'activation E	PW_{EL}	0.43	–	0.28	–	0.21	–	µs
Temps de pré-établissement de l'adresse et R/$\overline{W}$ par rapport à la transition positive de l'activation E	t_{AS}	160	–	140	–	70	–	ns
Temps de pré-établissement des données	t_{DSW}	195	–	80	–	60	–	ns
Temps de maintien des données	t_H	10	–	10	–	10	–	ns
Temps de maintien de l'adresse	t_{AH}	10	–	10	–	10	–	ns
Temps de montée et de descente du signal d'activation E	t_{Er}, t_{Ef}	–	25	–	25	–	25	ns

FIGURE 3 – TEMPS DE MAINTIEN ET DE PRE-ETABLISSEMENT DES DONNEES RECUES ET TEMPS DE RETARD DU SIGNAL SM

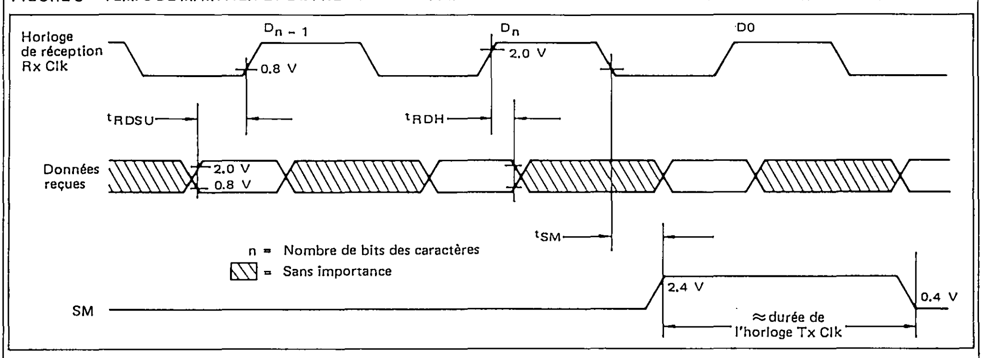


FIGURE 4 – TEMPS DE RETARD DES DONNÉES TRANSMISES ET TEMPS DE RETARD DE TUF

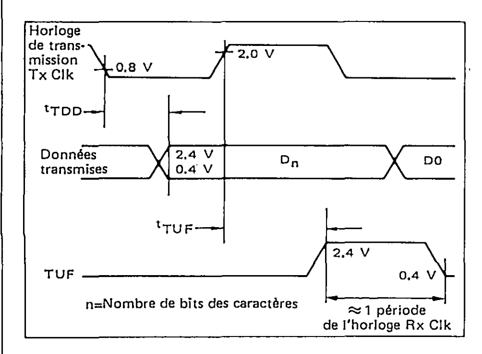


FIGURE 5 – TEMPS DE RETARD DE $\overline{DTR}$ ET TEMPS DE RETENTION DE $\overline{IRQ}$

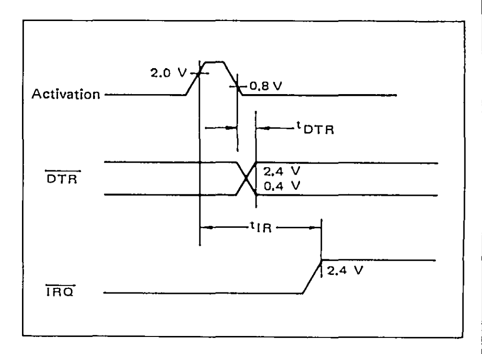


FIGURE 6 – TEMPS DE PRE-ETABLISSEMENT DE $\overline{CTS}$

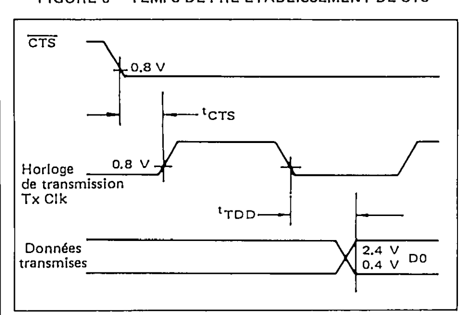


FIGURE 7 – TEMPS DE PRE-ETABLISSEMENT DE $\overline{DCD}$

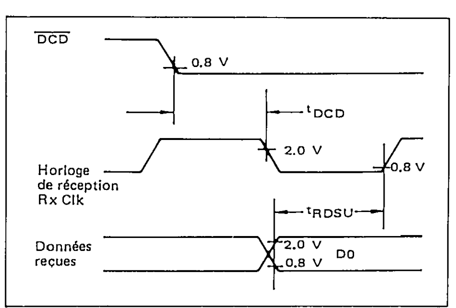


FIGURE 8 – DIAGRAMME DES TEMPS POUR LA LECTURE DU SSDA

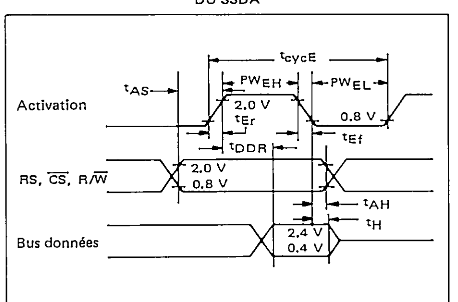


FIGURE 9 – DIAGRAMME DES TEMPS POUR L'ECRITURE DANS LE SSDA

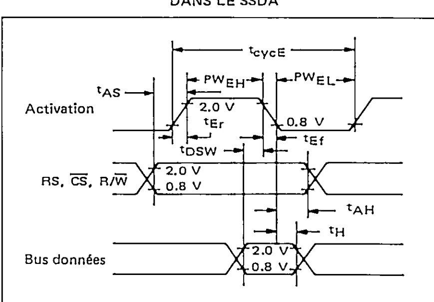
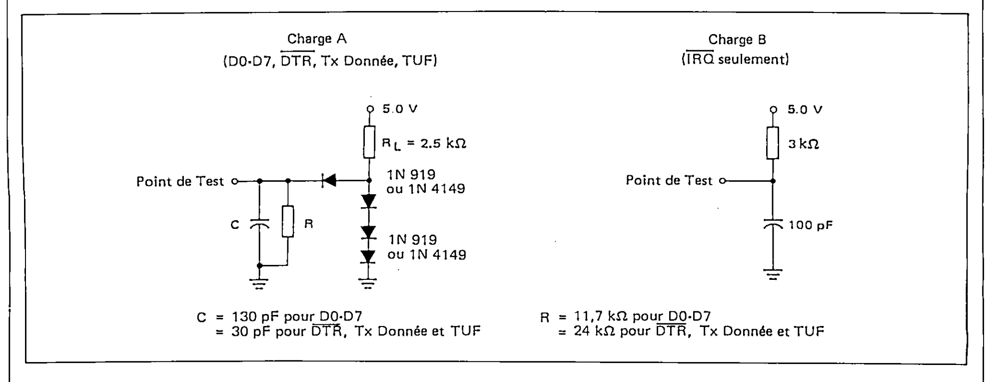
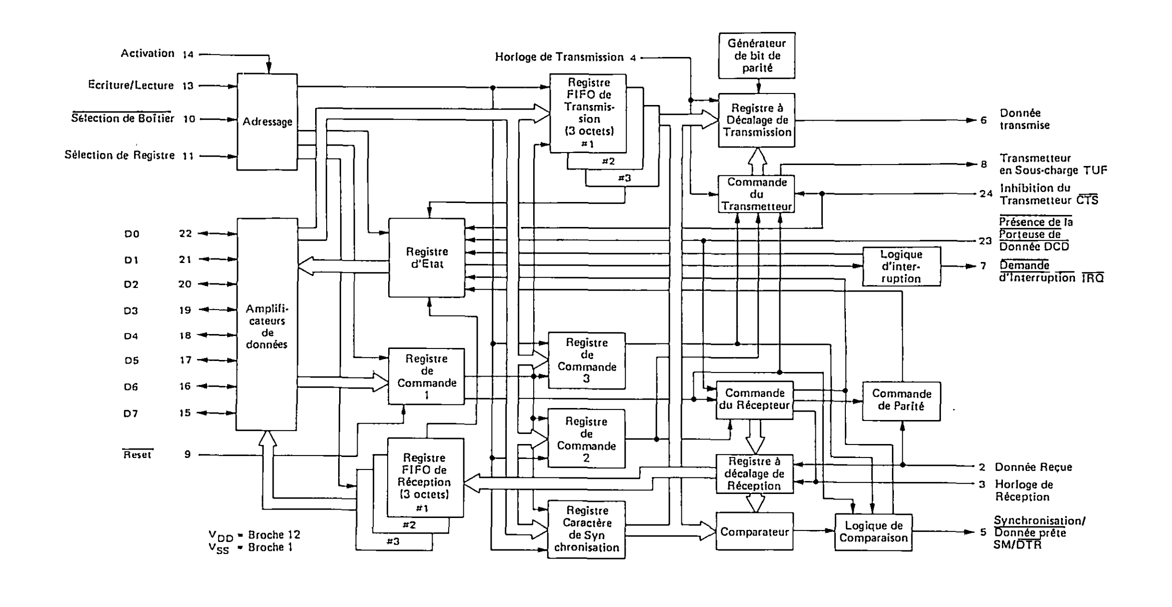


FIGURE 10 – CHARGES DE TEST DES CARACTERISTIQUES DYNAMIQUES DU BUS





Activation 14
Ecriture/Lecture 13
Sélection de Boîtier 10
Sélection de Registre 11
Adressage
D0 22
D1 21
D2 20
D3 19
D4 18
D5 17
D6 16
D7 15
Amplifi-cateurs de données
Reset 9
VDD = Broche 12
VSS = Broche 1
Registre d'Etat
Registre de Commande 1
Registre FIFO de Réception (3 octets)
#1
#2
#3
Horloge de Transmission 4
Registre FIFO de Transmis-sion (3 octets)
#1
#2
#3
Registre de Commande 3
Registre de Commande 2
Registre Caractère de Syn chronisation
Générateur de bit de parité
Registre à Décalage de Transmission
Commande du Transmetteur
Commande du Récepteur
Registre à décalage de Réception
Comparateur
Logique d'inter-ruption
Commande de Parité
Logique de Comparaison
6 Donnée transmise
8 Transmetteur en Sous-charge TUF
24 Inhibition du Transmetteur CTS
23 Présence de la Porteuse de Donnée DCD
7 Demande d'Interruption IRQ
2 Donnée Reçue
3 Horloge de Réception
5 Synchronisation/Donnée prête SM/DTR

FONCTIONNEMENT

Le SSDA est vu par le microprocesseur comme deux positions mémoire adressables. En fait, SSDA possède sept registres internes :

— deux registres accessibles en lecture seule :
 — le Registre d'Etat
 — le Registre de Réception

— cinq registres accessibles en écriture seule :
 — le Registre de Commande 1
 — le Registre de Commande 2
 — le Registre de Commande 3
 — le Registre Caractère de Synchronisation
 — le Registre de Transmission

La sélection entre ces différents registres se fait par une entrée de Sélection de Registre, l'entrée Ecriture/Lecture et deux bits du Registre de Commande 1.

L'interface série se compose d'une ligne d'entrée et d'une ligne de sortie séries avec leur horloge indépendante entre elles et de quatre lignes de Commande du Périphérique ou du Modem.

La donnée à transmettre est directement transférée du bus donnée dans le registre de Transmission de 3 octets en FIFO ("First-in — First-out" [premier entré, permier sorti]). La disponibilité du FIFO pour une entrée est indiquée par un bit du Registre d'Etat ; la donnée entrée est transférée dans la dernière position libre du FIFO. La donnée à la sortie du FIFO est transférée automatiquement du FIFO dans le Registre à Décalage de Transmission quand celui-ci est disponible pour transmettre un nouveau caractère. S'il n'y a pas de donnée disponible dans le FIFO (condition de "sous-charge"), le Registre à Décalage de Transmission est chargé soit avec un caractère de synchronisation soit avec un caractère dont tous les bits sont à "1". Le Transmetteur peut être programmé pour ajouter un bit de parité ou d'imparité au mot transmis. Une ligne de commande externe (Inhibition du Transmetteur) permet d'inhiber le transmetteur sans mettre à zéro le FIFO.

En réception, la donnée série est accumulée dans le récepteur suivant le mode de synchronisation choisi. Dans le mode de synchronisation externe, utilisé pour l'opération parallèle-série, le récepteur est synchronisé par l'entrée (Présence de la Porteuse de Données) $\overline{DCD}$ ("Data Carrier Detect") et les octets successifs de données sont transférés dans le FIFO de réception. Dans le mode de synchronisation sur un seul caractère, il doit y avoir égalité entre un caractère reçu et le contenu du registre caractère de synchronisation pour que le transfert dans le FIFO de réception commence. Dans le mode de synchronisation sur deux caractères, deux caractères de synchronisation doivent être reçus successivement pour que la synchronisation s'établisse. Après synchronisation (dans n'importe quel mode), la donnée est reçue dans le Registre à Décalage de Réception et une commande de parité est optionnellement effectuée. Chaque caractère avec son indicateur d'erreur de parité est transféré dans la dernière position libre du FIFO de Réception. La disponibilité d'un mot en sortie du FIFO est indiquée par un bit du Registre d'Etat ainsi que l'indicateur d'erreur de parité associé.

Le SSDA et ses regsitres internes sont sélectés par le bus adresse et les lignes de commande Ecriture/Lecture (R/W) et Activation (E). Les registres de commande permettent de configurer le SSDA et le Registre d'Etat donne l'état du SSDA.

Le SSDA possède d'autres lignes d'entrée/sortie (autres que $\overline{CTS}$ et $\overline{DCD}$) : "Synchronisation/Donnée prête", SM/$\overline{DTR}$ ("Sync Match/Data Terminal Ready") et Transmetteur en sous-charge TUF ("Transmitter Underflow"). Le Transmetteur et le Récepteur ont chacun une entrée d'horloge individuelle permettant un fonctionnement simultané sous une commande d'horloge séparé. Les lignes du SSDA vers le microprocesseur sont le Bus Donnée et la ligne de Demande d'Interruption $\overline{IRQ}$ ("Interrupt Request").

MISE A L'ETAT INITIAL

Pendant la mise sous tension du système, le SSDA est mis à l'état initial via l'entrée $\overline{\text{Reset}}$ et il est internement bloqué dans un mode "mise à l'état initial" pour éviter des transitions erronées en sortie. Les Registres Caractère de Synchronisation, Commande 2 et Commande 3 doivent être programmées avant la mise à zéro programmée des bits "mise à l'état initial du Transmetteur et/ou du Récepteur" ; ces bits du Registre de Commande 1 devront être mis à zéro après le passage à l'état haut de l'entrée $\overline{\text{Reset}}$.

FONCTIONNEMENT DU TRANSMETTEUR

La donnée parallèle est transférée dans le Transmetteur par l'intermédiaire du Bus Donnée et du FIFO de Transmission. Le FIFO de Transmission est un registre de 3 octets dont l'état est indiqué par le bit "Registre de Transmission Disponible TDRA " ("Transmitter Data Register Available") du Registre d'Etat. La donnée est transférée à travers le FIFO sur les impulsions d'Activation (E). Le SSDA permet deux modes de transfert de donnée : le mode de transfert de 1 octet permet l'écriture dans le Transmetteur (ou la lecture du Récepteur) d'un octet à la fois ; le mode de transfert de 2 octets permet l'écriture de deux caractères successifs.

La donnée sera automatiquement transférée de la dernière position du Registre FIFO de Transmission (quand celui-ci contient des données) dans le Registre à Décalage de Transmission pendant la Transmission de la dernière moitié du dernier bit du caractère précédent. Un caractère est transféré dans le Registre à Décalage par l'horloge de transmission. La donnée est transmise en commençant par le bit de poids faible et un bit de parité ou d'imparité peut être optionnellement rajouté. Pour les caractères courts (moins de 8 bits), les bits inutilisés du bus donnée ne sont pas pris en compte (Remarque : les positions des entrées du bus donnée peuvent être inversées dans les applications nécessitant le transfert du bit de poids fort en tête, par exemple, le format IBM pour les disques souples ; toutefois, il faudra faire attention à la programmation des registres de commande — Inversion des positions des bits de la Table 1).

Quand le Registre à Décalage devient vide et qu'il n'y a pas de donnée disponible dans le FIFO de Transmission, le Transmetteur est en "Sous-Charge" et un caractère est inséré dans la transmission des données pour maintenir la synchronisation de caractère. Le caractère transmis lors de la "Sous-Charge" est soit un "Mark" (caractère dont tous les bits sont à un) soit le contenu du Registre Caractère de Synchronisation suivant l'état du bit de commande "Transmission du Caractère de Synchronisation en Sous-Charge". La sous-charge est indiquée par une impulsion (à peu près égale à une demi-période haute de l'horloge de Transmission) sur la sortie "Transmetteur en Sous-Charge" TUF (dans le mode transmission du caractère de synchronisation en sous-charge). L'impulsion sur la sortie "Transmetteur en Sous-Charge" survient pendant le transfert de la dernière moitié du dernier bit précédent le Caractère de Synchronsiation. Le bit "Sous-Charge" du registre d'état est mis à un et sera remis à zéro par l'intermédiaire du bit "Mise à zéro de Sous-Charge du Transmetteur " CTUF ("Clear Transmitter Underflow Status") du Registre de Contrôle 3. La sortie TUF peut être utilisée dans les systèmes disque souple ("Floppy disk") pour synchroniser les opérations d'écriture et pour ajouter un CRC.

La transmission est mise à l'état initial par la mise à zéro du bit "Remise à l'état initial du Transmetteur" du Registre de Commande 1. Quand ce bit est mis à zéro, le cycle de transmission est commencé sur la première transition positive de l'Horloge de Transmission par la Transmission de Donnée ou de Caractère de Sous-Charge commençant sur le front négatif de l'impulsion de l'Horloge de Transmission qui démarre le cycle. Si le FIFO de Transmission n'était pas chargé, un Caractère de Sous-Charge est transmis (voir Figure 4).

L'entrée $\overline{\text{CTS}}$ permet la commande automatique du Transmetteur par un système matériel externe, par exemple, la sortie $\overline{\text{CTS}}$ du Modulateur EF6862 permet la commande dans un système de communication de données. L'entrée $\overline{\text{CTS}}$ met à l'état initial et inhibe le transmetteur quand elle est au niveau haut, mais ne remet pas à l'état initial le FIFO de Transmission. Le bit TDRA du registre d'état est inhibé par le niveau haut sur $\overline{\text{CTS}}$ dans les modes de synchronisation. Dans le mode de synchronisation externe, TDRA n'est pas inhibé par $\overline{\text{CTS}}$ afin de permettre les transmissions sous commande de l'entrée $\overline{\text{CTS}}$.

Quand le bit "Mise à l'état initial du Transmetteur" est mis à un, le FIFO de Transmission est mis à zéro et le bit d'état TDRA est mis à zéro. Après une impulsion sur l'entrée d'Activation E, le FIFO de Transmission devient disponible pour de nouvelles données avec TDRA inhibé.

FONCTIONNEMENT DU RECEPTEUR

Les données séries et une horloge présynchronisée sont reçues par le récepteur du SSDA par les entrées "Donnée Reçue" Rx Data ("Receive Data") et "Horloge de Réception" Rx Clk ("Receive Clock"). Les données forment un flot continu de bits de données sans qu'il soit possible d'identifier les limites des caractères dans le flot. Il est donc nécessaire d'effectuer la synchronisation de caractère au début du bloc de données séries reçues. Une fois la synchronisation de caractère effectuée, on suppose qu'elle est conservée pour tous les caractères successifs du bloc.

Les systèmes de communication séries synchrones utilisent la détection de caractères de synchronisation pendant la partie initiale du préambule pour établir la synchronisation de caractère. Ceci nécessite la détection d'un seul ou de deux caractères successifs de synchronisation. Les unités à disque souple et à cartouche utilisent 16 bits de préambule défini et les unités à cassette utilisent 8 bits de préambule, pour établir la référence du début d'enregistrement. Tous trois sont fonctionnellement équivalents à la détection de caractères de synchronisation. Les systèmes n'utilisant pas les techniques de détection de caractère de synchronisation nécessitent une logique externe au SSDA pour établir la synchronisation de caractère et l'utilisation du mode de synchronisation externe. (Remarque : le Registre à Décalage de Réception est mis à un à la mise à l'état initial).

SYNCHRONISATION

Le SSDA permet trois modes de fonctionnement pour la Synchronisation de Caractère :

- Synchronisation sur 1 caractère
- Synchronisation sur 2 caractères
- Synchronisation externe

Le mode de synchronisation externe demande une synchronisation et une commande externes du Récepteur par l'entrée Présence de la Porteuse de Données ($\overline{DCD}$) (voir Figure 7). Cette synchronisation externe peut consister en une commande de ligne directe du chaînage des données séries de détection du début du bloc. Le mode de synchronisation sur un caractère cherche, bit par bit, une correspondance entre la donnée contenue dans le Registre à Décalage de Réception et le contenu du Registre Caractère de Synchronisation. L'égalité entre les deux indiquent que la synchronisation de caractère est établie et sera conservée pour tout le bloc de données. Dans le mode de synchronisation sur deux caractères, le récepteur recherche, bit par bit, le premier caractère de synchronisation et cherche un deuxième caractère de synchronisation successif, avant d'établir la synchronisation de caractère. Si le deuxième caractère de synchronisation n'est pas reçu, la recherche bit par bit du premier caractère de synchronisation recommence.

Les caractères de synchronisation reçus avant l'établissement de la synchronisation de caractères (un ou deux caractères) ne sont pas transférés dans le FIFO de Réception. Des caractères de synchronisation redondants pendant le préambule ou des caractères de synchronisation en tant que "caractères de remplissage nuls" ("fill characters") peuvent être automatiquement supprimés quand le bit de contrôle "Strip Sync" (bit 2 de C1) est à un, pour diminuer la charge du système. La synchronisation de caractère sera conservée jusqu'à ce qu'elle soit supprimée par le bit "RAZ Sync" (bit 3 de C1), qui inhibe, également, la recherche de synchronisation.

RECEPTION DE DONNEES

Après synchronisation, les caractères successifs sont automatiquement transférés dans le FIFO de Réception et sont transférés dans le dernier octet libre du FIFO sur les impulsions d'Activation E (généralement phase $\varphi 2$ du système). Le bit "Donnée Reçue Disponible" (RDA) indique, dans le mode de transfert

de 1 octet, qu'une donnée est disponible à la lecture dans la dernière position du FIFO de Réception (#3). Dans le mode de transfert de 2 octets, le bit RDA indique que les deux dernières positions du FIFO de Réception sont pleines. Une Donnée disponible dans le FIFO de Réception provoque une demande d'interruption $\overline{\text{IRQ}}$ si le bit "Autorisation des Interruptions du Récepteur" (RIE) est à un. Généralement, le MPU lit alors le Registre d'Etat du SSDA qui indique (par le bit RDA) qu'une donnée est disponible dans le FIFO de Réception. Les bits d'état IRQ et RDA sont remis à zéro par une lecture du FIFO de Réception. Si plus d'un caractère a été reçu et qu'il est dans le FIFO de Réception, les impulsions d'Activation E mettent à jour le FIFO et les bits RDA et IRQ sont de nouveau mis à un. Dans le mode de transfert de 2 octets, il faut une impulsion E entre les lectures pour permettre le transfert de données dans le FIFO. Une parité (paire ou impaire) optionnelle est contrôlée automatiquement à la réception des données et l'indication d'erreur de parité est conservée avec chaque caractère jusqu'à sa lecture par le MPU. Les erreurs de parité provoquent une demande d'interruption si le bit "Autorisation des Interruptions sur Erreur" (EIE) est à un. Le bit de parité n'est pas transféré sur le Bus Données mais doit être testé dans le Registre d'Etat. REMARQUE : dans le mode de transfert de 2 octets, la présence d'erreur de parité doit être testée avant la lecture du deuxième octet, la lecture du FIFO remettant à zéro ce bit d'erreur.

Les autres bits du Registre d'Etat relatifs au Récepteur sont les bits "Récepteur en Sur-Charge" (Rx Ovrn) et "Présence de la Porteuse de Donnée" ($\overline{\text{DCD}}$). Le bit Rx Ovrn est automatiquement mis à un (indiquant ainsi une condition de "Sur-Charge") quand un caractère est reçu tandis que le FIFO de Réception est plein. Ceci génère une interruption si le bit EIE est à un. Le transfert du caractère de sur-charge du Registre à Décalage dans le FIFO de Réception entraîne la perte du caractère précédent. Lors d'une condition de "Sur-Charge", le bit Rx Ovrn est remis à zéro par une lecture du Registre d'Etat, suivie d'une lecture du FIFO de Réception. La condition de "Sur-Charge" ne peut être supprimée sans la détection de sa présence via le Registre d'Etat.

Une transition positive de l'entrée $\overline{\text{DCD}}$ génère une interruption si le bit EIE est à "1". L'interruption générée par $\overline{\text{DCD}}$ est effacée par une lecture du Registre d'Etat, quand le bit DCD est à un, suivie par une lecture du FIFO de Réception. Le bit $\overline{\text{DCD}}$ suivra alors l'état de l'entrée DCD quand elle passe au niveau bas.

LIGNES D'ENTREE/SORTIE

SIGNAUX D'INTERFACE DU SSDA AVEC LE MPU

Les lignes d'interface du SSDA avec le MPU EF6800 comprend : le Bus Données bi-directionnel, une entrée de Sélection du Boîtier, une entrée de Sélection de Registre, une ligne d'Activation et une ligne de mise à l'état initial. Ces signaux, associés à la sortie VMA du EF6800, permettent la commande complète du SSDA par le MPU.

Bus Données (D0-D7)

Le Bus Données permet le transfert de données entre le MPU et SSDA. Les sorties sont à trois états et restent dans l'état haute impédance sauf quand le MPU fait une lecture du SSDA.

Activation E (Enable)

L'entrée d'Activation E est une entrée à haute impédance compatible TTL qui active les amplificateurs d'entrée/sortie du Bus Données, qui sert d'horloge pour les transferts de données avec le SSDA et qui assure les transferts de données au travers des Registres FIFO. Ce signal est généralement la phase $\varphi 2$ d'horloge du système EF6800.

Lecture/Ècriture R/$\overline{\text{W}}$ ("Read/Write")

La ligne d'Ecriture/Lecture est une entrée à haute impédance compatible TTL et qui est utilisé pour commander le sens des transferts entre le MPU et le SSDA. Quand R/$\overline{\text{W}}$ est à l'état haut (Lecture par le MPU), les amplificateurs de sortie du SSDA sont activés si le boîtier est sélecté et le registre sélecté est lu. Quand R/$\overline{\text{W}}$ est à l'état bas (Ecriture par le MPU), les amplificateurs de sortie sont désactivés et le MPU écrit dans le Registre sélecté. Le signal d'Ecriture/Lecture est aussi utilisé pour sélecter les registres internes du SSDA à lecture seule ou à écriture seule.

Entrée de Sélection du Boîtier $\overline{CS}$ ("Chip Select")

Cette entrée à haute impédance compatible TTL est utilisée pour adresser le SSDA. Le SSDA est adressé quand $\overline{CS}$ est à l'état bas. VMA devra être utilisé pour générer le signal $\overline{CS}$ pour éviter les sélections intempestives du SSDA. Les transferts de données entre le MPU et le SSDA sont alors réalisés sous le contrôle de l'entrée d'Activation, la ligne d'Ecriture/Lecture et la ligne de Sélection de Registre.

Entrée de Sélection de Registre RS ("Register Select")

L'entrée de Sélection de Registre est une entrée à haute impédance, compatible TTL. Un niveau haut est utilisé pour adresser les Registres de commande C2 et C3, le Registre Caractère de Synchronisation et les Registres de Transmission et de Réception. Un niveau bas est utilisé pour adresser le Registre de commande 1 et le Registre d'Etat (Voir Table 1).

Demande d'Interruption $\overline{IRQ}$ ("Interrupt Request")

La ligne $\overline{IRQ}$ est une sortie à drain ouvert (pas de charge interne), compatible TTL et de niveau actif sur le niveau bas. Elle est utilisée pour interrompre le MPU. $\overline{IRQ}$ reste à l'état bas jusqu'à ce que l'interruption soit "traitée" par le MPU.

Entrée de Mise à l'état initial $\overline{RESET}$

L'entrée de mise à l'état initial $\overline{Reset}$ permet la mise à l'état initial du SSDA par une source externe. Un niveau bas sur l'entrée $\overline{Reset}$ a les effets suivants :

1 — Les bits Rx Reset et Tx Reset (mise à l'état initial du Récepteur et mise à l'état initial du Transmetteur) sont mis à un pour conserver le Récepteur et le Transmetteur dans un état initial.

2 — Les bits de Commande de la Périphérie (PC1 et PC2) sont mis à zéro mettant ainsi la sortie SM/$\overline{DTR}$ à l'état haut.

3 — Le bit d'Autorisation des Interruptions sur Erreurs (EIE) est mis à zéro.

4 — Un mode de synchronisation interne est sélecté.

5 — Le bit Registre de Transmission Disponible (TDRA) est mis à zéro et inhibé.

Quand l'entrée $\overline{Reset}$ passe au niveau haut (état inactif), le Transmetteur et le Récepteur restent dans l'état de mise à l'état initial jusqu'à ce que les bits Tx Reset et Rx Reset soient mis à zéro par programme. Les bits des Registres de Commande affectés par $\overline{Reset}$ (Rx Reset, Tx Reset, PC1, PC2, EIE et E/I, Sync) ne peuvent être modifiés tant que $\overline{Reset}$ est à l'état bas.

ENTREES D'HORLOGE

Le transmetteur et le Récepteur ont chacun une entrée d'horloge à haute impédance et compatible TTL.

Horloge de Transmission Tx Clk ("Transmit Clock")

L'horloge de Transmission est utilisée pour la transmission série des données. Le Transmetteur décale les données sur le front négatif de l'horloge.

Horloge de Réception Rx Clk ("Receive Clock")

L'horloge de Réception est utilisée pour la réception série des données. L'horloge et les données doivent être synchronisés extérieurement. Le Récepteur prend en compte les données sur le front montant de l'horloge.

LIGNES D'ENTREE/SORTIE SERIES

Réception des données Rx Donnée ("Receive Data")

La ligne Donnée reçue est une entrée à haute impédance, compatible TTL utilisée pour recevoir les données sous forme série. Les vitesses limites de transfert sont de 0 à 600 kbps.

Transmission des données Tx Donnée ("Transmit Data")

La ligne Donnée Transmise est une sortie utilisée pour la transmission série de données vers un modem ou un périphérique. Les vitesses limites de transfert sont 0 et 600 kbps.

TABLE 1 – REGISTRES PROGRAMMABLES DU SSDA

Registre	Entrées de commande		Commande d'Adresse		Contenu du Registre							
	RS	R/W	AC2	AC1	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Etat (S)	0	1	X	X	Demande d'Interruption (IRQ)	Erreur de Parité (PE)	Récepteur en Sur-Charge (Rx Ovrn)	Transmetteur en Sous-Charge (TUF)	Inhibition du Transmetteur ($\overline{CTS}$)	Présence en Porteuse de Données ($\overline{DCD}$)	Registre de Transmission disponible (TDRA)	Donnée Reçue Disponible (RDA)
Commande 1 (C1)	0	0	X	X	Commande d'Adresse 2 (AC2)	Commande d'Adresse 1 (AC1)	Autorisation Interruptions du Récepteur (RIE)	Autorisation Inter ruptions du Transmetteur (TIE)	RAZ Sync	Suppression des caractères de Synchronis. Strip Sync	Mise à l'état initial du Transmetteur (Tx Reset)	Mise à l'état initial du Récepteur (Rx Reset)
FIFO de Réception	1	1	X	X	D7	D6	D5	D4	D3	D2	D1	D0
Commande 2 (C2)	1	0	0	0	Autorisation Interruption sur erreur (EIE)	Transmission de Caractères de Synchronisat. en Sous Charge (Tx Sync)	Longueur des Mots 3 (WS3)	Longueur des Mots 2 (WS2)	Longueur de Mot 1 (WS1)	Transferts par 1 octet ou 2 octets (1 octet)	Commande Périphérique 2 (PC2) (2 octets)	Commande Périphérique 1 (PC1)
Commande 3	1	0	0	1	Inutilisé	Inutilisé	Inutilisé	Inutilisé	RAZ Etat de Sous-Charge du Transmetteur (CTUF)	RAZ $\overline{CTS}$	Synchronisation sur 1 ou 2 caractères (1 Sync/ 2 Sync)	Synchronisation Externe/Interne (E/I Sync)
Caractères de Synchro.	1	0	1	0	D7	D6	D5	D4	D3	D2	D1	D0
FIFO de Transmission	1	0	1	1	D7	D6	D5	D4	D3	D2	D1	D0

X = Sans importance

REGISTRE D'ETAT

IRQ — Bit 7 — L'indicateur IRQ est remis à zéro quand la source de l'interruption est remise à zéro. La source est déterminée par les bits d'autorisation TIE, RIE, EIE.

Bits 6, 0 Indiquent l'état du SSDA à un instant donné et peuvent être mis à l'état initial comme suit.

PE — Bit 6 — Lecture du FIFO de Réception ou un "1" dans Rx Reset (bit 0 de C1).

Rx Ovrn Bit 5 — Lecture du Registre d'Etat puis du FIFO de Réception ou un "1" dans Rx Reset (bit 0 de C1).

TUF	Bit 4	Un "1" dans CTUF (bit 3 de C3) ou dans Tx Reset (bit 1 de C1).
$\overline{\text{CTS}}$	Bit 3	Un "1" dans RAZ $\overline{\text{CTS}}$ (bit 2 de C3) ou dans Tx Reset (bit 1 de C1).
$\overline{\text{DCD}}$	Bit 2	Lecture du Registre d'Etat puis du FIFO de Réception ou un "1" dans Rx Reset (bit 0 de C1).
TDRA	Bit 1	Ecriture dans le FIFO de Transmission
RDA	Bit 0	Lecture dans le FIFO de Réception.

REGISTRE DE COMMANDE 1

AC2, AC1	Bits 7, 6	Commande d'accès aux autres Registres
RIE	Bit 5	A "1", autorise les interruptions sur RDA (bit 0 du Registre d'Etat)
TIE	Bit 4	A "1", autorise les interruptions sur TDRA (bit 1 du Registre d'Etat)
RAZ Sync	Bit 3	A "1", autorise la synchronisation de caractère du Récepteur
Strip Sync	Bit 2	A "1", supprime tous les caractères de synchronisation du flot des données reçues
Tx Reset	Bit 1	A "1", met à l'état initial et inhibe le transmetteur
Rx Reset	Bit 0	A "1", met à l'état initial et inhibe le récepteur

REGISTRE DE COMMANDE 3

CTUF	Bit 3	A "1", remet à zéro TUF (bit 4 du Registre d'Etat) et IRQ si autorisée.
RAZ $\overline{\text{CTS}}$	Bit 2	A "1", remet à zéro $\overline{\text{CTS}}$ (bit 3 du Registre d'Etat) et IRQ si autorisée.
1 Sync/2 Sync	Bit 1	A "1", synchronisation sur 1 caractère à "0", synchronisation sur 2 caractères.
E/I Sync	Bit 0	A "1", synchronisation externe ; à "0", synchronisation interne.

REGISTRE DE COMMANDE 2

EIE	Bit 7	A "1", autorise les interruptions PE, Rx Ovrn, TUF, $\overline{\text{CTS}}$ et $\overline{\text{DCD}}$ (bits 6 à 2 du Registre d'Etat)
Tx Sync	Bit 6	A "1", transmission du caractère de Synchronisation en sous-charge et autorise la sortie et le bit TUF ; à "0", transmission du caractère "mark" (tous les bits à "1") en sous-charge.
WS3, 2, 1	Bits 5, 3	Choix de la longueur des mots

Bit 5 WS3	Bit 4 WS2	Bit 3 WS1	Longueur des mots
0	0	0	6 Bits + bit de parité
0	0	1	6 Bits + bit d'imparité
0	1	0	7 Bits
0	1	1	8 Bits
1	0	0	7 Bits + bit de parité
1	0	1	7 Bits + bit d'imparité
1	1	0	8 Bits + bit de parité
1	1	1	8 Bits + bit d'imparité

1-Byte/2-Byte	Bit 2	A "1", les bits TDRA et RDA indiquent quand un transfert de 1 octet peut se produire ; à "0", les bits TDRA et RDA indiquent quand un transfert de 2 octets peut se produire.
PC2, PC1	Bits 1, 0	Commande de la sortie SM/$\overline{\text{DTR}}$

Bit 1 PC2	Bit 0 PC1	Sortie SM/$\overline{\text{DTR}}$ (Broche 5)
0	0	1
0	1	Impulsion Largeur 1 bit, sur SM
1	0	0
1	1	SM inhibé, 0

NOTE : Quand le SSDA est utilisé dans une application nécessitant la réception et la transmission du bit de poids fort en tête, les entrées du Bus Données peuvent être inversées (D0 à la place de D7, etc......). Il faut alors faire attention car les positions des bits de cette table seront inversés et la parité ne pourra pas être utilisée.

LIGNES DE CONTROLE DE LA PERIPHERIE

Le SSDA comprend quelques lignes permettant une commande limitée d'un périphérique ou d'un Modem.

Inhibition du Transmetteur $\overline{CTS}$ ("Clear to Send")

L'entrée $\overline{CTS}$ permet une inhibition en temps réel du Transmetteur (le FIFO de Transmission n'est pas affecté). Une transition positive de $\overline{CTS}$ met à l'état initial le Registre à Décalage de Transmission et inhibe le bit d'état TDRA et son interruption associée dans des modes de synchronisation sur un caractère et sur 2 caractères. Dans le mode de synchronisation externe, TDRA n'est pas affecté par l'entrée $\overline{CTS}$.

La transition positive de $\overline{CTS}$ est conservée dans le SSDA pour assurer que son occurence sera reconnue par le système. L'information $\overline{CTS}$ stockée et son interruption $\overline{IRQ}$ associée (si elle est autorisée) sont remises à zéro par l'écriture d'un "1" dans le bit RAZ $\overline{CTS}$ (bit 2 de C3) ou dans le bit de mise à l'état intitial du Transmetteur (Tx Reset). Le bit $\overline{CTS}$ du Registre d'Etat suivra alors le passage à zéro de l'entrée $\overline{CTS}$.

L'entrée $\overline{CTS}$ permet une commande du Transmetteur dans le mode de synchronisation externe. La transmission commence sur le front descendant de la première impulsion complète positive de l'horloge de Transmission après le passage à l'état bas de $\overline{CTS}$ (Voir Figure 6).

Présence de la Porteuse de Donnée $\overline{DCD}$ ("Data Carrier Detect")

L'entrée $\overline{DCD}$ permet une inhibition en temps réel du Récepteur (le FIFO de Réception n'est pas affecté). Une transition positive de $\overline{DCD}$ met à l'état intitial et inhibe le Récepteur sauf le FIFO de Réception, le bit d'état RDA et son interruption associée.

La transition positive de $\overline{DCD}$ est conservée dans le SSDA pour assurer que son arrivée sera reconnue par le système. L'information $\overline{DCD}$ stockée et son interruption $\overline{IRQ}$ associée (si elle est autorisée) sont remises à zéro par la lecture du Registre d'Etat suivie de la lecture du FIFO de Réception ou par l'écriture d'un "1" dans le bit de mise à l'état initial du Récepteur (Rx Reset). Le bit $\overline{DCD}$ du Registre d'Etat suivra alors le passage à zéro de l'entrée $\overline{DCD}$.

L'entrée $\overline{DCD}$ permet une synchronisation de caractère pour le Récepteur dans le mode de synchronisation externe. Le Récepteur sera mis à l'état initial et la donnée sera échantillonnée sur le front montant du premier cycle complet de l'horloge de Réception après passage à l'état haut de $\overline{DCD}$ (Voir Figure 7).

Synchronisation/Donnée prête SM/$\overline{DTR}$ ("Sync Match/Data Terminal Ready")

La sortie SM/$\overline{DTR}$ à quatre fonctions (voir Table 1) suivant l'état des bits PC1 et PC2 du Registre de commande 2. Quand le mode Synchronisation ("Sync Match") est sélecté (PC1 = "1", PC2 = "0"), la détection d'un caractère de synchronisation donne une impulsion de largeur 1 bit sur la sortie SM/$\overline{DTR}$. La sortie SM est inhibée quand PC2 = "1". Le mode $\overline{DTR}$ (PC1 = "0") donne en sortie un niveau correspondant au complément de PC2 ($\overline{DTR}$ = "0" quand PC2 = "1"). (Voir Table 1).

Transmetteur en Sous-Charge TUF ("Transmitter Underflow")

La sortie TUF indique l'occurence d'un transfert d'un caractère de remplissage nul ("fill character") dans le Registre à Décalage de Transmission qui se produit quand la dernière position (#3) du FIFO de Transmission est vide. La largeur de l'impulsion TUF est à peu près égale à une période à l'état haut de l'Horloge de Transmission et elle se produit pendant le transfert de la dernière moitié du dernier bit du caractère précédent la condition de "Sous-Charge" (Voir Figure 4). La sortie TUF n'est pas affectée par les conditions de "Sous-Charge") quand le bit Tx Sync est à zéro.

REGISTRES DU SSDA

Le SSDA possède sept registres accessibles au MPU par le Bus Données. Les registres sont définis comme étant à lecture seule ou à écriture seule suivant le sens de transfert des informations. L'entrée de Sélection de Registre (RS) choisit deux registres dans chaque état, un à lecture seule, l'autre à écriture seule. L'entrée d'Ecriture/Lecture R/$\overline{\text{W}}$) défini le registre adressé. Quatre registres (deux à lecture seule et deux à écriture seule) peuvent être adressés à tout moment. Ces registres et l'adressage nécessaire sont définis dans la Table 1.

REGISTRE DE COMMANDE 1 (C1)

Le Registre de Commande 1 est un registre 8 bits à écriture seule qui peut être directement accédé quand RS = "0" et R/$\overline{\text{W}}$ = "0".

Mise à l'état initial du Récepteur Rx Reset ("Receiver Reset"), Bit 0

Ce bit permet une mise au point initial et une inhibition du Récepteur. Quand le bit Rx Reset est à un, il remet à zéro la logique de commande du Récepteur ainsi que la logique de synchronisation, la logique de détection d'erreur, le FIFO de Réception, le bit "Erreur de Parité" et l'interruption $\overline{\text{DCD}}$. Le Registre à Décalage de Réception est mis à un (tous les bits à un). Le bit Rx Reset doit être mis à zéro après un niveau bas sur l'entrée $\overline{\text{Reset}}$ pour activer le Récepteur.

Mise à l'état initial du Transmetteur Tx Reset ("Transmitter Reset"), Bit 1

Ce bit permet une mise à l'état initial et une inhibition du Transmetteur. Quand Tx Reset est à un, il remet à zéro la logique de commande du Transmetteur, le Registre à Décalage de Transmission, le FIFO de Transmission (qui peut être chargé après une impulsion E), le bit "Transmetteur en Sous-Charge" et l'interruption $\overline{\text{CTS}}$. Il inhibe aussi le bit TDRA (dans les modes de synchronisation sur 1 et sur 2 caractères). Le bit Tx Reset doit être mis à zéro après un niveau bas sur l'entrée $\overline{\text{Reset}}$ afin d'activer le Transmetteur.

Suppression des Caractères de Syncrhonisation Strip Sync ("Strip Synchronisation Characters"), Bit 2

Quand ce bit est à un, le SSDA supprime automatiquement tous les caractères reçus correspondants au contenu du Registre Caractère de Synchronisation. Les caractères utilisés pour la synchronisation (un ou deux caractères) sont alors toujours supprimés du flot des données reçues.

RAZ Synchronisation, RAZ Sync, Bit 3

Ce bit permet de supprimer la synchronisation de caractère et d'inhiber la synchronisation. Le bit RAZ Sync est mis à un pour inhiber la synchronisation du Récepteur dans <u>tous</u> les modes. Il doit être remis à zéro pour autoriser la resynchronisation.

Autorisation des Interruptions du Transmetteur TIE ("Transmitter Interrupt Enable") Bit 4

Le bit TIE autorise les interruptions du Transmetteur qui seront indiquées par la sortie $\overline{\text{IRQ}}$ et le bit IRQ du Registre d'Etat. Quand TIE et le bit TDRA du Registre d'Etat sont à un, la sortie $\overline{\text{IRQ}}$ passe à l'état bas (état actif) et le bit IRQ passe à un.

Autorisation des Interruptions du Récepteur RIE ("Receiver Interrupt Enable") Bit 5

Le bit RIE autorise les interruptions du Récepteur qui seront indiquées par la sortie $\overline{\text{IRQ}}$ et le bit IRQ du Registre d'Etat. Quand RIE et le bit RDA sont à un, la sortie $\overline{\text{IRQ}}$ passe à l'état bas (état actif) et le bit IRQ passe à un.

Commande d'Accès 1 (AC1) et Commande d'Accès 2 (AC2), Bits 6 et 7

AC1 et AC2 permettent de choisir un des registres à écriture seule suivants : Commande 2, commande 2, Caractère de Syncrhonisation et FIFO de Transmission (comme le montre la Table 1), quand RS = "1" et R/$\overline{W}$ = "0".

REGISTRE DE COMMANDE 2 (C2)

Le Registre de Commande 2 est un registre 8 bits à écriture seule qui est accédé par le bus quand les bits "Commande d'Accès" du Registre de Commande 1 (AC1 et AC2) sont à zéro, RS = "1", et R/$\overline{W}$ = "0"

Commande de la périphérie 1 (PC 1) et Commande de la périphérie 2 (PC 2), Bits 0 et 1.

Les deux bits de commande, PC 1 et PC 2 déterminent le fonctionnement de la sortie SM/$\overline{DTR}$. Quand PC 1 est à un, le mode SM ("Sync. Match") est sélecté. Le bit PC 2 est alors un bit d'inhibition/activation pour la sortie SM/$\overline{DTR}$. Une impulsion d'une largeur de 1 bit est générée sur cette sortie quand PC 2 est à "0" et que le caractère reçu correspond à un caractère de synchronisation, même si la synchronisation est inhibée (bit "RA 7 Sync." à un). Cette impulsion est synchronisée par rapport au front descendant de l'Horloge de Réception (voir figure 3).

Quand PC 1 est à zéro, le mode $\overline{DTR}$ est sélecté. Alors, quand PC 2 = "1" la sortie SM/$\overline{DTR}$ = "0" et vice versa. Le fonctionnement de la sortie SM/$\overline{DTR}$ en fonction de PC 1 et PC 2 est résumé dans la table 1.

Transfert sur 1 octet/2 octets (1 byte/2 byte), bit 2

Quand ce bit est à un, les transferts se font octets par octets : les bits TDRA et RDA indiquent la disponibilité de leur registre FIFO respectif pour le transfert d'un seul octet. Quand ce bit est à zéro, les transferts se font 2 octets par 2 octets : les bits TDRA et RDA indiquent la disponibilité de leur registre FIFO respectif pour les transferts successifs de deux octets sans deuxième lecture du Registre d'Etat. Cependant une impulsion d'Activation E doit se produire entre les transferts.

Sélection de la longueur des Mots, WS1, WS2, WS3 ("Word Length Selects"), bits 3, 4 et 5

Les bits WS1, WS2, WS3 permettent d'indiquer la longueur des mots transmis et reçus. Cette longueur peut être de 7, 8 ou 9 bits comprenant un bit de parité (paire ou impaire). Voir table 1.

Transmission de Caractères de Synchronisation en sous-charge (T x Sync), bit 6

Quand ce bit est à un, le Transmetteur émettra automatiquement le caractère de synchronisation quand le FIFO de transmission est vide (condition de "sous-charge"). Si le bit T x Sync est à zéro, le transmetteur émettra le caractère "Mark" (tous les bits à un y compris le bit de parité) en présence de "sous-charge". Quand la "sous-charge" est détectée, une impulsion, d'une longueur à peu près égale à une période à l'état haut de l'Horloge de Transmission, est générée sur la sortie TUF si le bit T x Sync est à un. Pendant la "sous-charge", la génération de bit de parité est inhibée sauf pour la transmission de caractères de synchronisation d'une longueur de 8 bits plus un bit de parité.

Autorisation des Interruptions sur Erreurs, EIE ("Error Interrupt Enable"), bit 7.

Quand ce bit est à un, une interruption est générée (bit IRQ à un et sortie $\overline{IRQ}$ au niveau bas) si :

1 — Une "sur-charge" du Récepteur se produit. L'interruption est "effacée" par une lecture du Registre d'Etat suivie d'une lecture du FIFO de Réception.

2 — L'entrée $\overline{DCD}$ passe à l'état haut. L'interruption est "effacée" par une lecture du Registre d'Etat suivie d'une lecture du FIFO de Réception.

3 — Il y a une erreur de parité pour le caractère situé dans la dernière position (# 3) du FIFO de Réception, position accessible par le MPU. L'interruption est "effacée" par une lecture du FIFO de Réception.

4 — L'entrée $\overline{CTS}$ passe à l'état haut. L'interruption est "effacée" par l'écriture d'un "1" dans le bit "RAZ $\overline{CTS}$" ou dans le bit "T x Reset".

5 — Une "sous-charge" du Transmetteur se produit (dans le mode Transmission du caractère de synchronisation en sous-charge). L'interruption est effacée par l'écriture d'un "1" dans le bit CTUF (bit 3 de C3) ou dans le bit "T x Reset".

Quand EIE est à zéro, le bit IRQ et la sortie $\overline{IRQ}$ sont inhibés pour les conditions ci-dessus. Un niveau bas sur l'entrée $\overline{Reset}$ met le bit EIE à zéro.

REGISTRE DE COMMANDE 3 (C3)

Le Registre de Commande 3 est un registre 4 bits à écriture seule qui est accédé quand RS = "1", R/$\overline{W}$ = "0", AC1 = "1" et AC2 = "0".

Synchronisation externe/interne (E/I Sync), bit 0

Quand ce bit est à un, le SSDA est dans le mode de synchronisation externe et la logique de synchronisation du Récepteur est désactivée. La synchronisation peut être réalisée par l'intermédiaire de l'entrée $\overline{DCD}$ ou par le démarrage de l'Horloge de Réception au milieu du bit 0 d'un caractère (avec $\overline{DCD}$ à zéro). Dans le mode de synchronisation externe, le Transmetteur et le Récepteur fonctionnent comme des convertisseurs parallèle-série ou série-parallèle. Le bit "RAZ Sync" du Registre de Commande 1 permet une inhibition de la synchronisation du Récepteur. Le registre caractère de synchronisation peut être utilisé à l'émission de caractères de "remplissage" ou comme caractère de référence pour la réception. Un niveau bas sur l'entrée $\overline{Reset}$ remet le bit E/I Sync à zéro mettant ainsi le SSDA dans un mode de synchronisation interne.

Synchronisation sur 1 ou 2 caractères (1 sync/2 sync), bit 1

Quand ce bit est à un, le Récepteur est synchronisé quand un seul caractère de synchronisation est reçu. Quand ce bit est à zéro, deux caractères de synchronisation successifs devront être reçus pour établir la synchronisation du Récepteur. Si, le deuxième caractère de synchronisation n'est pas détecté, la recherche bit par bit de caractère de synchronisation recommence à partir du premier bit du deuxième caractère (Voir la description du Registre Caractère de synchronisation pour plus de détails).

Remise à zéro de l'Etat $\overline{CTS}$ (RAZ $\overline{CTS}$), bit 2

Quand un "1" est écrit dans ce bit, l'état stocké de $\overline{CTS}$ et l'interruption associée sont remis à zéro. Par la suite, le bit $\overline{CTS}$ indique l'état de l'entrée $\overline{CTS}$. Le bit "RAZ $\overline{CTS}$" n'affecte pas l'entrée $\overline{CTS}$ ni l'inhibition du Transmetteur. La remise à zéro du bit "RAZ $\overline{CTS}$" est automatique et l'écriture d'un "0" dans ce bit est une opération non fonctionnelle.

RAZ de l'Etat de sous-charge du Transmetteur (CTUF), bit 3

L'écriture d'un "1" dans le bit CTUF remet à zéro le bit TUF et "efface" l'interruption associée à la sous-charge. La remise à zéro du bit CTUF est automatique et l'écriture d'un "0" dans ce bit est une opération non fonctionnelle.

REGISTRE CARACTERE DE SYNCHRONISATION

Le Registre Caractère de Synchronisation est un registre 8 bits utilisé pour contenir le caractère de synchronisation programmable nécessaire à la synchronisation de caractère des données reçues dans les deux modes de synchronisation interne. Le Registre Caractère de Synchronisation permet aussi la suppression de caractères de "remplissage" du flot de données reçues (option programmable) ainsi que l'insertion de caractères de "remplissage" dans le flot des données transmises. Dans le mode de synchronisation

externe, le Registre Caractère de Synchronisation n'est pas utilisé pour la synchronisation de caractère du Récepteur ; toutefois, il peut être utilisé pour la transmission de caractères de "remplissage" ainsi que comme référence pour le Récepteur ("Match").

Le Registre Caractère de Synchronisation est accédé par le MPU quand AC1 et AC2 sont à "1" et R/$\overline{W}$ = "0" et RS = "1" (voir table 1).

Le Registre Caractère de Synchronisation peut être modifié, après la détection d'un caractère de synchronisation par le Récepteur, pour assurer la synchronisation du Récepteur sur deux caractères. Cette modification doit être faite avant la fin de la réception du deuxième caractère. Dans ce cas, la sortie SM peut être utilisée pour interrompre le MPU et indiquer que le premier caractère a été reçu. Le programme de traitement de l'interruption changera, alors, le Registre Caractère de Synchronisation pour le deuxième caractère. D'une autre manière, le mode de synchronisation sur un seul caractère peut être utilisé pour une synchronisation sur deux caractères ou plus en vérifiant, par programme, les octets suivants après leur lecture dans le FIFO de Réception.

La détection d'un Caractère de Synchronisation peut être programmée pour être signalée sur la sortie SM/$\overline{DTR}$, en mettant PC1 à "1" et PC2 à "0". La sortie SM/$\overline{DTR}$ passe à l'état haut, pour une largeur de bit, entre le caractère de synchronisation et le caractère suivant (voir figure 3).

REGISTRE FIFO DE RECEPTION

Le Registre FIFO de Réception ("First-In, First-Out", premier entré premier sorti) est constitué de trois registres 8 bits et est utilisé pour la mémorisation des donnéés reçues. A chaque registre de 8 bits est associé un bit d'état associé indiquant si le registre est vide ou plein. Une donnée reçue est toujours transférée jusqu'au dernier registre vide. Les transferts de registre à registre sont faits sur les impulsions d'Activation E. Le bit RDA passe "1" quand une donnée est disponible dans le dernier registre (# 3) du FIFO de Réception, Registre accessible par le MPU.

Quand le Récepteur est en "sur-charge", le caractère de sur-charge est transféré dans le premier registre plein du FIFO ce qui entraine la perte de ce caractère. Des "sur-charges" successives entrainent la réécriture du premier registre du FIFO. Cette destruction de données est indiquée par le bit "R x OVRN" du Registre d'Etat (mis à "1" au moment de la sur-charge). Ce bit est remis à zéro par une lecture du Regis-d'Etat suivie par une lecture du FIFO de Réception.

Les bits de données inutilisés pour des longueurs de mots courtes apparaitront comme des "0" sur le Bus Données à la lecture du FIFO de Réception.

REGISTRE FIFO DE TRANSMISSION

Le Registre FIFO de Transmission ("First-In, First-Out", premier entré premier sorti) est constitué de trois registres 8 bits et est utilisé pour la mémorisation des données à transmettre. A chaque registre de 8 bits est associé un bit d'état indiquant si le registre est vide ou plein. Une donnée à transmettre est toujours transférée jusqu'au dernier registre vide. Les transferts de registre à registre sont faits sur les impulsions d'Activation E.

Le bit TDRA passe à "1" quand le FIFO de Transmission est disponible pour un transfert de donnée (premier registre vide).

Les bits de données inutilisés pour des longueurs de mots courtes sont sans importance pour l'écriture dans le FIFO. Le bit de parité n'est pas transféré par le Bus Données car il est généré par le SSDA.

Quand une "sous-charge" se produit, un caractère de sous-charge est transmis pour *ne pas perdre* la synchronisation de caractère. Ce caractère (ou caractère de "remplissage") est soit le contenu du Registre Caractère de Synchronisation soit un "mark" (caractère dont tous les bits sont à un). La condition de "sous-charge" est indiquée par le bit TUF du Registre d'Etat, et est indiquée sur la sortie TUF par une impulsion d'une largeur à peu près égale à une période au niveau haut de l'Horloge de Transmission.

REGISTRE D'ETAT

Le Registre d'Etat est un registre 8 bits à lecture seule qui permet d'examiner l'état du SSDA et celui de la communication série. La lecture du Registre d'État est non destructive. La manière de remettre à zéro les bits du Registre d'Etat dépend de chaque bit et est présentée ci-après.

Donnée reçue disponible, RDA ("Receiver Data Available"), bit 0

Le bit RDA indique quand le FIFO de Réception peut être lu (RDA = "1"). Dans le mode de transfert caractère par caractère, le bit RDA indique la présence d'une donnée reçue dans le dernier registre (# 3) du FIFO de Réception (RDA = "1"). Dans le mode de transfert 2 caractères par 2 caractères, le bit RDA indique la présence de données reçues dans les deux derniers registres (# 2 et # 3) du FIFO de Réception. Dans ce dernier mode, le deuxième caractère peut être lu sans une deuxième lecture du Registre d'Etat (afin de déterminer si le caractère est disponible). Une impulsion d'Activation E doit se produire entre les lectures du FIFO de Réception afin de permettre les transferts dans le FIFO. Le Registre d'Etat doit être lu pour chaque caractère si la vérification des erreurs sur les données reçues est importante. Le bit RDA est remis à zéro automatiquement quand aucune donnée n'est disponible dans le FIFO de Réception.

Registre de Transmission disponible, TDRA ("Transmitter Data Register Available"), bit 1

Le bit TDRA indique (si TDRA = "1") qu'une donnée peut être chargée dans le FIFO de Transmission. Dans le mode de transfert caractère par caractère, le bit TDRA (= "1") indique que le premier registre (# 1) du FIFO de Transmission est vide. Dans le mode de transfert 2 caractères par 2 caractères, le bit TDRA (="1") indique que les deux premiers registres (# 1 et # 2) du FIFO de Transmission sont vides. Dans ce dernier mode, le deuxième caractère peut être écrit sans une deuxième lecture du Registre d'Etat ; toutefois, une impulsion d'activation E doit se produire entre les deux écritures. Le bit TDRA est inhibé par un niveau bas sur l'entrée $\overline{\text{Reset}}$ ou par un "1" dans le bit T x Reset. Quand le bit T x Reset est mis à un le FIFO de Transmission est mis à l'état initial et, sur l'impulsion d'Activation E suivante, il est rendu disponible. Le FIFO de Transmission peut alors être chargé avec trois caractères, bien que le bit TDRA reste inhibé. Ceci permet un préchargement de données avant le redémarrage (remise à zéro du bit T x Reset). Un niveau haut sur l'entrée $\overline{\text{CTS}}$ inhibe le bit TDRA dans les deux modes de synchronisation interne (synchronisation sur un seul caractère et synchronisation sur deux caractères). Dans le mode de synchronisation externe, le bit TDRA n'est pas affecté par l'entrée $\overline{\text{CTS}}$. Ceci permet au SSDA de fonctionner sous le contrôle de l'entrée $\overline{\text{CTS}}$, le bit TDRA indiquant l'état du FIFO de Transmission. L'entrée $\overline{\text{CTS}}$ ne met à l'état initial en aucun cas le FIFO de Transmission. Le bit TDRA est remis à zéro automatiquement quand le FIFO de Transmission est plein.

Présence de la porteuse de Données, $\overline{\text{DCD}}$ ("Data Carrier Detect"), bit 2

Une transition positive de l'entrée $\overline{\text{DCD}}$ est automatiquement mémorisée dans le SSDA. La mémorisation de la transition positive est remise à zéro par une lecture du Registre d'Etat suivie de la lecture du FIFO de Réception ou par l'écriture d'un "1" dans le bit "R x Reset". Le bit $\overline{\text{DCD}}$ du Registre d'Etat indique, quand il est à "1", que l'entrée $\overline{\text{DCD}}$ est passée à l'état haut. Après une lecture du Registre d'Etat suivie de la lecture du FIFO de Réception, ce bit indique l'état de l'entrée $\overline{\text{DCD}}$, jusqu'à la transition positive suivante.

Inhibition du Transmetteur, $\overline{\text{CTS}}$ ("Clear to send"), bit 3

Une transition positive de l'entrée $\overline{\text{CTS}}$ est automatiquement mémorisée dans le SSDA. La mémorisation de la transition positive est remise à zéro par l'écriture d'un "1" dans le bit "RAZ $\overline{\text{CTS}}$" ou "T x Reset". Le bit $\overline{\text{CTS}}$ du Registre d'Etat indique, quand il est à "1", que l'entrée $\overline{\text{CTS}}$ est passée à l'état haut. Après l'écriture d'un "1" dans le bit "RAZ $\overline{\text{CTS}}$", le bit $\overline{\text{CTS}}$ indique l'état de l'entrée $\overline{\text{CTS}}$, jusqu'à la transition positive suivante.

Transmetteur en sous-charge, TUF ("Transmitter underflow"), bit 4

Une condition de "sous-charge" du Transmetteur (absence de donnée dans le dernier registre du FIFO de Transmission) met à un le bit TUF (dans le mode "Transfert du caractère de synchronisation en sous-charge", bit T x Sync = "1").

Le bit TUF est remis à zéro en écrivant un "1" dans le bit CTUF ou dans le bit "T x Reset". Le bit TUF indique qu'un caractère de synchronisation est transmis. La sortie TUF n'est activée en "sous-charge" que dans le mode "Transmission du Caractère de Synchronisation en sous-charge" (bit T x Sync = "1").

Récepteur en sur-charge, R x OVRN ("Receiver Overrun"), bit 5

Une condition de "sur-charge" du Récepteur (FIFO de Réception plein et perte de donnée) met à un le bit "R x OVRN". Ce bit est remis à zéro par une lecture du Registre d'Etat suivie de la lecture du de Réception ou par l'écriture d'un "1" dans le bit "R x Reset".

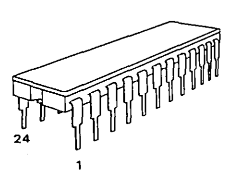
Erreur de parité, PE ("Receiver Parity Error"), bit 6

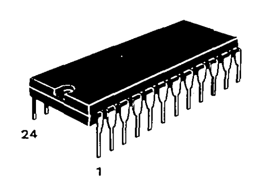
Quand ce bit est à un, il indique que, pour le caractère contenu dans le dernier registre du FIFO de Réception, le bit de parité reçu ne correspond pas avec le bit de parité calculé par le Récepteur. Le bit PE est remis à zéro quand le caractère associé est lu dans le FIFO de Réception ou quand un "1" est écrit dans le bit "R x Reset". L'entrée $\overline{DCD}$ n'affecte pas le bit PE ni les bits d'état associés au FIFO de Réception.

Demande d'Interruption, IRQ ("Interrupt Request"), bit 7

Le bit IRQ indique l'état de la sortie $\overline{IRQ}$: quand la sortie $\overline{IRQ}$ est à l'état bas alors IRQ = "1" et quand la sortie $\overline{IRQ}$ est à l'état haut alors IRQ = "0". Le bit IRQ a les mêmes bits d'autorisation (EIE, TIE et RIE) que la sortie $\overline{IRQ}$. Le bit IRQ simplifie les séquences de commande pour les systèmes fonctionnant par boucle de commande ("Polling Systems").

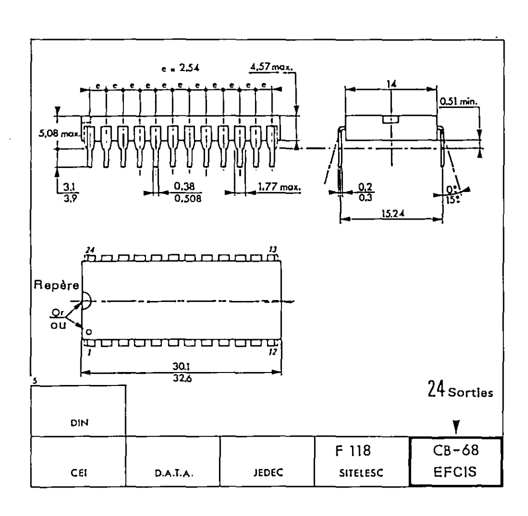
BOITIER CB-68





SUFFIXE C
BOITIER CERAMIQUE

SUFFIXE P
BOITIER PLASTIQUE



Ces spécifications peuvent changer sans préavis.
Consultez notre réseau de vente pour connaître la disponibilité des différentes versions de ce circuit.

EFCIS 

Circuits Intégrés MOS THOMSON-EFCIS

mosmosmosmosmosmosmosmosmosmos

EF6862

Ancienne appellation SFF9-6862

SPECIFICATIONS PROVISOIRES

MODULATEUR DIGITAL 2400 BAUDS

Le EF6862 est un circuit MOS utilisable dans les interfaces de communication série. Le EF6862 est un modulateur digital fournissant les fonctions de contrôle et de modulation nécessaires à l'équipement d'une communication série sur une ligne téléphonique utilisant la modulation de phase (DPSK, "Differential Phase Shift Keying") à des vitesses de transmission de 1200 ou 2400 bps. Le choix du déphasage rend ce circuit adaptable aux réseaux internationaux et US. Le EF6862 peut être utilisé dans des systèmes d'acquisition de données, comprenant des modems, des unités de stockage de données, des terminaux de communication et des interfaces d'entrée/sortie pour compteurs.

Le modulateur EF6862 est fabriqué dans la technologie MOS canal N et grille silicium. Il ne demande qu'une seule tension d'alimentation et est compatible TTL.

Le modulateur est compatible avec la famille du microprocesseur EF6800 pour laquelle il fournit un moyen de communication à vitesse moyenne.

Caractéristiques :

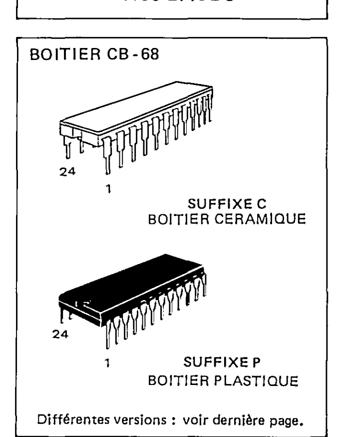
- Quatre retards possibles du signal CTS
- Configuration de test CCITT de 511 bits
- Interfaces compatibles TTL
- Options de phase CCITT et US
- Fonctionnement à 1200 ou 2400 bauds
- Signal de réponse.

MOS

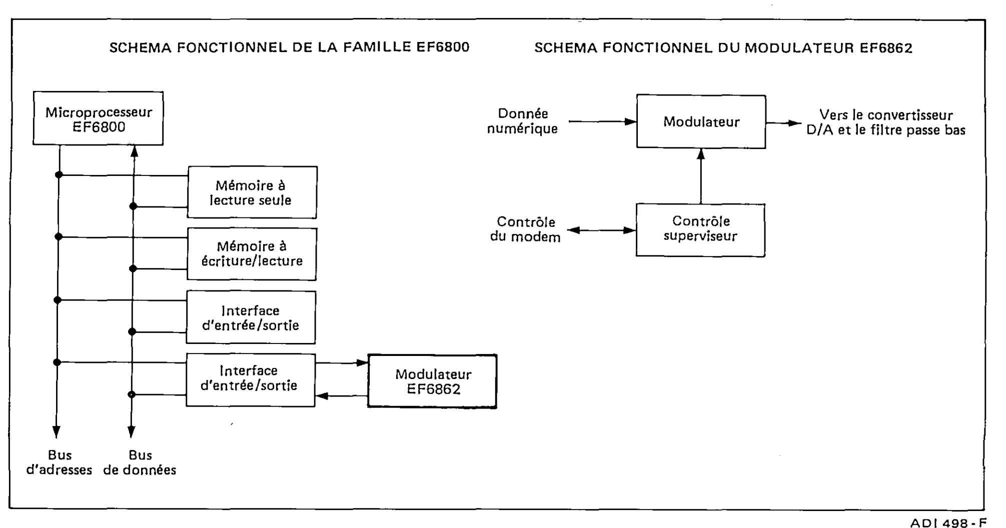
CANAL N, GRILLE Si

MODULATEUR DIGITAL
2400 BAUDS

BOITIER CB-68



Différentes versions : voir dernière page.



EFCIS
45, av. de l'Europe
78140 VELIZY
FRANCE
Tel.: (1) 946 97 19
Telex : 698866F

VALEURS LIMITES

Paramètres	Symboles	Valeurs	Unités
Tension d'alimentation	V_{CC}	– 0,3 à + 7,0	V
Tension d'entrée	V_I	– 0,3 à + 7,0	V
Température de fonctionnement	T_A	0 à + 70	°C
Température de stockage	T_{stg}	– 55 à + 150	°C
Résistance thermique	θ_{JA}	82,5	°C/W

Les entrées de ce circuit sont protégées contre les hautes tensions statiques et les champs électriques ; toutefois, il est recommandé de prendre les précautions normales pour éviter toute tension supérieure aux valeurs limites sur ce circuit à haute impédance.

CARACTERISTIQUES ELECTRIQUES (V_{DD} = 5 ± 0,25 V, V_{SS} = 0, T_A = 0 à 70° C)

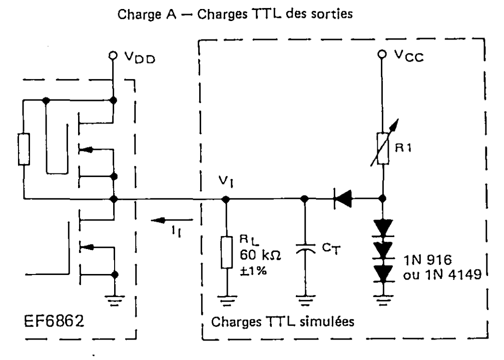
(toutes les sorties chargées comme dans la figure 1, sauf spécifications contraires)

Paramètres	Symboles	Min.	Typ.	Max.	Unités
Tension d'entrée à l'état haut	V_{IH}	V_{SS} + 2,0	—	V_{DD}	V
Tension d'entrée à l'état bas	V_{IL}	V_{SS}	—	V_{SS} + 0,8	V
Courant d'entrée ($V_I = V_{SS}$) CTS1, CTS2, PSS, DRS, $\overline{An}$ $\overline{Bk}$ et $\overline{Tx}$ $\overline{Mk}$	I_I	—	—	– 0,2	mA
$\overline{RTS}$ et $\overline{TPE}$		—	—	– 1,6	mA
Courant de fuite en entrée (V_I = 5,25 V, $V_{DD} = V_{SS}$)	I_{IL}	—	—	2,5	µA
Tension de sortie à l'état haut (I_{OH} = – 0,04 mA, Charge A)	V_{OH1}	V_{SS} + 2,4	—	V_{DD}	V
(I_{OH} = 0 mA, Charge B)	V_{OH2}	V_{DD} – 0,5 V	—	V_{DD}	V
Tension de sortie à l'état bas (I_{OL} = 1,6 mA, Charge A)	V_{OL}	V_{SS}	—	V_{SS} + 0,4	V
Capacité d'entrée (f = 0,1 MHz, T_A = 25° C)	C_I	—	5,0	—	pF
Courant d'alimentation V_{DD} (Toutes les entrées à V_{SS} sauf la broche 13 = 57,6 KHz et toutes les sorties libres).	I_{DD}	—	40	60	mA
Temps de transition des entrées (Sauf l'entrée d'horloge 1,8432 MHz)	$t_{r\phi}$	—	—	1,0*	µs
(Entre 10 % et 90 % des signaux)	$t_{f\phi}$	—	—	1,0*	µs
Temps de transition de l'entrée d'horloge 1,8432 MHz	t_r	—	—	40	ns
(Entre 0,8 V et 2 V)	t_f	—	—	40	ns
Temps au niveau haut de l'entrée d'horloge 1,8432 MHz par rapport à la période (mesuré à 1,5 V)	D.C.	30	—	70	%
Temps de pré-établissement de Tx données (figure 2)	t_S	35	—	—	µs
Temps de maintien de Tx données (figure 2)	t_H	35	—	—	µs
Temps de transition des sorties	t_r	—	—	5	µs
(Entre 10 et 90 % des signaux)	t_f	—	—	5	µs

* Les temps de transition maximaux des entrées sont ≤ 0,1 x largeur d'impulsion, ou le maximum spécifié de 1µs, ce qui est généralement inférieur.

FIGURE 1 – CHARGES DE TEST DES SORTIES

Charge A – Charges TTL des sorties



Charge B

VDD

CT

EF6862

R1 est ajustée pour I_I = 1,6 mA à V_I = 0,4 V quand la sortie est déconnectée

C_T = 20 pF = Capacité parasite totale (capacités de sonde, de connexion et de charge).

FIGURE 2 – TEMPS DE PRE-ETABLISSEMENT ET DE MAINTIEN DES DONNEES TRANSMISES

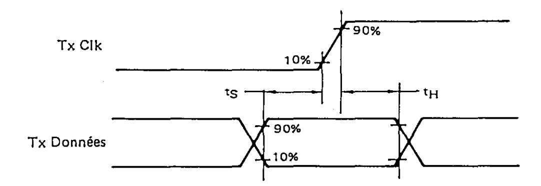


DIAGRAMME FONCTIONNEL

Inhibition du transmetteur ($\overline{CTS}$) 4

Demande d'émission retardée ($\overline{DRTS}$) 5

Horloge 1,843 MHz (Clk) 10

Horloge Externe (Ex Clk) 11

Demande d'émission ($\overline{RTS}$) 7

Options de retard CTS1 3, CTS2 2

Validation de la configuration de test ($\overline{TPE}$) 6

Temporisateur RTS-CTS et générateur de configuration de test

Diviseur de fréquence et logique de synchronisation

13 Horloge de test (TST)

Horlogerie

23 Horloge de transmission (Tx Clk)

24 Horloge de modulation (DBC)

Données à transmettre (Tx Data) 9

Sélection de la vitesse de transfert (DRS) 15

Sélection du déphasage (PSS) 16

Réponse ($\overline{An\ Bk}$) 14

Données à transmettre (Tx Data) et contrôle de déphasage

Générateur de porteuse 1800 Hz

22 B5, 21 B4, 20 B3, 19 B2, 18 B1, 17 B0 — Sortie de données 6 bits

Transmission de mark ($\overline{Tx\ Mk}$) 8

V_{DD} = broche 12
V_{SS} = broche 1

FONCTIONNEMENT

La figure 3 montre le modulateur EF6862 avec ses liaisons d'interface. La donnée à transmettre est fournie au modulateur sous forme série synchrone pour une conversion en signaux DPSK utilisés dans les transmissions. La sortie du modulateur est digitale ; un convertisseur digital/analogique et un filtre passe bas transforment le signal en signal analogique.

Les fonctions de commande du modulateur permettent quatre retards du signal CTS. Une tonalité de réponse ("Answer Back") est disponible pour des applications avec réponse automatique. Le modulateur a un générateur interne de configuration pseudo-aléatoire pour son utilisation dans le test du système.

FONCTIONS D'ENTREES/SORTIES

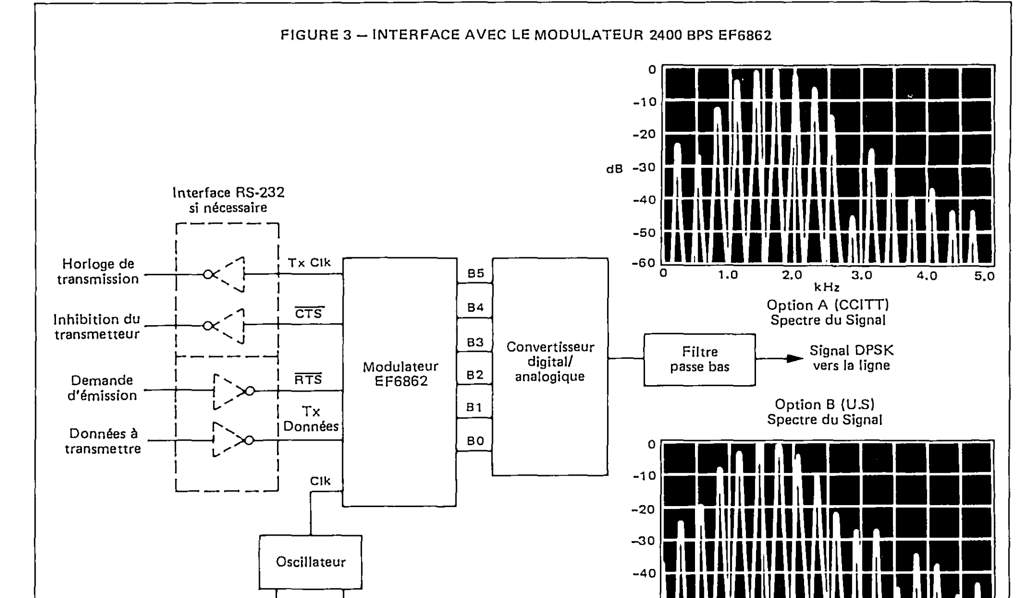
Demande d'émission, $\overline{RTS}$ (Request to Send)

Le signal $\overline{RTS}$ permet le contrôle de la transmission du modulateur. Un niveau bas sur l'entrée $\overline{RTS}$ active les sorties de données du modulateur. Pendant l'intervalle de temps entre le passage au niveau bas du signal $\overline{RTS}$ et celui du signal $\overline{CTS}$ un "Mark" ("1") est transmis pour la synchronisation. La fin de transmission est déterminée en mettant $\overline{RTS}$ au niveau haut (voir figures 4 et 5).

Demande d'émission retardée, $\overline{DRTS}$ (Delayed Request to Send)

Cette sortie peut être utilisée pour contrôler la transmission comme il est spécifié par l'entrée de contrôle de transmission de "Mark". $\overline{DRTS}$ suit la transition négative

FIGURE 3 — INTERFACE AVEC LE MODULATEUR 2400 BPS EF6862



de $\overline{RTS}$ et passe à l'état bas au maximum 35 μs après la transition négative de $\overline{RTS}$ (voir figure 4). Le retard de la transition positive de $\overline{DRTS}$ par rapport à la transition positive de $\overline{RTS}$ est montré dans la figure 5. Le retard du signal $\overline{DRTS}$ permet la transmission de la donnée contenue dans le modulateur avant l'inhibition de la transmission.

Inhibition du transmetteur, $\overline{CTS}$ ($\overline{\text{Clear to Send}}$)

La sortie $\overline{CTS}$ suit l'entrée $\overline{RTS}$ dans ses passages au niveau bas et au niveau haut. Le retard de la transition négative de $\overline{CTS}$ par rapport à la transition négative de $\overline{RTS}$ peut être choisi par les entrées CTS1 et CTS2. Le retard de la transition positive de $\overline{CTS}$ par rapport à la transition positive de $\overline{RTS}$ est inférieur à 35 μs.

Le passage à l'état bas de $\overline{CTS}$ se fait au maximum 35 μs après la transition positive de l'horloge (voir figure 4) sauf quand l'option "aucun retard" (CTS1 = 0 et CTS2 = 1) est choisie. Pour l'option "aucun retard", le signal $\overline{CTS}$ suit les transitions du signal $\overline{RTS}$ moins de 35 μs après.

Options de retard, $\overline{RTS}$ – $\overline{CTS}$ (CTS1, CTS2)

Le retard du signal $\overline{CTS}$ par rapport au signal $\overline{RTS}$ est choisi suivant le tableau suivant :

Retard $\overline{RTS}$ - $\overline{CTS}$	CTS1	CTS2
0+ 0,035 ms, – 0 ms	0	1
8,55 à 9,35 ms	1	0
24,90 à 26,4 ms	1	1
147 à 154 ms	0	0

Transmission de Mark, $\overline{Tx\ Mk}$ ($\overline{\text{Transmit Mark}}$)

L'entrée de contrôle $\overline{Tx\ Mk}$ permet de choisir si la sortie $\overline{DRTS}$ active ou désactive la transmission, dans le modulateur ou à l'extérieur, dans l'amplificateur de sortie.

Quand l'entrée $\overline{Tx\ Mk}$ est à l'état haut, la transmission est contrôlée dans le modulateur. Le modulateur est en transmission si $\overline{DRTS}$ ou $\overline{An\ Bk}$ est dans l'état logique "0" (Voir figure 6).

Quand l'entrée $\overline{Tx\ Mk}$ est à l'état bas, la transmission est contrôlée à l'extérieur du modulateur. Dans ce mode, le modulateur transmet des "Marks" quand il ne transmet pas de données ou de tonalité de réponse ("$\overline{\text{Answer Back}}$"). (Voir figure 6).

Validation de la configuration de test, $\overline{TPE}$ ($\overline{\text{Test Pattern Enable}}$)

Le modulateur contient un générateur d'une configuration de test de 511 bits. Cette configuration correspond à la spécification CCITT V52. La configuration peut être utilisée pour combiner les données d'entrée ou comme configuration de test.

La configuration de test de 511 bits est activée en mettant à zéro l'entrée $\overline{TPE}$. Quand l'entrée $\overline{TPE}$ est activée ("0" logique) et qu'un "Mark" ("1" logique) est appliquée sur l'entrée Tx Donnée (Donnée transmise), la configuration de test apparaît sur les sorties de données. Quand l'entrée $\overline{TPE}$ est activée et qu'un zéro logique est appliqué sur l'entrée Tx Donnée, l'inverse de la configuration de test apparaît en sortie. Quand l'entrée $\overline{TPE}$ est activée et que des données aléatoires sont appliquées sur l'entrée Tx Don-

nées la configuration de test est combinée (par NON-OU exclusif) avec les données et le résultat apparaît sur les sorties de données.

L'entrée $\overline{TPE}$ ne peut être activée que si $\overline{CTS}$ et $\overline{RTS}$ sont à zéro. Si $\overline{TPE}$ est activé en dehors de cet intervalle de temps, les retards $\overline{RTS}$ - $\overline{CTS}$ et $\overline{RTS}$ - $\overline{DRTS}$ montrés dans les figures 4 et 5 ne sont pas valides.

Sélection de la vitesse de transfert, DRS (Data Rate Select)

Le modulateur peut transmettre des données à une vitesse de 2400 bauds ou 1200 bauds. Les deux vitesses de transmission utilisent une porteuse à 1800 Hz et une modulation de phase à 1200 Hz. La vitesse de transmission de 2400 bauds est obtenue en encodant deux bits de données dans chaque modulation de phase. La vitesse de transmission de 2400 bauds est sélectée en appliquant un "1" logique sur l'entrée DRS. Un "0" logique sélecte la vitesse de transmission de 1200 bauds.

Sélection du déphasage, PSS (Phase Shift Select)

Cette entrée permet de choisir l'option de déphasage. Pour un fonctionnement à 2400 bauds la sélection entre l'option A (CCITT) et l'option B (U.S) se fait de la manière suivante :

Donnée	PSS = 0 Option A	PSS = 1 Option B
00	0°	+ 45°
01	+ 90°	+ 135°
11	+ 180°	+ 225°
10	+ 270°	+ 315°

Pour un fonctionnement à 1200 bauds la sélection entre l'option C (CCITT) et l'option D (U.S) se fait de la manière suivante :

Donnée	PSS = 0 Option C	PSS = 1 Option D
0	+ 90°	+ 45°
1	+ 270°	+ 225°

L'option C est choisie en mettant au "0" logique l'entrée PSS quand l'entrée DRS est au "0" logique (fonctionnement à 1200 bauds). L'option D est sélectée quand PSS = "1" et DRS = "0". Le déphasage montré dans les tableaux ci-dessus correspond au déphasage entre le signal à la fin d'une période de l'horloge de modulation et le nouveau signal au début de la période de l'horloge de modulation suivante.

Données à transmettre, Tx Données (Transmit Data)

La donnée à transmettre est une information binaire série fournie au modulateur pour une modulation DPSK. Un niveau haut représente un "Mark".

Horloge de transmission, Tx Clk (Transmit Clock)

Le modulateur possède une horloge de transmission fonctionnant à 1200 ou 2400 Hz pour le terminal de communication. La donnée à transmettre "Tx Données" est échantillonnée sur la transition positive de l'horloge de transmission. Les temps de pré-établissement et de maintien de la donnée à transmettre sont montrés dans le tableau des caractéristiques électriques et dans la figure 2.

Horloge de modulation, DBC (Dibit Clock)

L'horloge DBC, fonctionnant à 1200 Hz, identifie les temps de modulation. Ce signal passe à l'état bas moins de 100 µs avant le début de la modulation.

Horloge Externe, Ex Clk (External Clock)

Un signal d'horloge d'une fréquence de 1200 Hz ou 2400 Hz appliqué sur cette entrée entraîne la synchronisation de l'horloge de transmission "Tx Clk" sur "Ex Clk". Les variations de fréquence de cette entrée doivent être inférieures à ± 0,005 %.

Quand cette entrée reste au niveau logique "0" ou "1", l'horloge interne fournit le signal à 1200/2400 Hz pour l'horloge de transmission. Une synchronisation rapide de Tx Clk sur Ex Clk n'est pas assurée par le circuit. Quand l'entrée Ex Clk n'est pas utilisée, elle doit être connectée à l'un des états logiques "0" ou "1".

Horloge 1,8432 MHz, (Clk)

Cette entrée est une entrée pour une horloge fonctionnant à 1,8432 MHz, de formes d'ondes carrées avec des temps de montée et de descente inférieurs à 40 ns et un temps au niveau haut égal à 50 ± 20 % de la période. Les variations de fréquence doivent être inférieures à ± 0,005%.

Signal de réponse, $\overline{An\ Bk}$ (Answer Back)

Quand un "0" logique est appliqué sur cette entrée, le modulateur génère une porteuse à 2025 Hz au lieu de la porteuse à 1800 Hz. Quand un "1" logique est appliqué sur cette entrée, le modulateur génère la porteuse à 1800 Hz comme le montre la figure 6. Le temps de retard à l'établissement du signal de porteuse après une transition de l'entrée $\overline{An\ Bk}$ est inférieur à 2 ms.

L'activation de l'entrée $\overline{An\ Bk}$ ("0" logique) désactive tous les autres modes de fonctionnement y compris la fonction $\overline{Tx\ Mk}$ et elle remet $\overline{CTS}$ dans un état inactif ainsi que l'horlogerie interne du retard $\overline{RTS}$ - $\overline{CTS}$. $\overline{An\ Bk}$ doit être activée avant la commande $\overline{RTS}$ ou après la perte du signal de sortie $\overline{DRTS}$. La combinaison d'un "0" logique sur $\overline{An\ Bk}$ avec un "0" logique sur $\overline{TPE}$ n'est pas utilisée dans un fonctionnement ; cette combinaison est utilisée comme mise à l'état initial pendant le test du circuit.

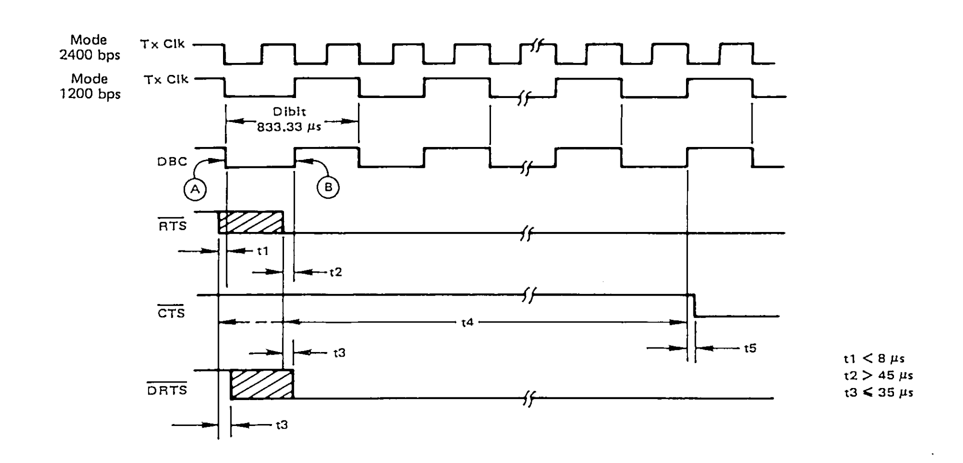
Sorties digitales (B0 - B5)

Ces sorties sont destinées à un convertisseur digital/analogique 6 bits. Le signal résultant en sortie du convertisseur est le signal DPSK à une fréquence de 14,4 KHz. Un filtre passe bas peut alors être utilisé pour atténuer les transitions de données. B0 est le bit de poids faible et le niveau actif de ces sorties est le niveau fort.

Horloge de test, TST (Test Clock)

Cette entrée permet de diminuer le temps de test du circuit. Pour un fonctionnement normal, cette entrée doit être connectée au niveau bas.

FIGURE 4 — RETARDS DE CTS ET DE DRTS PAR RAPPORT A RTS (Transition négative)



CTS1	CTS2	t4*	t5
0	1	0 + 0,035 ms, –0 ms	–
1	0	8,55 à 9,35 ms	< 35 µs
1	1	24,90 à 26,4 ms	< 35 µs
0	0	147 à 154 ms	< 35 µs

* Les temps n'incluent pas la tolérance sur la fréquence de référence.

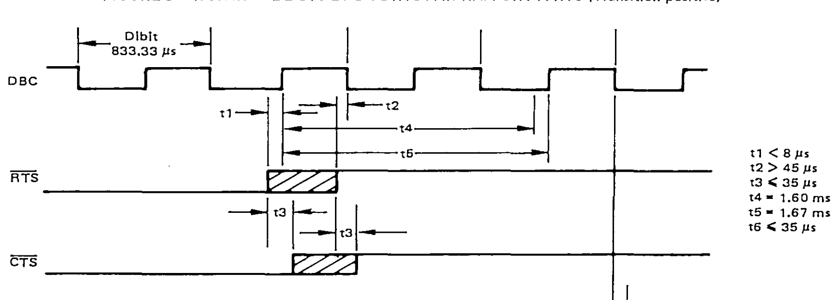
Les options de retard $\overline{RTS}$ - $\overline{CTS}$ (retard de la transition négative de $\overline{CTS}$ par rapport à la transition négative de $\overline{RTS}$) sont choisies par les entrées CTS1 et CTS2 et sont représentées par le temps t4 dans la figure ci-dessus. Une transition de l'entrée $\overline{RTS}$ synchronisée autour du point A dans la figure (front descendant de DBC) et se produisant dans la zone ombrée, synchronisera $\overline{CTS}$ avec la transition de l'horloge DBC et le temps de retard t4 est mesuré par rapport à la transition négative de $\overline{RTS}$.

Un signal $\overline{RTS}$ passant à l'état bas dans la zone ombrée mais synchronisé avec le front montant de DBC (point B) donne le même retard t4 sur $\overline{CTS}$. Dans ce cas, la transition négative de $\overline{CTS}$ est synchronisée avec la transition négative de DBC, le temps t4 étant mesuré par rapport à la transition négative de $\overline{RTS}$.

Le signal $\overline{DRTS}$ passe à l'état bas moins de 35 µs après la transition négative de $\overline{RTS}$ (temps t3). Sauf pour l'option "aucun retard" (CTS1 = "0" et CTS2 = "1"), $\overline{CTS}$ passe à l'état bas moins de 35 µs (temps t5) après la transition positive de DBC, suivant le retard t4 sélecté (en supposant que $\overline{RTS}$ est synchronisé par rapport au point A).

Si $\overline{RTS}$ passe à l'état haut et reste haut plus de 20 µs pendant le temps t4, une mise à l'état initial de l'horlogerie interne pour le retard $\overline{RTS}$ - $\overline{CTS}$ se produira. Si $\overline{RTS}$ passe à l'état haut pour moins de 20 µs pendant t4, la mise à l'état initial de l'horlogerie interne peut se produire ou ne pas se produire.

FIGURE 5 — RETARDS DE $\overline{CTS}$ ET DE $\overline{DRTS}$ PAR RAPPORT A $\overline{RTS}$ (Transition positive)

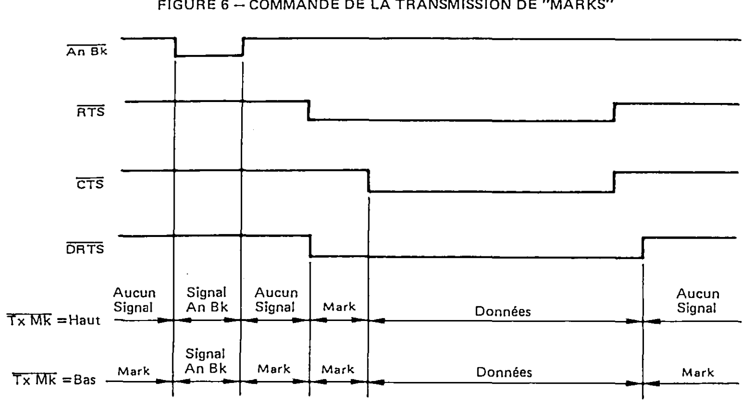


Une transition positive de $\overline{RTS}$ pendant que la sortie $\overline{CTS}$ est active (niveau bas) peut donner des résultats différents suivant la durée pendant laquelle $\overline{RTS}$ reste inactive (niveau haut).

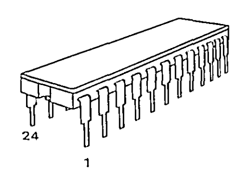
Dans tous les cas, la sortie $\overline{CTS}$ passe à l'état haut moins de 35 μs (t3) après la transition positive de $\overline{RTS}$. Si $\overline{RTS}$ passe à l'état haut dans la zone ombrée de la figure ($\overline{RTS}$ synchronisée par rapport au front montant de DBC) et reste à l'état haut pendant le temps t5, alors $\overline{DRTS}$ passera à l'état haut moins de 35 μs (t6) après le front descendant suivant (après t5) de DBC. Si $\overline{RTS}$ repasse à l'état bas après le temps t5, les temps définis dans la figure 4 sont applicables.

Si $\overline{RTS}$ passe à l'état haut dans la zone ombrée, puis à l'état bas avant le temps t4, la sortie $\overline{CTS}$ passera à l'état bas moins de 35 μs après et la sortie $\overline{DRTS}$ restera à l'état bas. Dans ce cas, les temps de retard de $\overline{CTS}$ par rapport à $\overline{RTS}$ ne sont plus applicables. Si $\overline{RTS}$ passe à l'état bas pour moins de 20 μs, le modulateur peut répondre ou ne pas répondre à cette impulsion sur $\overline{RTS}$.

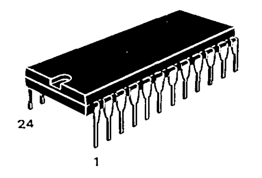
FIGURE 6 — COMMANDE DE LA TRANSMISSION DE "MARKS"



BOITIER CB-68

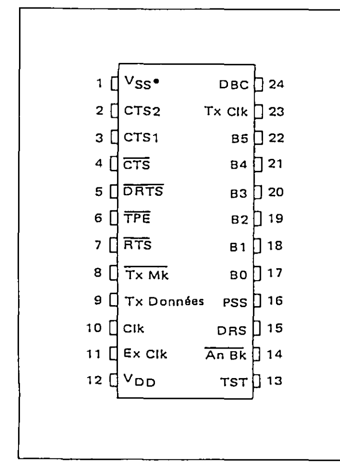


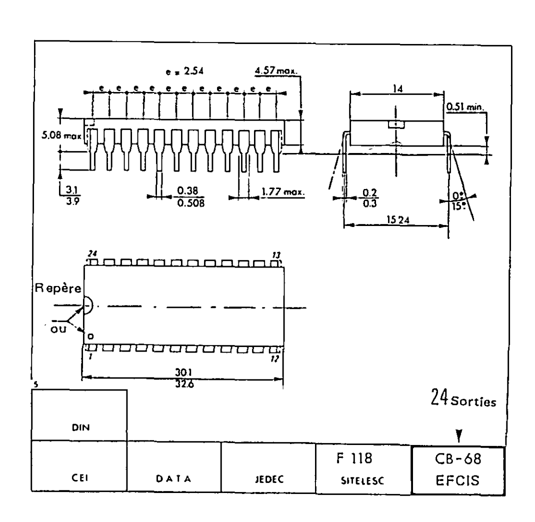
SUFFIXE C
BOITIER CERAMIQUE



SUFFIXE P
BOITIER PLASTIQUE

BROCHAGE





Informations préliminaires : ces spécifications peuvent changer sans préavis.
Consultez notre réseau de vente pour connaître la disponibilité des différentes versions de ce circuit.

EFCIS



Circuits Intégrés MOS THOMSON-EFCIS

mosmosmosmosmosmosmosmosmosmos

EFF6875

Ancienne appellation : SFF9-6875

GENERATEUR D'HORLOGE POUR LA FAMILLE 6800

Prévu pour fournir les signaux d'horloge non chevauchants $\phi 1$ et $\phi 2$ nécessaires au fonctionnement du microprocesseur, ce générateur d'horloge est compatible avec les versions à 1,0 - 1,5 - 2,0MHz du EF6800.

L'oscillateur ainsi que la sortie de commande à haute impédance sont intégrés avec plusieurs autres fonctions logiques, ce qui permet une extension facile du système.

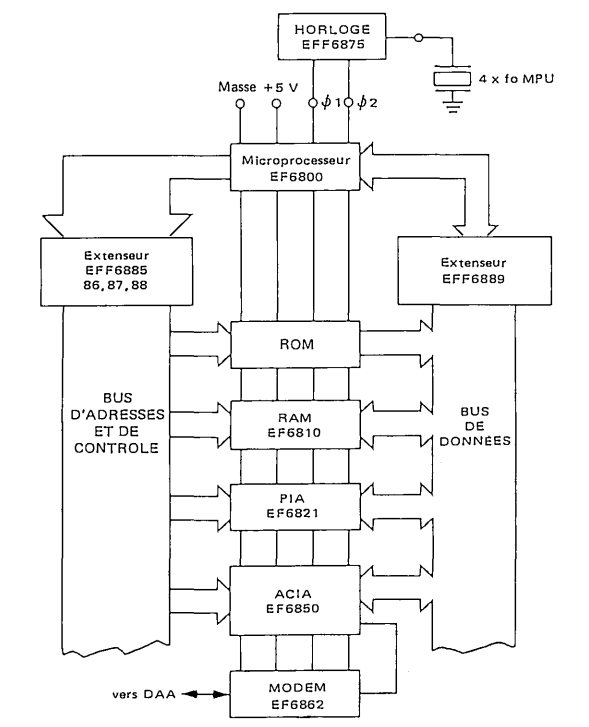
La technologie "Schottky" est utilisée pour ses qualités de rapidité et les entrées amplificatrices PNP rendent le circuit compatible avec les circuits MOS-canal N.

Une seule alimentation (+ 5 V) est nécessaire, ainsi qu'un quartz ou un réseau RC déterminant la fréquence de fonctionnement.

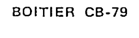
GENERATEUR D'HORLOGE BIPHASE AVEC AMPLIFICATEUR POUR LA FAMILLE 6800

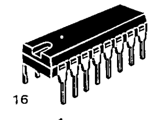
CIRCUIT INTEGRE TECHNOLOGIE SCHOTTKY

Système microprocesseur type avec extenseur de bus

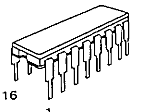


BOITIER CB-79





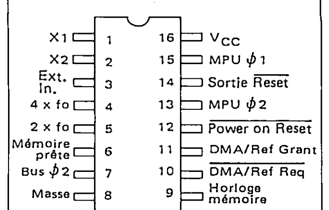
SUFFIXE P
BOITIER PLASTIQUE



SUFFIXE C
BOITIER CERAMIQUE

Différentes versions : voir dernière page.

BROCHAGE



POUR COMMANDER

Circuit	Gamme de température	Boitier
EFF6875C	0 à 70°C	Céramique
EFF6875P	0 à 70°C	Plastique

EFCIS
FRANCE

45, av. de l'Europe
78140 VELIZY

Tel.: (1) 946 97 19
Telex : 698866F

VALEURS LIMITES ABSOLUES (sauf indication contraire, $T_A = 25°C$)

Paramètres	Symboles	Valeurs	Unités
Tension d'alimentation	V_{CC}	+ 7,0	V
Tension d'entrée	V_I	+ 5,5	V
Température de fonctionnement	T_A	0 à +70	°C
Température de stockage : Boîtier céramique Boîtier plastique	T_{stg}	 −65 à +150 −55 à +125	°C
Température de jonction : Boîtier céramique Boîtier plastique	T_J	 +175 +150	°C

CONDITIONS DE FONCTIONNEMENT RECOMMANDÉES

Paramètres	Symboles	Valeurs	Unités
Tension d'alimentation	V_{CC}	+4,75 à +5,25	V
Température de fonctionnement	T_A	0 à +70	°C

CARACTÉRISTIQUES ÉLECTRIQUES

(Sauf indication contraire, ces caractéristiques correspondent aux gammes de température et d'alimentation spécifiées. Valeurs typiques mesurées à $V_{CC} = 5,0$ V et $T_A = 25°C$).

Caractéristiques	Symboles	Min.	Typ.	Max.	Unités
Tension de sortie — État logique haut Sorties MPU ϕ1 et ϕ2 (V_{CC} = 4,75 V, I_{OHM} = −200 µA) (V_{CC} = 5,25 V, I_{OHMK} = +5,0 mA)	 V_{OHM} V_{OHMK}	 V_{CC}−0,6 −	 − −	 − V_{CC}+1,0	 V
Sortie Bus ϕ2 (V_{CC} = 4,75 V, I_{OHB} = −10 mA) (V_{CC} = 5,25 V, I_{OHBK} = +5,0 mA)	 V_{OHB} V_{OHBK}	 2,4 −	 − −	 − V_{CC}+1,0	 V
Sortie 4 x fo (V_{CC} = 4,75 V, V_{IH} = 2,0 V, I_{OH4X} = −500 µA)	V_{OH4X}	2,4	−	−	V
Sorties 2 x fo, DMA/Refresh Grant, Horloge mémoire (V_{CC} = 4,75 V, I_{OH} = −500 µA)	V_{OH}	2,4	−	−	V
Sortie $\overline{Reset}$ (V_{CC} = 4,75 V, V_{IH} = 3,3 V, $I_{OH\overline{R}}$ = −100 µA)	$V_{OH\overline{R}}$	2,4	−	−	V
Tension de sortie — État logique bas Sorties MPU ϕ1 et ϕ2 (V_{CC} = 4,75 V, I_{OLM} = +200 µA) (V_{CC} = 4,75 V, I_{OLMK} = −5,0 mA)	 V_{OLM} V_{OLMK}	 − −	 − −	 0,4 −1,0	 V
Sortie Bus ϕ2 (V_{CC} = 4,75 V, I_{OLB} = +48 mA) (V_{CC} = 4,75 V, I_{OLBK} = −5,0 mA)	 V_{OLB} V_{OLBK}	 − −	 − −	 0,5 −1,0	 V
Sortie 4 x fo (V_{CC} = 4,75 V, V_{IL} = 0,8 V, I_{OL4X} = 16 mA)	V_{OL4X}	−	−	0,5	V
Sorties 2 x fo, DMA/Refresh Grant, Horloge mémoire (V_{CC} = 4,75 V, I_{OL} = 16 mA)	V_{OL}	−	−	0,5	V
Sortie $\overline{Reset}$ (V_{CC} = 4,75 V, V_{IL} = 0,8 V, $I_{OL\overline{R}}$ = 3,2 mA)	$V_{OL\overline{R}}$	−	−	0,5	V
Tension d'entrée — État logique haut Entrées Ext. In., Mémoire prête, $\overline{DMA/Ref\ REQ}$	V_{IH}	2,0	−	−	V
Tension d'entrée — État logique bas Entrées Ext. In., Mémoire prête, $\overline{DMA/Ref\ REQ}$	V_{IL}	−	−	0,8	V
Seuils — Entrée $\overline{Power\ on\ Reset}$ (fig.2) Sortie passant de l'état bas à l'état haut Sortie passant de l'état haut à l'état bas	 V_{ILH} V_{IHL}	 − 0,8	 2,8 1,4	 3,6 −	 V
Tension d'écrêtage des entrées (V_{CC} = 4,75 V, I_{IC} = −5,0 mA)	V_{IC}	−	−	−1,0	V
Courant d'entrée — État logique haut Entrées Ext. In., Mémoire prête, $\overline{DMA/Ref\ REQ}$ (V_{CC} = 4,75 V, V_{IH} = 5,0 V)	 I_{IH}	 −	 −	 25	 µA
Entrée $\overline{Power\ on\ Reset}$ (V_{CC} = 5,0 V, $V_{IH\overline{R}}$ = 5,0 V)	$I_{IH\overline{R}}$	−	−	50	µA
Courant d'entrée — État logique bas Entrées Ext. In., Mémoire prête, $\overline{DMA/Ref\ REQ}$ (V_{CC} = 5,25 V, V_{IL} = 0,5 V)	 I_{IL}	 −	 −	 −250	 µA
Entrée $\overline{Power\ on\ Reset}$ (V_{CC} = 5,25 V, V_{IL} = 0,5 V)	$I_{IL\overline{R}}$	−	−	−250	µA

COURANT D'ALIMENTATION EN FONCTIONNEMENT DYNAMIQUE

Caractéristiques	Symboles	Min.	Typ.	Max.	Unités
Courants d'alimentation (V_{CC}=5,25 V, f_{osc}=8,0 MHz, V_{IL}=0 V, V_{IH}=3,0 V) Fonctionnement normal (Entrées Mémoire prête et DMA/Refresh Request à l'état haut)	I_{CCN}	–	–	150	mA
Fonctionnement ralenti - utilisation avec une mémoire lente (Entrée Mémoire prête à l'état bas ; entrée DMA/Refresh Request à l'état haut)	I_{CCMR}	–	–	135	mA
Fonctionnement ralenti - accès direct à la mémoire ou rafraîchissement (Entrée Mémoire prête à l'état haut, entrée DMA/Refresh Request à l'état bas)	I_{CCDR}	–	–	135	mA

CARACTÉRISTIQUES DE COMMUTATION

Ces spécifications s'appliquent, que soit utilisé un oscillateur interne (fig.9) ou un oscillateur externe (fig.10).
Valeurs typiques mesurées pour V_{CC} = 5,0 V, T_A = 25°C, fo = 1,0 MHz (fig. 8).

Caractéristiques	Symboles	Min.	Typ.	Max.	Unités
SORTIES MPU ϕ1 et ϕ2					
Période de sortie (fig.3)	t_o	500	–	–	ns
Largeur d'impulsion (fig.3)	t_{PWM}				ns
(fo = 1.0 MHz)		400	–	–	
(fo = 1.5 MHz)		230	–	–	
(fo = 2.0 MHz)		180	–	–	
Temps total à l'état haut (fig.3)	t_{UPM}				ns
(fo = 1.0 MHz)		900	–	–	
(fo = 1.5 MHz)		600	–	–	
(fo = 2.0 MHz)		440	–	–	
Retard à la décroissance d'une sortie par rapport à la croissance de l'autre (chevauchement des signaux d'horloge - fig. 3) Sortie passant de l'état haut à l'état bas (recouvrement de l'horloge à 1,0 V)	t_{PLHM}	0	–	–	ns
Retard par rapport à la sortie 2 x fo :					
Sortie passant de l'état bas à l'état haut	t_{PLHM2X}	–	–	85	ns
Sortie passant de l'état haut à l'état bas	t_{PHLM2X}	–	–	70	ns
Temps de transition (fig. 3)					
Sortie passant de l'état bas à l'état haut	t_{TLHM}	–	–	25	ns
Sortie passant de l'état haut à l'état bas	t_{THLM}	–	–	25	ns
SORTIE BUS ϕ2					
Largeur d'impulsion – Etat logique bas (fig. 4)	t_{PWLB}				ns
(fo = 1.0 MHz)		430	–	–	
(fo = 1.5 MHz)		280	–	–	
(fo = 2.0 MHz)		210	–	–	
Largeur d'impulsion – Etat logique haut (fig. 4)	t_{PWHB}				ns
(fo = 1.0 MHz)		450	–	–	
(fo = 1.5 MHz)		295	–	–	
(fo = 2.0 MHz)		235	–	–	
Retard par rapport à la sortie MPU ϕ1 (fig.4)					
Sortie passant de l'état bas à l'état haut	t_{PLHBM1}				ns
(fo = 1.0 MHz)		480	–	–	
(fo = 1.5 MHz)		320	–	–	
(fo = 2.0 MHz)		240	–	–	
Sortie passant de l'état haut à l'état bas	t_{PHLBM1}				
(C_L = 300 pF)		–	–	25	
(C_L = 100 pF)		–	–	20	
Retard par rapport à la sortie MPU ϕ2 (fig.4)					
Sortie passant de l'état bas à l'état haut	t_{PLHBM2}	-30	–	+25	ns
Sortie passant de l'état haut à l'état bas	t_{PHLBM2}	0	–	+40	ns
Temps de transition (fig. 4)					
Sortie passant de l'état bas à l'état haut	t_{TLHB}	–	–	20	ns
Sortie passant de l'état haut à l'état bas	t_{THLB}	–	–	20	ns
ENTRÉE MÉMOIRE PRETE (MEMORY READY)					
Temps d'établissement (fig. 5)					
Entrée à l'état bas	t_{SMRL}	55	–	–	ns
Entrée à l'état haut	t_{SMRH}	75	–	–	ns
Temps de maintien (fig. 5)					
Entrée à l'état bas	t_{HMRL}	10	–	–	ns

CARACTERISTIQUES DE COMMUTATION (suite)

Caractéristiques	Symboles	Min.	Typ.	Max.	Unités
SORTIE HORLOGE MÉMOIRE					
Retards par rapport à la sortie MPU ϕ2 (fig. 4)					
Sortie passant de l'état bas à l'état haut	t_{PLHCM}	-50	–	+25	ns
Sortie passant de l'état haut à l'état bas	t_{PHLCM}	0	–	+40	ns
Retards par rapport à la sortie 2 x fo (fig. 4)					
Sortie passant de l'état bas à l'état haut	t_{PLHC2X}	–	–	65	ns
Sortie passant de l'état haut à l'état bas	t_{PHLC2X}	–	–	85	ns
Temps de transition (fig.4)					
Sortie passant de l'état bas à l'état haut	t_{TLHC}	–	–	25	ns
Sortie passant de l'état haut à l'état bas	t_{THLC}	–	–	25	ns
SORTIE 2 x fo					
Retards par rapport à la sortie 4 x fo (fig. 4)					
Sortie passant de l'état bas à l'état haut	t_{PLH2X}	–	–	50	ns
Sortie passant de l'état haut à l'état bas	t_{PHL2X}	–	–	65	ns
Retards par rapport à la sortie MPU ϕ1 (fig. 4)					
Sortie passant de l'état haut à l'état bas	$t_{PHL2XM1}$				ns
(fo = 1,0 MHz)		365	–	–	
(fo = 1,5 MHz)		220	–	–	
Temps de transition (fig.4)					
Sortie passant de l'état bas à l'état haut	t_{TLH2X}	–	–	25	ns
Sortie passant de l'état haut à l'état bas	t_{THL2X}	–	–	25	ns
SORTIE 4 x fo					
Retards par rapport à l'entrée oscillateur externe (Ext. In) (fig. 4)					
Sortie passant de l'état bas à l'état haut	t_{PLH4X}	–	–	50	ns
Sortie passant de l'état haut à l'état bas	t_{PHL4X}	–	–	30	ns
Temps de transition (fig.4)					
Sortie passant de l'état bas à l'état haut	t_{TLH4X}	–	–	25	ns
Sortie passant de l'état haut à l'état bas	t_{THL4X}	–	–	25	ns
ENTRÉE $\overline{\text{DMA/REFRESH REQUEST}}$					
Temps d'établissement (fig. 6)					
Entrée à l'état bas	t_{SDRL}	65	–	–	ns
Entrée à l'état haut	t_{SDRH}	75	–	–	ns
Temps de maintien (fig. 6)					
Entrée à l'état bas	t_{HDRL}	10	–	–	ns
SORTIE DMA/REFRESH GRANT					
Retards par rapport à la sortie Horloge mémoire (fig. 6)					
Sortie passant de l'état bas à l'état haut	t_{PLHG}	-15	–	+25	ns
Sortie passant de l'état haut à l'état bas	t_{PHLG}	-25	–	+15	ns
Temps de transition (fig.6)					
Sortie passant de l'état bas à l'état haut	t_{TLHG}	–	–	25	ns
Sortie passant de l'état haut à l'état bas	t_{THLG}	–	–	25	ns
SORTIE $\overline{\text{RESET}}$					
Retards par rapport à l'entrée $\overline{\text{Power on Reset}}$ (fig. 7)					
Sortie passant de l'état bas à l'état haut	$t_{PLH\bar{R}}$	–	–	1000	ns
Sortie passant de l'état haut à l'état bas	$t_{PHL\bar{R}}$	–	–	250	ns
Temps de transition (fig.7)					
Sortie passant de l'état bas à l'état haut	$t_{TLH\bar{R}}$	–	–	100	ns
Sortie passant de l'état haut à l'état bas	$t_{THL\bar{R}}$	–	–	50	ns

- 4 x fo – Sortie d'un oscillateur fonctionnant à 4 fois la fréquence d'horloge du microprocesseur, utilisable pour la synchronisation d'un système.
- 2 x fo – Sortie d'un oscillateur fonctionnant à 2 fois la fréquence d'horloge du microprocesseur.
- $\overline{\text{DMA/REF REQ}}$ – Entrée asynchrone utilisée pour bloquer les phases d'horloge du microprocesseur dans l'état ϕ 1 haut, ϕ 2 bas et permettre le rafraîchissement des mémoires dynamiques, ou un accès direct à la mémoire DMA (Direct Memory Access).
- REF GRANT – Sortie synchrone permettant de synchroniser le rafraîchissement de la mémoire ou l'accès direct à celle-là.
- MÉMOIRE PRETE – Entrée asynchrone utilisée pour bloquer les phases d'horloge du microprocesseur dans l'état ϕ 1 bas, ϕ 2 haut, pour l'utilisation avec une mémoire lente.
- MPU ϕ 1, MPU ϕ 2 – Sorties pouvant commander les entrées ϕ 1 et ϕ 2 de 2 microprocesseurs EF6800.
- BUS ϕ 2 – Sortie en phase avec l'entrée ϕ 2 du microprocesseur capable de commander un circuit du type EFF6880.
- HORLOGE MÉMOIRE – Sortie en phase avec l'entrée ϕ 2 du microprocesseur fonctionnant librement durant un cycle de rafraîchissement.
- $\overline{\text{POWER ON RESET}}$ – Entrée d'une bascule (trigger de Schmidt). Une capacité la relie à la masse et fixe la constante de temps désirée pour la remise à zéro, lors de la mise sous tension. La bascule est reliée à l'alimentation par une résistance interne de 50 kΩ (voir les conseils généraux d'utilisation pour la mise en œuvre manuelle).
- $\overline{\text{RESET}}$ – Sortie pour la remise à zéro du microprocesseur et des circuits d'interface d'entrées-sorties.
- X1, X2 – Broches prévues pour connecter un quartz à résonance série, ou un réseau RC.
- EXT IN – Permet de piloter le circuit par un signal extérieur TTL pour assurer la synchronisation du microprocesseur et d'un système extérieur.

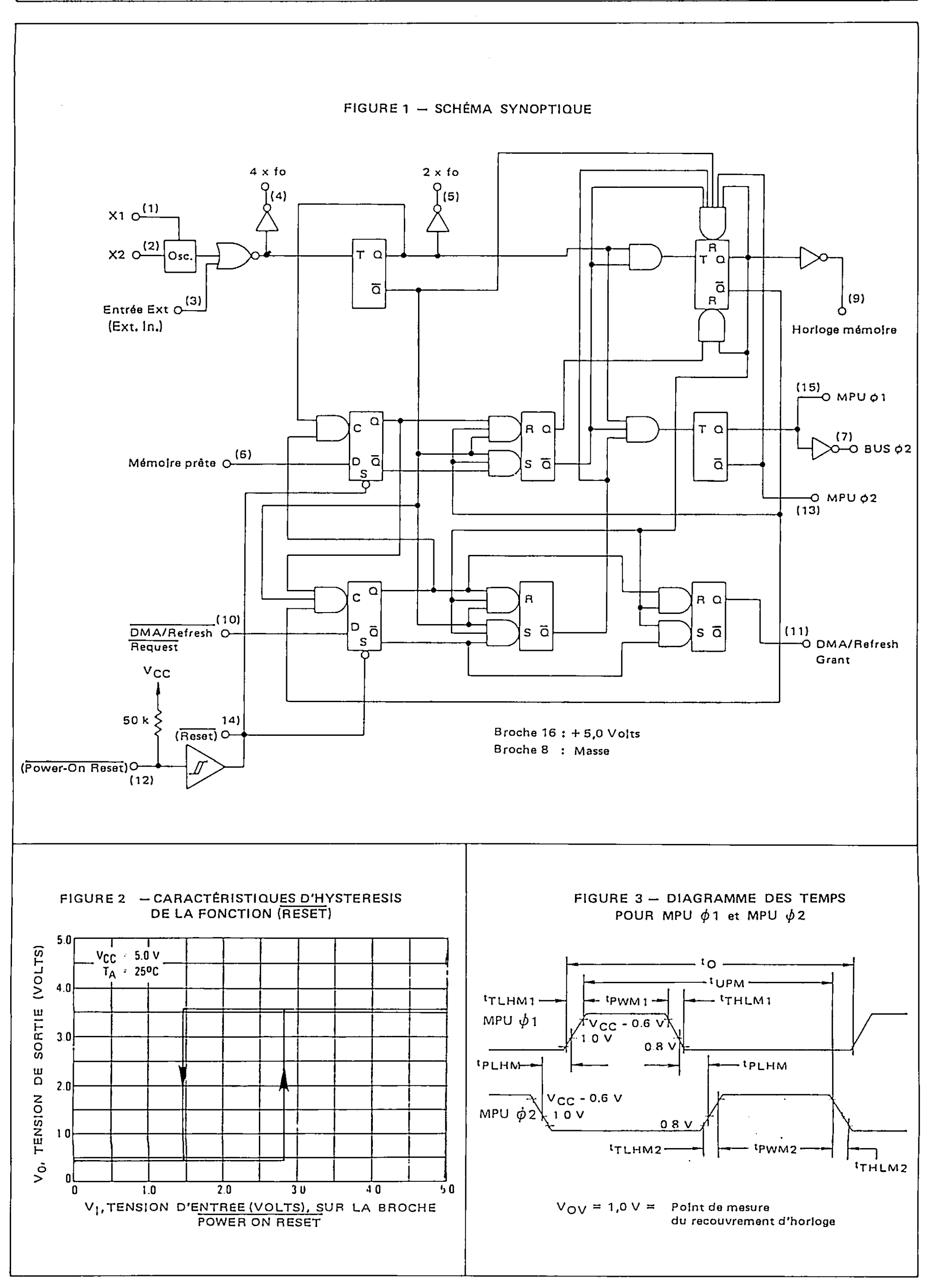


FIGURE 1 — SCHÉMA SYNOPTIQUE
4 x fo
(4)
2 x fo
(5)
X1 (1)
X2 (2)
Osc.
Entrée Ext (3)
(Ext. In.)
T Q
Q̄
R
T Q
Q̄
R
(9)
Horloge mémoire
(15) MPU ϕ1
(7) BUS ϕ2
MPU ϕ2
(13)
Mémoire prête (6)
C Q
D Q̄
S
R Q
S Q̄
T Q
Q̄
DMA/Refresh Request (10)
(11) DMA/Refresh Grant
VCC
50 k
14)
(Reset)
(Power-On Reset)
(12)
Broche 16 : + 5,0 Volts
Broche 8 : Masse
FIGURE 2 — CARACTÉRISTIQUES D'HYSTERESIS DE LA FONCTION (RESET)
VCC = 5.0 V
TA = 25°C
V0, TENSION DE SORTIE (VOLTS)
VI, TENSION D'ENTREE (VOLTS), SUR LA BROCHE POWER ON RESET
0
1.0
2.0
3.0
4.0
5.0
FIGURE 3 — DIAGRAMME DES TEMPS POUR MPU ϕ1 et MPU ϕ2
tO
tUPM
tTLHM1
tPWM1
tTHLM1
MPU ϕ1
VCC - 0.6 V
1.0 V
0.8 V
tPLHM
tPLHM
MPU ϕ2
VCC - 0.6 V
1.0 V
0.8 V
tTLHM2
tPWM2
tTHLM2
VOV = 1,0 V = Point de mesure du recouvrement d'horloge

FIGURE 4 – DIAGRAMME DES TEMPS EN FONCTIONNEMENT NORMAL NON RALENTI
(Entrées Mémoire prête et $\overline{\text{DMA/REF REQ}}$ maintenues à l'état haut)
Tension d'entrée sur Ext. In : 0 à 3,0 V, f = 8,0 MHz, Rapport cyclique = 50%, $t_{TLHEX} = t_{THLEX} = 5{,}0$ ns

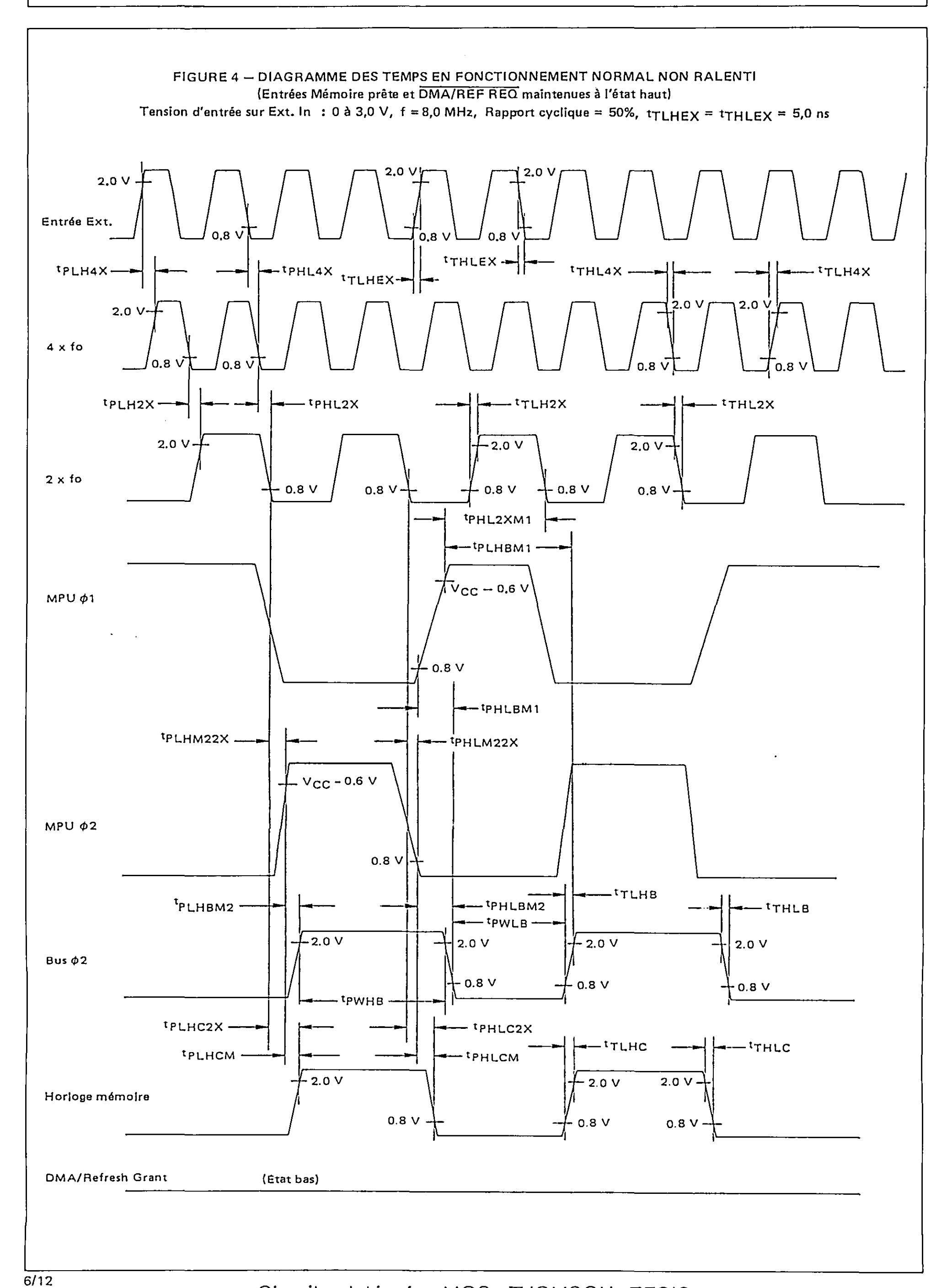


FIGURE 5 – DIAGRAMME DES TEMPS EN FONCTIONNEMENT RALENTI
(UTILISATION D'UNE MÉMOIRE LENTE)
(La figure correspond à l'allongement minimum des temps)
Tension d'entrée : 3,0 à 0 V, $t_{THLMR} = t_{TLHMR} = 5{,}0$ ns

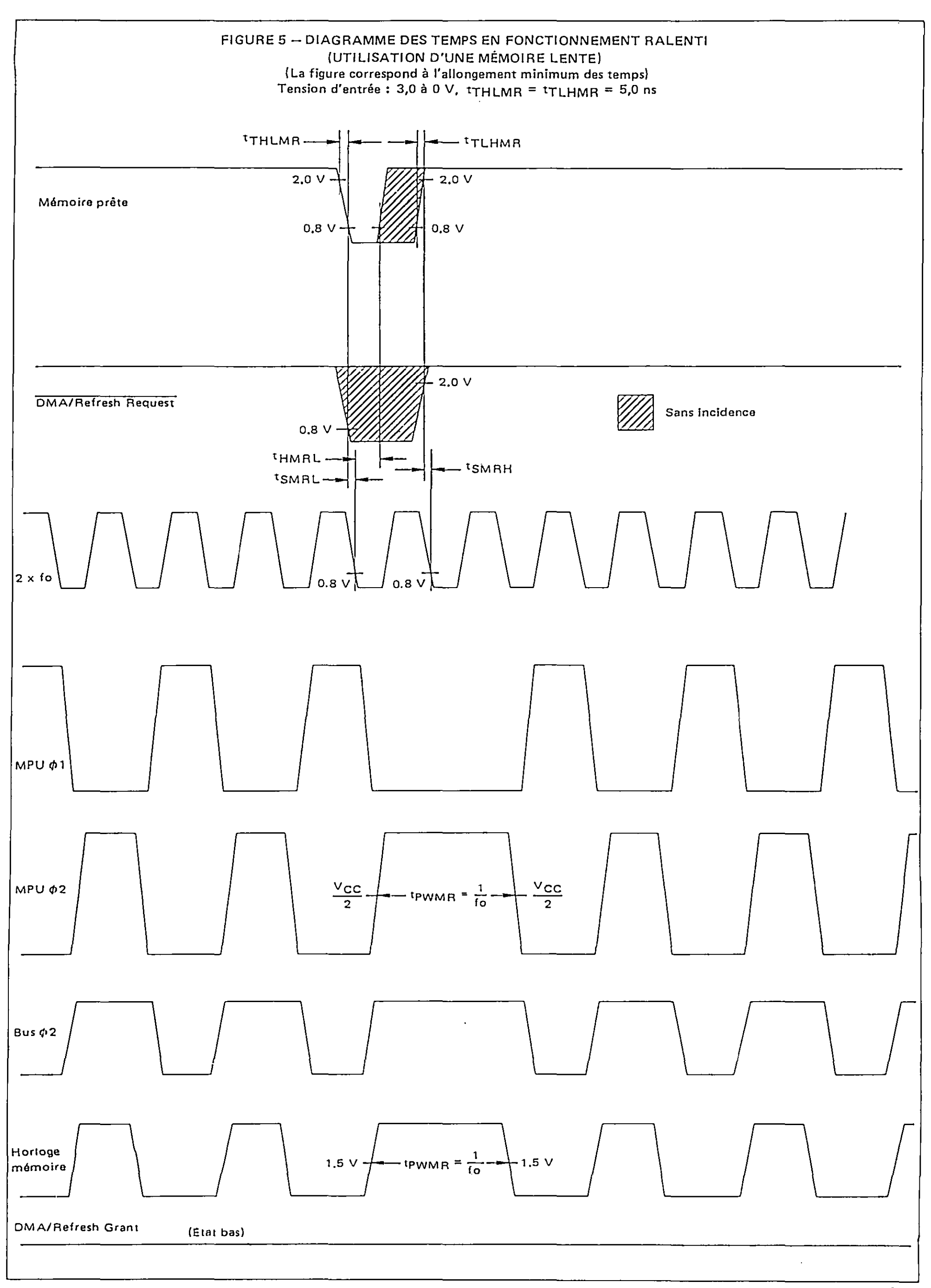


FIGURE 6 – DIAGRAMME DES TEMPS EN FONCTIONNEMENT RALENTI :
ACCES DIRECT A LA MÉMOIRE ou RAFRAICHISSEMENT DE LA MÉMOIRE (DMA/REFRESH REQUEST)
(La figure correspond à l'allongement minimum des temps)
Tension d'entrée : 3,0 à 0 V, $t_{THLDR} = t_{TLHDR}$ = 5,0 ns

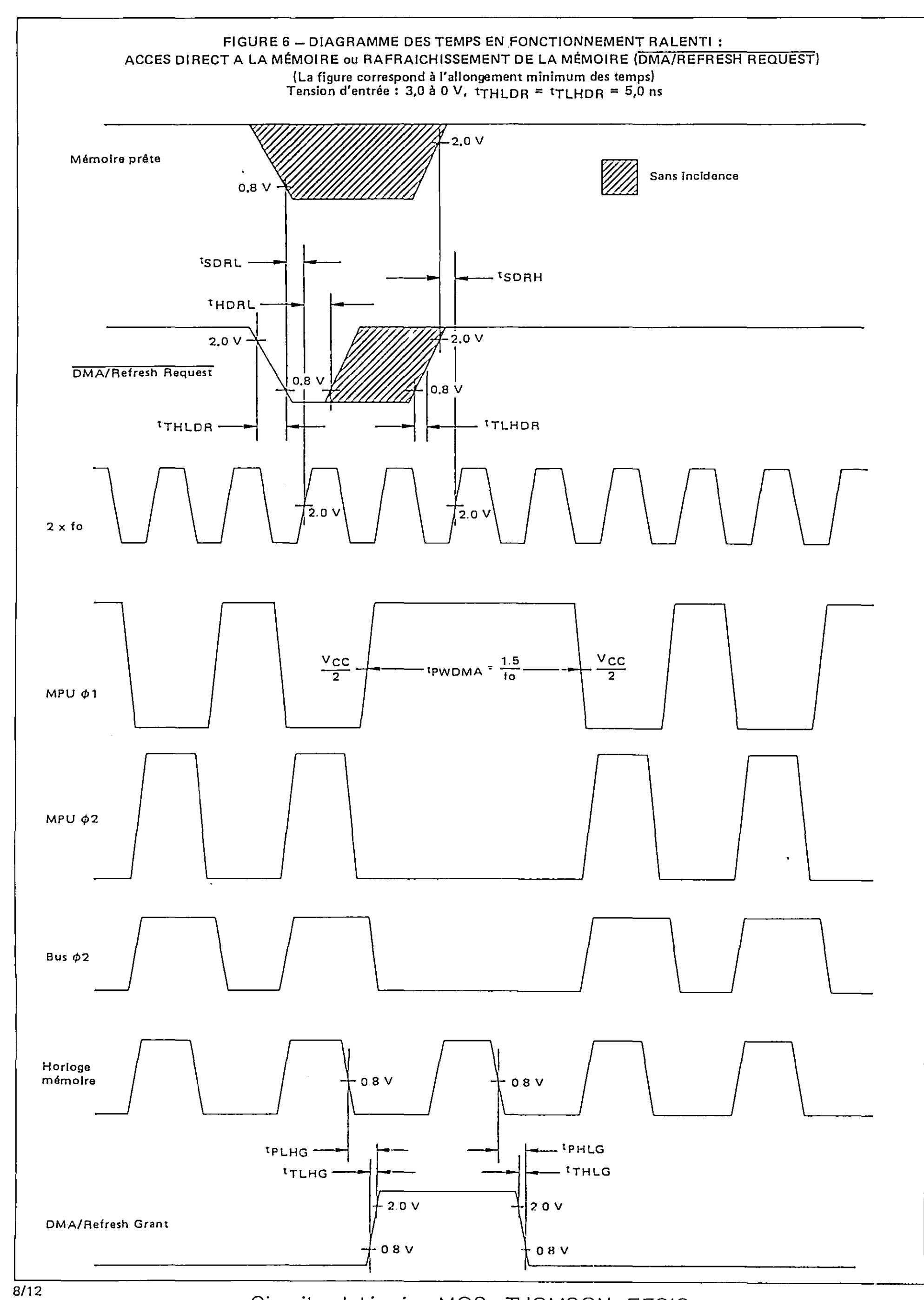


FIGURE 7 — DIAGRAMME DES TEMPS POUR $(\overline{\text{POWER ON RESET}})$

Tension d'entrée : 0 à 5,0 V, f = 100 kHz — Largeur d'impulsion = 1,0 μs, $t_{TLH} = t_{THL}$ = 25 ns

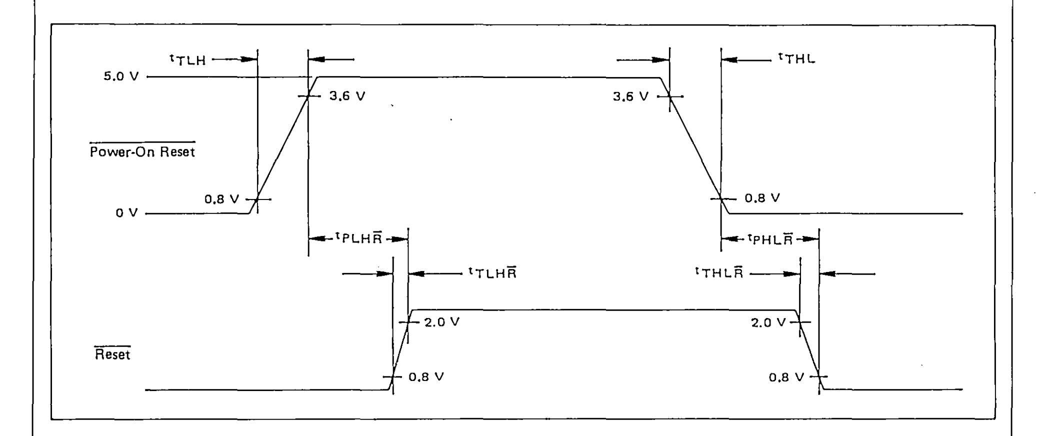


FIGURE 8 — CIRCUITS DE CHARGE

Sorties MPU ϕ1 et MPU ϕ2

Entrée oscilloscope
+5.0 V
RLL = 18 k
vers la broche de sortie
R_D
C_L*
RLH 20 k
Toutes diodes 1N916 ou équivalentes

MPU ϕ1 C_L = 35 pF, R_D = 20 Ω
MPU ϕ2 C_L = 70 pF, R_D = 15 Ω

Sortie Bus ϕ2

Entrée oscilloscope
+5.0 V
RLL 68
vers la broche de sortie
C_L* 300 pF
RLH 240
Toutes diodes 1N916 ou équivalentes

Sorties 4 x fo, 2 x fo, Horloge mémoire et DMA/Refresh Grant

Entrée oscilloscope
+5.0 Volts
RLL 240
vers la broche de sortie
C_L* 100 pF
RLH 4.7 k
Toutes diodes 1N916 ou équivalentes

Sortie $\overline{\text{Reset}}$

Entrée oscilloscope
+5.0 V
RLL = 1.2 k
vers la broche de sortie
C_L* 100 pF
RLH = 24 k
Toutes diodes 1N916 ou équivalentes

* Les capacités de charge comprennent les capacités de la sonde et du montage

CONSEILS GÉNÉRAUX D'UTILISATION

FIGURE 9 – FRÉQUENCE TYPE DE L'OSCILLATEUR RC EN FONCTION DE LA TENSION D'ALIMENTATION

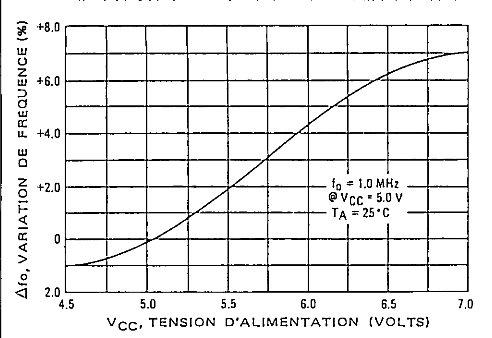


FIGURE 10 – FRÉQUENCE TYPE DE L'OSCILLATEUR RC EN FONCTION DE LA TEMPÉRATURE

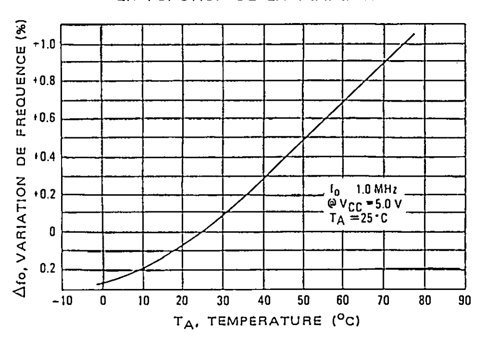
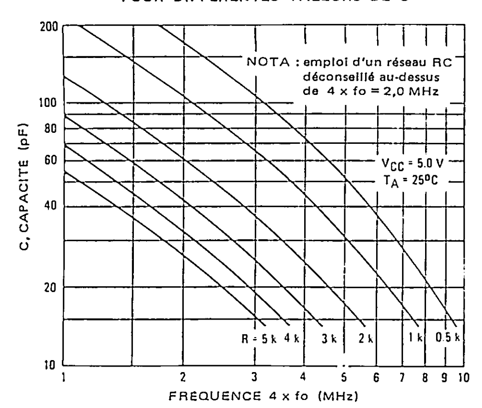


FIGURE 11 – VARIATION DE LA FRÉQUENCE EN FONCTION DE LA RÉSISTANCE, POUR DIFFÉRENTES VALEURS DE C



GÉNÉRALITÉS

Le générateur d'horloge biphase/amplificateur EFF6875 doit être placé sur le même circuit intégré, et à moins de 50 mm du microprocesseur EF6800.

Des résistances d'amortissement séries de 10 à 30 Ω peuvent être utilisées entre le EFF6875 et le EF6800 sur les deux phases d'horloge ϕ 1 et ϕ 2 pour éliminer rebondissements et réflexions.

La broche d'alimentation (V_{CC} - broche 16) du EFF 6875 doit être découplée par une capacité de 0,1 μF, la reliant directement à la masse.

Par suite du niveau des courants dûs à la commande de charges fortement capacitives, le ruban de masse sur le circuit imprimé doit être prévu suffisamment large (broche 8 du EFF6875).

Le tracé des rubans de masse doit être particulièrement soigné pour réduire au minimum les couplages de signaux de bruit, sur les entrées sensibles de l'oscillateur. Les rubans et plans de masse non indispensables doivent être évités au voisinage de la broche 2 et des composants déterminant la fréquence. Ces composants doivent être placés aussi près que possible des broches correspondantes du EFF6875.

Un couplage capacitif au voisinage de la broche 2 ou du quartz peut affecter la valeur de la fréquence. Le boîtier du quartz ne doit pas être relié à la masse. L'extrémité "masse" du quartz ou de la capacité de l'oscillateur RC doit être reliée de façon aussi directe que possible à la broche 8.

Les entrées inutilisées doivent être raccordées à V_{CC}, ou à la masse. Les entrées Mémoire prête, $\overline{DMA/Ref\ Req}$ et Power on Reset doivent être connectées à V_{CC} si elles ne sont pas utilisées.

Ext. In. doit être réliée à la masse si elle n'est pas utilisée.

OSCILLATEUR

Il est recommandé de relier un circuit résonant accordé sur la fréquence quartz désirée, aux broches X1 et X2 (fig.12), pour éviter que l'oscillateur ne démarre à une fréquence autre que celle désirée. La résistance de 1 kΩ contribue suffisamment à réduire le coefficient Q pour maintenir la stabilité de fonctionnement du quartz.

Certains fabricants de quartz peuvent conseiller l'adjonction d'une capacité (C_L) à placer en série avec le quartz pour optimiser son fonctionnement en résonance série.

Les figures 9 et 10 montrent les variations typiques de la fréquence, en fonction de la température et de la tension d'alimentation (V_{CC}), dans le cas de l'utilisation d'un réseau R - C.

FIGURE 12 – UTILISATION DE L'OSCILLATEUR AVEC UN QUARTZ OU UN RÉSEAU RC

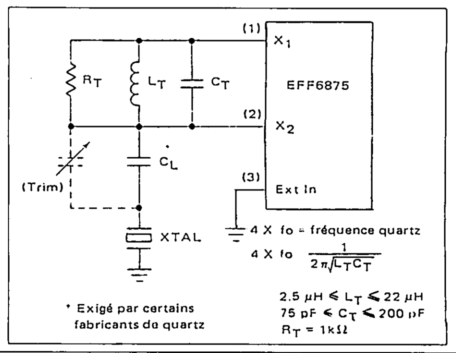
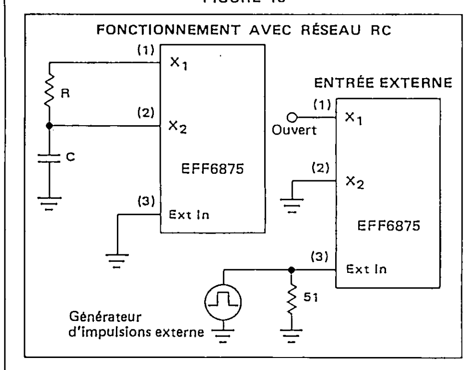


FIGURE 13



Pour ajuster de façon précise un quartz à la fréquence désirée, il est possible d'utiliser une capacité ajustable dans la gamme 7 à 40 pF. Il est à remarquer qu'il n'est pas d'usage courant d'ajuster un quartz, avec une charge capacitive parallèle.

Le EFF6875 fonctionne comme un oscillateur R-C lorsqu'il est câblé comme indiqué dans la figure 13. La fréquence de sortie (Mϕ1) désirée est approximativement :

Formule

$$4 \times f_o \approx \frac{320}{C(R+0{,}27) + 23}$$

C en picofarads
R en kohms
4 x fo en Mégahertz

(voir fig. 11).

Il est conseillé d'utiliser une capacité supérieure à 15 pF pour réduire les effets des couplages capacitifs. Il est également conseillé de choisir la résistance dans la gamme 1 à 5 kΩ. De façon interne, une résistance de valeur nominale 270 Ω est placée en X_1, en série avec la résistance R externe. En donnant à R une valeur aussi élevée que possible, les effets dûs aux variations internes au cours du fonctionnement, de la résistance intérieure, seront minimisés. Il subsistera cependant une dispersion de fréquence pour un même lot de boîtiers, due aux variations des résistances externe et interne et des variations des caractéristiques de commutation en cours de fonctionnement. Il est par conséquent recommandé de placer un potentiomètre en série avec une résistance R située entre X_1 et X_2, pour réaliser un équipement de série.

Initialisation à la mise sous tension ($\overline{\text{Power on Reset}}$)

Lorsque la tension d'alimentation est appliquée au EFF6875, la sortie $\overline{\text{Reset}}$ passe à l'état haute impédance et ne délivre pas un niveau de sortie V_{OL} significatif avant que V_{CC} n'ait atteint 3,5 à 4,0 V. Pendant cette durée, des signaux transitoires peuvent apparaître sur les sorties horloge lorsque l'oscillateur démarre. Ceci se produit à environ V_{CC} = 3 V. A un certain niveau V_{CC} supérieur à cette valeur, la sortie $\overline{\text{Reset}}$ passe à l'état bas, et toutes les sorties horloge commencent à fonctionner correctement. Ce phénomène observé dans la séquence de démarrage ne devrait pas causer de problème particulier, excepté éventuellement dans les systèmes à mémoire secourue par batteries. Les signaux transitoires apparaissant sur les lignes d'horloge, lorsque la sortie $\overline{\text{Reset}}$ est dans l'état haute impédance, pourraient initialiser le système dans un mode mal défini, ce qui pourrait conduire à rendre possible l'écriture dans la mémoire secourue par batterie. Par conséquent, les systèmes secourus par batterie requièrent un circuit d'initialisation plus élaboré.

Il est à noter que la broche d'entrée $\overline{\text{Power on Reset}}$ du EFF6875 ne doit pas être employée avec un interrupteur manuel d'initialisation si les entrées $\overline{\text{DMA/Ref Req}}$ ou Mémoire prête doivent être utilisées. Ceci peut provoquer la perte du contenu d'une mémoire dynamique et/ou d'un octet d'une mémoire statique lente. Le montage de la figure 14 est recommandé pour les applications n'utilisant pas les entrées $\overline{\text{DMA/Ref Req}}$ ou Mémoire prête. Le montage de la figure 15 est recommandé pour les applications utilisant ces entrées.

FIGURE 14 – INITIALISATION MANUELLE LORSQUE NI MÉMOIRE PRETE, NI $\overline{\text{DMA/REF REQ}}$ NE SONT UTILISÉES

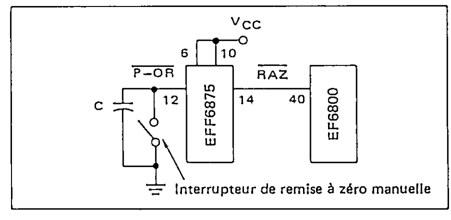
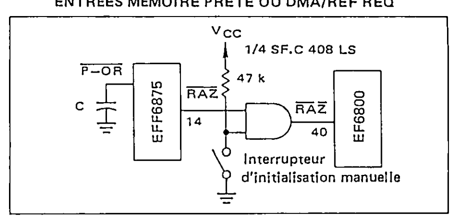
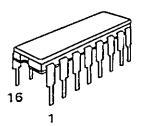


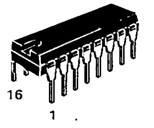
FIGURE 15 – INITIALISATION MANUELLE POUR UN SYSTEME UTILISANT DES RAM DYNAMIQUES OU DES RAM STATIQUES LENTES EN LIAISON AVEC LES ENTRÉES MÉMOIRE PRETE OU $\overline{\text{DMA/REF REQ}}$



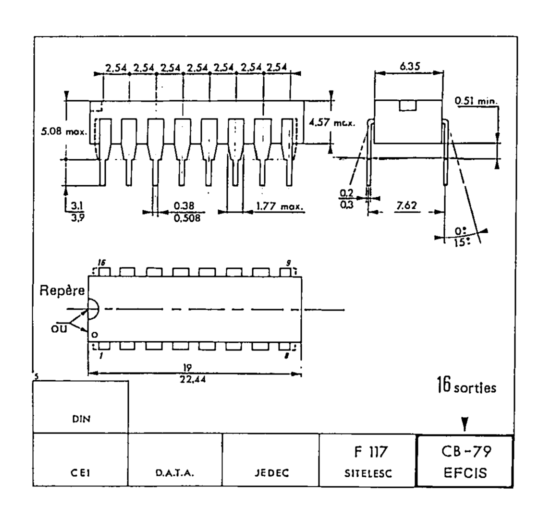
BOITIER CB-79



SUFFIXE C
BOITIER CÉRAMIQUE



SUFFIXE P
BOITIER PLASTIQUE



CARACTÉRISTIQUES THERMIQUES

La puissance consommée maximum que peut tolérer un circuit intégré, fonctionnant à une température ambiante donnée, peut être calculée à partir de l'équation :

$$P_D\ (T_A) = \frac{T_J\ (max) - T_A}{R_{\theta JA}\ (Typ)}$$

où :

$P_D\ (T_A)$ = puissance dissipée admissible à une température ambiante donnée. Celle-ci doit être supérieure à la somme des produits des tensions d'alimentation par les courants d'alimentation, dans les conditions de fonctionnement les plus défavorables.

$T_J\ (max)$ = température maximum de jonction en fonctionnement, comme indiqué dans le tableau des valeurs limites absolues.

T_A = température ambiante maximum de fonctionnement envisagé.

$R_{\theta JA}$ (Typ) = résistance thermique typique de jonction, à température ambiante.

Ces spécifications peuvent changer sans préavis.
Consultez notre réseau de vente pour connaître la disponibilité des différentes versions de ce circuit.

EFCIS



Circuits Intégrés MOS THOMSON-EFCIS

mosmosmosmosmosmosmosmosmosmos

EFF6880A

Ancienne appellation : SFF9 - 6880A

QUADRUPLE TRANSMETTEUR/RECEPTEUR DE BUS

Ce quadruple transmetteur récepteur de lignes trois états présente une excellente compatibilité avec les circuits intégrés MOS et le MPU, du fait de son entrée transistor PNP à haute impédance, et d'une grande vitesse de fonctionnement rendue possible par l'utilisation de diodes d'écrêtage de type Schottky. Les sorties transmetteur (−48mA) et récepteur (−20mA) sont protégées contre les courts-circuits et utilisent des entrées de validation trois états.

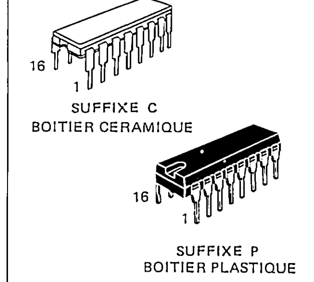
Ce circuit est utilisé comme extension de bus dans les systèmes employant les éléments de la famille 6800, ou des circuits microprocesseurs comparables. Le courant maximal d'entrée de 200μA sur chaque broche d'entrée garantit un bon fonctionnement malgré les possibilités de sortance limitées du boîtier microprocesseur. Les entrées sont aussi protégées par des diodes d'écrêtage Schottky pour supprimer les tensions inverses de dépassement excessives.

Le temps de propagation de la partie transmetteur est de 17 ns maximum, tandis qu'il est de 17 ns pour la partie récepteur.

- Entrées haute impédance
- Une seule alimentation (+5V)
- Technologie rapide Schottky
- Transmetteurs et récepteurs trois états
- Compatible avec la famille 6800
- Non inverseur
- Compatible broche à broche avec le MC8T26A

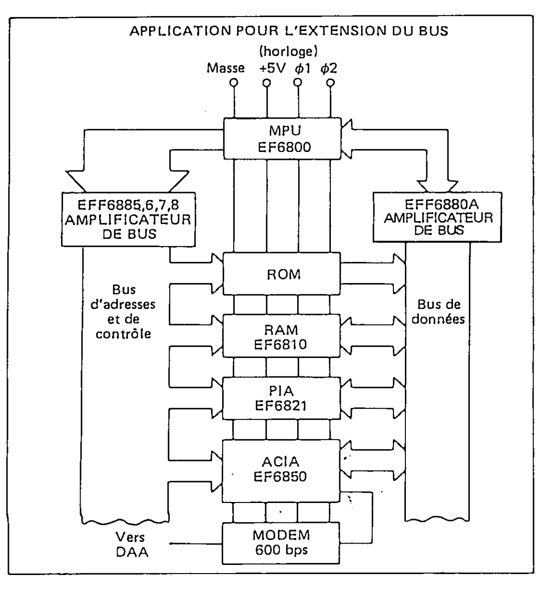
TRANSMETTEUR/RECEPTEUR DE BUS

CIRCUITS INTÉGRÉS
TECHNOLOGIE
SCHOTTKY

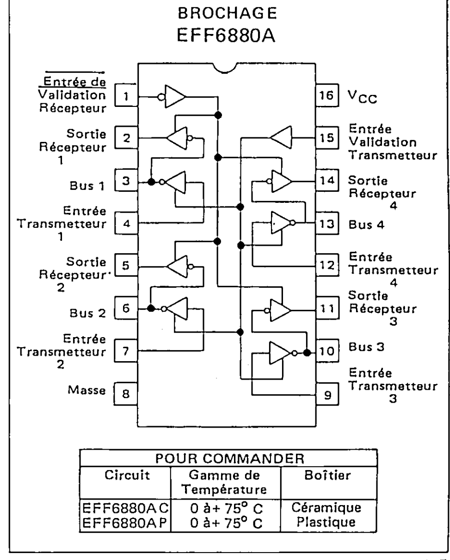


Différentes versions : voir dernière page.

APPLICATION POUR L'EXTENSION DU BUS



BROCHAGE EFF6880A



POUR COMMANDER		
Circuit	Gamme de Température	Boîtier
EFF6880AC	0 à + 75° C	Céramique
EFF6880AP	0 à + 75° C	Plastique

EFCIS
45, av. de l'Europe
78140 VELIZY
FRANCE
Tel.: (1) 946 97 19
Telex : 698866F

VALEURS LIMITES ($T_A = 25°$ C sauf spécifications contraires)

Paramètres	Symboles	Valeurs	Unités
Tension d'alimentation	V_{CC}	8,0	V
Tension d'entrée	V_I	5,5	V
Température de jonction en fonctionnement	T_J		°C
Boîtier céramique		175	
Boîtier plastique		150	
Température ambiante de fonctionnement	T_A	0 à +75	°C
Température de stockage	T_{stg}	−65 à + 150	°C

CARACTÉRISTIQUES ÉLECTRIQUES (4,75 V $\leqslant V_{CC} \leqslant$ 5,25 V et 0° C $\leqslant T_A \leqslant$ 75° C sauf spécifications contraires)

Caractéristiques	Symboles	Min	Typ	Max	Unités
Courant d'entrée - niveau logique bas					
Entrée $\overline{\text{Validation Récepteur}}$ $V_{IL(RE)}$ = 0.4 V	$I_{IL(\overline{RE})}$	—	—	−200	µA
Entrée Validation Transmetteur $V_{IL(DE)}$ = 0.4 V	$I_{IL(DE)}$	—	—	−200	
Entrée de Transmetteur $V_{IL(D)}$ = 0.4 V	$I_{IL(D)}$	—	—	−200	
Entrée de Récepteur (Bus) $V_{IL(B)}$ = 0.4 V	$I_{IL(B)}$	—	—	−200	
Courant d'entrée d'invalidation-niveau logique bas					
Entrée de transmetteur $V_{IL(D)}$ = 0.4 V	$I_{IL(D)\ DIS}$	—	—	− 25	µA
Courant d'entrée-niveau logique haut					
Entrée $\overline{\text{Validation Récepteur}}$ $V_{IH(RE)}$ = 5,25 V	$I_{IH(\overline{RE})}$	—	—	25	µA
Entrée Validation Transmetteur $V_{IH(DE)}$ = 5,25 V	$I_{IH(DE)}$	—	—	25	
Entrée de Transmetteur $V_{IH(D)}$ = 5,25 V	$I_{IH(D)}$	—	—	25	
Entrée de Récepteur $V_{IH\ (B)}$ = 5,25 V	$I_{IH\ (B)}$	—	—	100	
Tension d'entrée - niveau logique bas					
Entrée $\overline{\text{Validation Récepteur}}$	$V_{IL(\overline{RE})}$	—	—	0,85	V
Entrée Validation Transmetteur	$V_{IL(DE)}$	—	—	0,85	
Entrée de Transmetteur	$V_{IL(D)}$	—	—	0,85	
Entrée de Récepteur	$V_{IL(B)}$	—	—	0,85	
Tension d'entrée-niveau logique haut					
Entrée $\overline{\text{Validation Récepteur}}$	$V_{IH(\overline{RE})}$	2,0	—	—	V
Entrée Validation Transmetteur	$V_{IH(DE)}$	2,0	—	—	
Entrée de Transmetteur	$V_{IH(D)}$	2,0	—	—	
Entrée de Récepteur	$V_{IH(B)}$	2,0	—	—	
Tension de sortie-niveau logique bas					
Sortie de Transmetteur (Bus) $I_{OL(B)}$ = 48 mA	$V_{OL(B)}$	—	—	0,5	V
Sortie de Récepteur $I_{OL(R)}$ = 20 mA	$V_{OL(R)}$	—	—	0,5	
Tension de sortie-niveau logique haut					
Sortie de Transmetteur (Bus) $I_{OH(B)}$ = −10 mA	$V_{OH(B)}$	2,4	3,1	—	V
Sortie de Récepteur $I_{OH(R)}$ = −2.0 mA	$V_{OH(R)}$	2,4	3,1	—	
Sortie de Récepteur $I_{OH(R)}$ = −100 µA, V_{CC} = 5.0 V		3,5	—	—	
Courant de fuite de sortie invalidée - niveau logique haut					
Sortie de Transmetteur (Bus) $V_{OH(B)}$ = 2.4 V	$I_{OHL(B)}$	—	—	100	µA
Sortie de Récepteur $V_{OH(R)}$ = 2.4 V	$I_{OHL(R)}$	—	—	100	
Courant de fuite de sortie invalidée - niveau logique bas					
Sortie de Bus $V_{OL(B)}$ = 0.5 V	$I_{OLL(B)}$	—	—	−100	µA
Sortie de Récepteur $V_{OL(R)}$ = 0.5 V	$I_{OLL(R)}$	—	—	−100	
Tension d'écrêtage sur les entrées					
Entrée Validation Transmetteur $I_{ID(DE)}$ = −12 mA	$V_{IC(DE)}$	—	—	−1,0	V
Entrée Validation Récepteur $I_{IC(RE)}$ = +12 mA	$V_{IC(RE)}$	—	—	−1,0	
Entrée Transmetteur $I_{IC(D)}$ = −12 mA	$V_{IC(D)}$	—	—	−1,0	
Courant de court-circuit des sorties . V_{CC} = 5.25 V (1)					
Sortie Transmetteur (Bus)	$I_{OS(B)}$	−50	—	−150	mA
Sortie Récepteur	$I_{OS(R)}$	−30	—	− 75	
Courant d'alimentation (V_{CC} = 5.25 V)	I_{CC}	—	—	87	mA

(1) Une seule sortie peut être court-circuitée à la fois.

CARACTÉRISTIQUES DE COMMUTATION (V_{CC} = 5,0 V et T_A = 25° C sauf spécifications contraires)

Caractéristiques	Symboles	Min	Max	Unités
Temps de propagation de l'entrée Récepteur à la sortie Récepteur (C_L = 30 pF)	$t_{PLH(R)}$ $t_{PHL(R)}$	–	14 14	ns
Temps de propagation de l'entrée Transmetteur à la sortie Transmetteur (C_L = 300 pF)	$t_{PLH(D)}$ $t_{PHL(D)}$	–	14 14	ns
Temps de propagation de l'entrée Validation du Récepteur à la sortie du Récepteur (C_L = 30 pF)	$t_{PZL(R)}$ $t_{PLZ(R)}$	– –	20 15	ns
Temps de propagation de l'entrée Validation du Transmetteur à la sortie du Transmetteur (C_L = 300 pF)	$t_{PZL(D)}$ $t_{PLZ(D)}$	– –	25 20	

FIGURE 1 – CIRCUIT DE MESURE DES TEMPS DE PROPAGATION DE L'ENTRÉE DU RÉCEPTEUR (BUS) A LA SORTIE DU RÉCEPTEUR, $t_{PLH(R)}$ ET $t_{PHL(R)}$

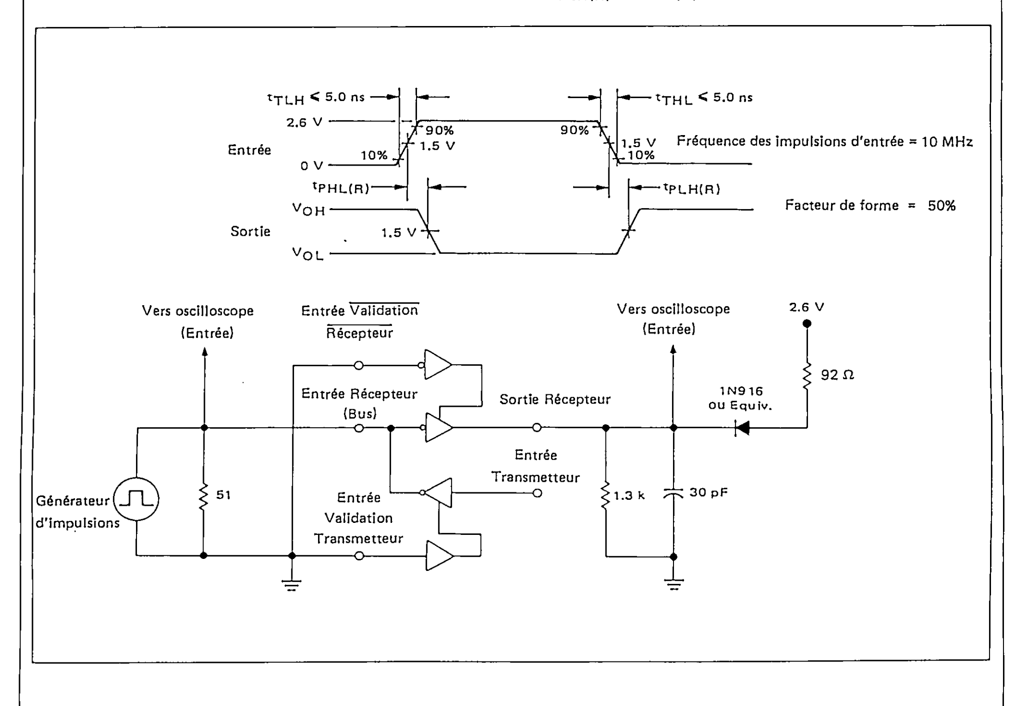


FIGURE 2 – CIRCUIT DE MESURE DES TEMPS DE PROPAGATION DE L'ENTRÉE DU TRANSMETTEUR A LA SORTIE DU TRANSMETTEUR (BUS), $t_{PLH(D)}$ ET $t_{PHL(D)}$

$t_{TLH} \leq 5.0$ ns
$t_{THL} \leq 5.0$ ns
Entrée
2.6 V
0 V
90%
1.5 V
10%
$t_{PHL(D)}$
$t_{PLH(D)}$
Sortie
V_{OH}
V_{OL}
Fréquence des impulsions d'entrée = 10 MHz
Facteur de forme = 50%
Vers oscilloscope (Entrée)
2.6 V
Entrée Validation Transmetteur
Entrée Transmetteur
Sortie Récepteur
Entrée Validation Récepteur
Générateur d'impulsions
51
Sortie Transmetteur (Bus)
260
300 pF
Vers oscilloscope (Sortie)
1N916 ou Equiv.
30Ω

FIGURE 3 – CIRCUIT DE MESURE DES TEMPS DE PROPAGATION DE L'ENTRÉE VALIDATION DU RÉCEPTEUR A LA SORTIE DU RÉCEPTEUR, $t_{PLZ(RE)}$ ET $t_{PZL(RE)}$

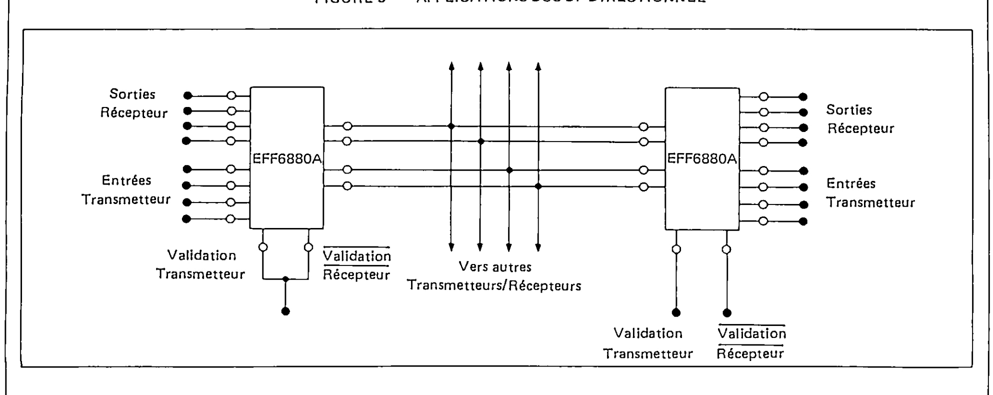
$t_{TLH} \leq 5.0$ ns
$t_{THL} \leq 5.0$ ns
Entrée
2.6 V
0 V
90%
1.5V
10%
$t_{PLZ(\overline{RE})}$
$t_{PZL(\overline{RE})}$
Sortie
≈3.5 V
V_{OL}
Fréquence des impulsions d'entrée = 10 MHz
Facteur de forme = 50%
Vers oscilloscope (Entrée)
2.6 V
Entrée Validation Récepteur
Entrée Récepteur (Bus)
Entrée Validation Transmetteur
Générateur d'impulsions
51
Sortie Récepteur
Vers oscilloscope (Sortie)
5.0 V
2.4 k
240
5.0 k
30 pF
1N916 ou Equiv.

FIGURE 4 – CIRCUIT DE MESURE DES TEMPS DE PROPAGATION DE L'ENTRÉE VALIDATION DU TRANSMETTEUR A LA SORTIE DU TRANSMETTEUR (BUS), $t_{PLZ(DE)}$ ET $t_{PZL(DE)}$

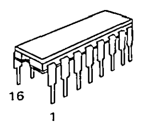
$t_{TLH} \leq 5.0$ ns
$t_{THL} \leq 5.0$ ns
2.6 V
90%
90%
Entrée
1.5 V
1.5 V
10%
0 V
Fréquence des impulsions d'entrée = 5MHz
Facteur de forme = 50%
$t_{PZL(DE)}$
$t_{PLZ(DE)}$
≈3.5 V
Sortie
1.5V
V_{OL}
10%

+2.6 V
Entrée Validation Transmetteur
5.0 V
Vers oscilloscope (Entrée)
Vers oscilloscope (Sortie)
Entrée Transmetteur
2.4 k
70
Générateur d'impulsions
51
Sortie Transmetteur (Bus)
Sortie Récepteur
Entrée Validation Récepteur
5.0 k
300 pF
1N916 ou Equiv.

FIGURE 5 – APPLICATIONS BUS BI-DIRECTIONNEL



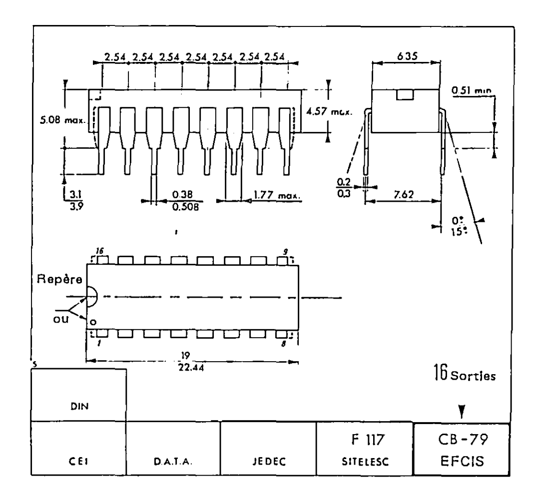
BOITIER CB-79



16
1

SUFFIXE C
BOITIER CERAMIQUE

SUFFIXE P
BOITIER PLASTIQUE



CARACTERISTIQUES THERMIQUES

La puissance consommée maximum que peut tolérer un circuit intégré, fonctionnant à une température ambiante donnée, peut être calculée à partir de l'équation :

$$P_D(T_A) = \frac{T_J(max) - T_A}{R_{\theta JA}(Typ)}$$

où :

$P_D(T_A)$ = puissance dissipée admissible à une température ambiante donnée. Celle-ci doit être supérieure à la somme des produits des tensions d'alimentation par les courants d'alimentation, dans les conditions de fonctionnement les plus défavorables.

$T_J(max)$ = température maximum de jonction en fonctionnement, comme indiqué dans le tableau des valeurs limites absolues.

T_A = température ambiante maximum de fonctionnement envisagé.

$R_{\theta JA}(Typ)$ = résistance thermique typique de jonction, à température ambiante.

Ces spécifications peuvent changer sans préavis.
Consultez notre réseau de vente pour connaître la disponibilité des différentes versions de ce circuit.

EFCIS 

Circuits Intégrés MOS THOMSON-EFCIS

mosmosmosmosmosmosmosmosmosmos

EFF6881

Ancienne appellation : SFF9-6881

SPECIFICATIONS PROVISOIRES

TRIPLE COMMUTATEUR DE BUS BIDIRECTIONNEL

Le EFF6881 est un extenseur de bus bidirectionnel, non inverseur à trois canaux. Il est prévu pour permettre l'échange bidirectionnel de données logiques de niveau TTL entre deux ports sélectés d'un réseau tripôle. Les trois ports de chaque canal peuvent être forcés à un état haute impédance par l'entrée de validation de ce canal.

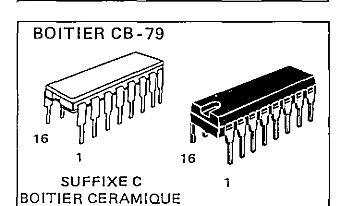
Pour les trois canaux, la sélection de la paire de ports et l'état récepteur/émetteur de ceux-ci sont déterminés par les entrées de contrôle et de sélection. Toutes les entrées sont à transistors PNP, compatibles avec la famille 6800, et protégées par des diodes Schottky de blocage pour supprimer les surtensions.

Les principales caractéristiques de ce circuit sont :

- Trois canaux
- Echange de données non inversées
- Opération bidirectionnelle
- Possibilité de trois-états (Haute impédance)
- Entrées haute impédance
- Compatible TTL
- Technologie Schottky rapide
- Alimentation unique
- Compatible avec le MC6881/MC3449.

COMMUTATEUR / EXTENSEUR DE BUS BIDIRECTIONNEL

BOITIER CB-79



SUFFIXE C
BOITIER CERAMIQUE

SUFFIXE P
BOITIER PLASTIQUE

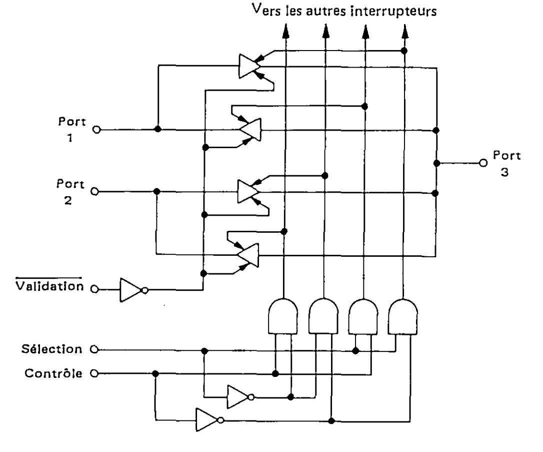
Différentes versions : voir dernière page.

TABLE DE VERITE

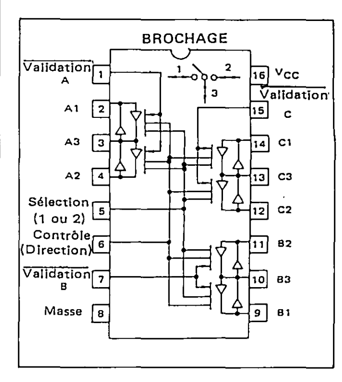
Validation	Sélection	Contrôle	Transfert des données
0	0	0	2 → 3
0	0	1	3 → 2
0	1	0	1 → 3
0	1	1	3 → 1
1	X	X	Hte impéd.

X - Sans importance

DIAGRAMME FONCTIONNEL



BROCHAGE



POUR COMMANDER

Circuit	Gamme de température	Boîtier
EFF6881 C	0 à + 70° C	Céramique
EFF6881 P	0 à + 70° C	Plastique

EFCIS
45, av. de l'Europe
78140 VELIZY
FRANCE
Tel.: (1) 946 97 19
Telex : 698866F

VALEURS LIMITES (T_A = 25° C sauf spécifications contraires)

Paramètres	Symboles	Valeurs	Unités
Tension d'alimentation	V_{CC}	7.0	V
Tension d'entrée	V_I	5.5	V
Température ambiante de fonctionnement	T_A	0 à + 70	°C
Température de stockage	T_{stg}	– 65 à + 150	°C
Température de jonction en fonctionnement Boîtier céramique Boîtier plastique	T_J	 175 150	°C

CARACTERISTIQUES ELECTRIQUES (V_{CC} = 4.75 à 5.25 Volts et T_A = 0 à + 70°C sauf spécifications contraires).

Caractéristiques	Symboles	Min	Typ	Max	Unités
Tension d'entrée – Etat logique bas	V_{IL}	–	–	0.8	V
Tension d'entrée – Etat logique haut	V_{IH}	2.0	–	–	V
Courant d'entrée – Etat logique bas (V_{IL} = 0.4 V)	I_{IL}	–	–	-100	µA
Courant d'entrée – Etat logique haut (V_{IH} = 2.7 V) (V_{IH} = 5.25 V)	I_{IH}	 – –	 – –	 40 100	µA
Tension de blocage d'entrée (I_{IC} = -18 mA)	V_{IC}	–	–	-1.5	V
Tension de sortie – Etat logique bas (I_{OL} = 8.0 mA)	V_{OL}	–	–	0.5	V
Tension de sortie – Etat logique haut (I_{OH} = -400 µA)	V_{OH}	2.7	–	–	V
Courant de fuite – Sortie inhibée (V_{OZ} = 0.4 V) (V_{OZ} = 2.7 V) (V_{OZ} = 5.25 V)	I_{OZ}	 – – –	 – – –	 -40 40 100	µA
Courant de court-circuit en sortie	I_{OS}	-20	–	-55	mA
Courant induit – Etat logique bas (V_{IH} = 2.4 V sur nœud 3, nœud opposé sélecté V_{IL} = 0.4 V sur nœud testé)	I_{XL}	–	–	-40	µA
Courant induit – Etat logique haut (V_{IL} = 0.8 V sur nœud 3, nœud opposé sélecté V_{IH} = 2.4 sur nœud testé)	I_{XH}	–	–	40	µA
Courant d'alimentation (V_{IH} = 2.4 V, V_{CC} = 5.25 V)	I_{CC}	–	–	70	mA

CARACTERISTIQUES DYNAMIQUES (V_{CC} = 5.0 V et T_A = 25° C sauf spécifications contraires).

Temps de propagation – Nœuds 1,2,3 Sortie état bas à état haut Sortie état haut à état bas	 t_{PLH} t_{PHL}	 – –	 30 24	 – –	ns
Temps pour entrée $\overline{\text{validation}}$ Inhibition à état haut ou bas Etat haut ou bas à inhibition	 t_{EN} t_{DIS}	 – –	 18 10	 – –	ns
Temps pour entrée sélection Haute impédance à état haut ou bas Etat haut ou bas à haute impédance	 t_{ON} t_{OFF}	 – –	 25 25	 – –	ns
Temps pour entrée contrôle Haute impédance à état haut ou bas Etat haut ou bas à haute impédance	 t_{ON} t_{OFF}	 – –	 25 25	 – –	ns

CIRCUITS DE TEST POUR LES TEMPS DE PROPAGATION

FIGURE 1 — NOEUD VERS SORTIE

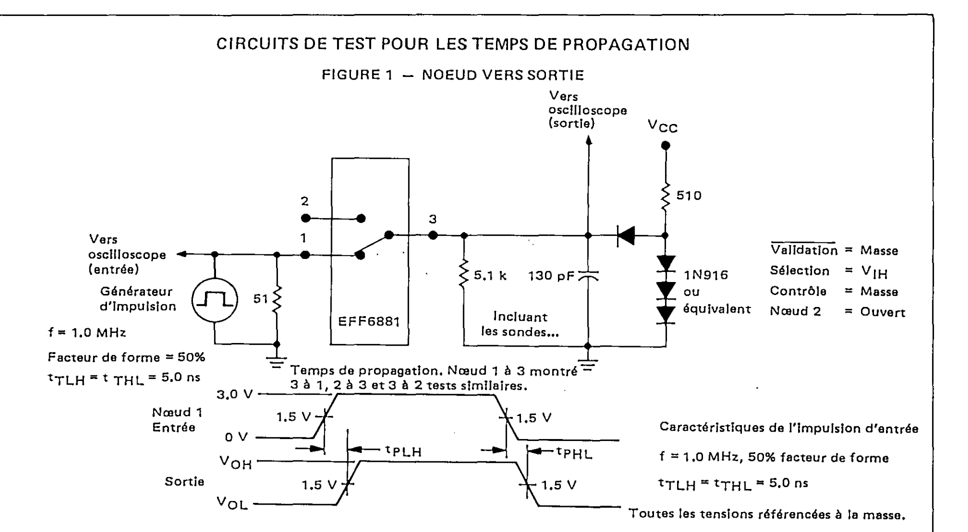
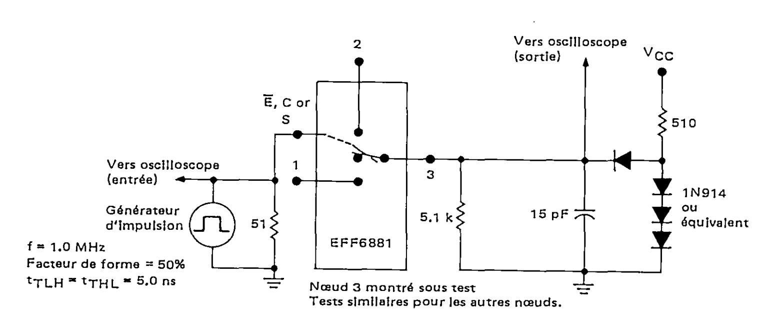


FIGURE 2 — TROIS ETATS



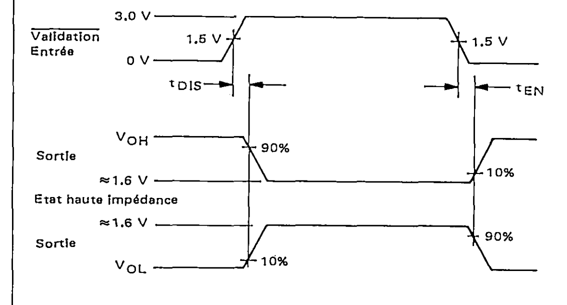
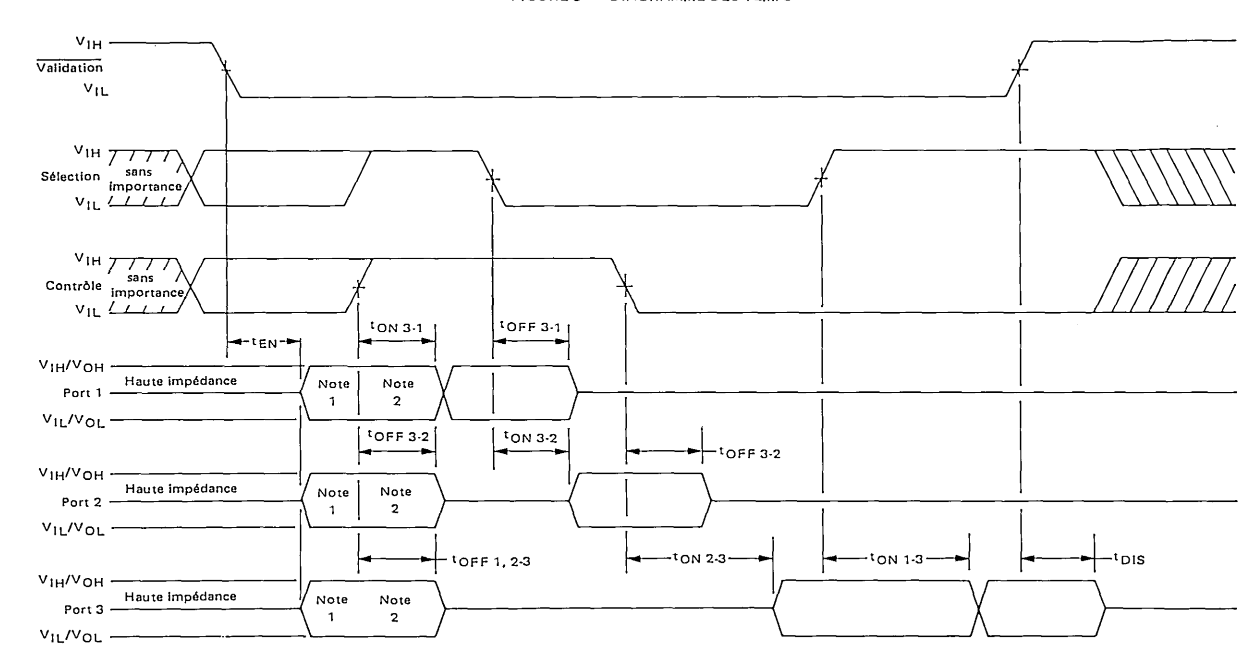


TABLEAU DE TEST

Contrôle	Sélection	$\overline{\text{Validation}}$	Nœud 1	Test
V_{IL}	V_{IH}	Pulser	V_{IL}	t_{EN}/t_{DIS}
V_{IL}	V_{IH}	Pulser	V_{IH}	t_{EN}/t_{DIS}

FIGURE 3 — DIAGRAMME DES TEMPS



Note 1 : La donnée est transmise de un des 3 ports seulement. Le port en sortie dépend de l'état logique des broches de contrôle et de sélection quand le canal est validé.

Note 2 : Un port choisi en sortie est haut ou bas, suivant l'état logique du port choisi en entrée.

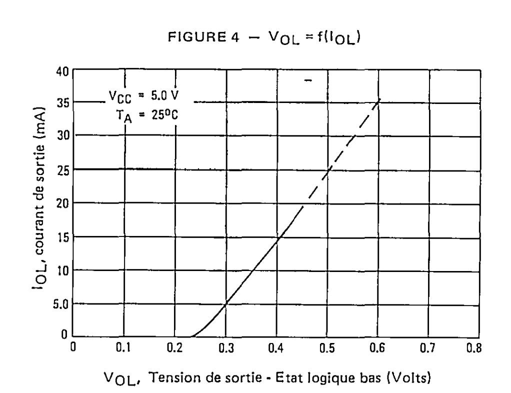
Note 3 : La flèche indique la direction du transfert des données. Chaque amplificateur est non-inverseur.

Note 4 : t_{ON} est le temps de 3 états à l'état actif (haut ou bas)
t_{OFF} est le temps de l'état actif au 3 états.

TABLE DE VERITE

$\overline{\text{Validation}}$	Select.	Contrôle	Direction des données (Note 3)
1	X	X	3 états (tous les ports)
0	0	0	Port 2 → Port 3
0	0	1	Port 3 → Port 2
0	1	0	Port 1 → Port 3
0	1	1	Port 3 → Port 1

FIGURE 4 — $V_{OL} = f(I_{OL})$



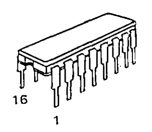
V_{OL}, Tension de sortie - Etat logique bas (Volts)

APPLICATION TYPIQUE

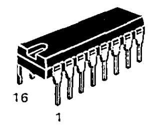
FIGURE 5 — DEUX MICROPROCESSEURS PARTAGEANT UNE MEMOIRE COMMUNE

BUS ADRESSE ET CONTROLE
BUS DONNEES
EF6800
φ1
φ2
DONNEES
ADD. ET CONT
EFF6875 HORLOGE
EFF6885-EFF6888
ADRESSE ET CONTROLE
MEMOIRE PRINCIPALE
EFF6881
EFF6885-EFF6888
EFF6885-EFF6888
ADD. ET CONT
φ1
φ2
DONNEES
EF6800
DONNEES
BUS DONNEES
BUS ADRESSE ET CONTROLE

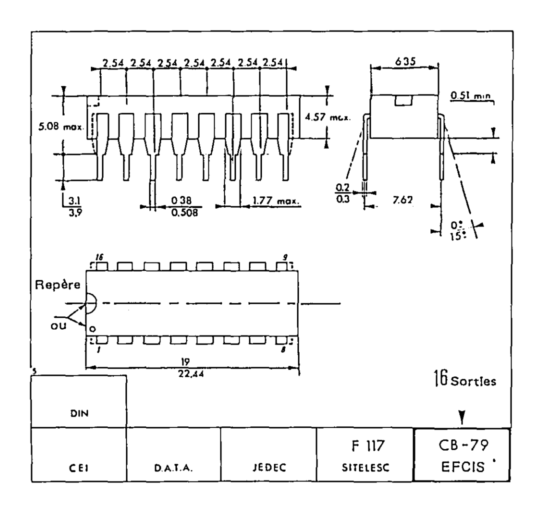
BOITIER CB - 79



SUFFIXE C
BOITIER CERAMIQUE



SUFFIXE P
BOITIER PLASTIQUE



CARACTERISTIQUES THERMIQUES

La consommation maximum admise par un CI à température ambiante donnée peut être tirée de l'équation.

$$P_{D(TA)} = \frac{T_{j(max)} - T_A}{R\ \theta_{JA}\ (Typ)}$$

où : $P_{D(T_A)}$ = Puissance dissipée permise à une température ambiante donnée. Celle-ci doit être supérieure à la somme des produits des tensions d'alimentation par les courants d'alimentation, dans les conditions de fonctionnement extrême.

$T_{J(max)}$ = Température de jonction maximum comme indiqué dans la section valeurs limites

T_A = Température ambiante de fonctionnement maximum souhaitée

$R\ \theta_{JA}\ (Typ)$ = Résistance thermique typique de jonction

Informations préliminaires : ces spécifications peuvent changer sans préavis.
Consultez notre réseau de vente pour connaître la disponibilité des différentes versions de ce circuit.

EFCIS



Circuits Intégrés MOS THOMSON-EFCIS

mosmosmosmosmosmosmosmosmosmos

EF6882A
EF6882B

Anciénne appellation : SFF9 - 6882A/B

SPECIFICATIONS PROVISOIRES

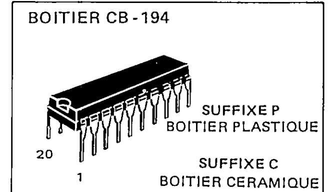
HUIT AMPLIFICATEURS 3 ETATS AVEC ECHANTILLONNEUR

Cette série de circuits combine quatre caractéristiques généralement utiles dans des systèmes à bus : 1) Des entrées logiques à haute impédance assurent que ces circuits ne chargeront pas trop le bus ; 2) Une configuration logique 3 états permet aux amplificateurs non utilisés d'être effectivement enlevés du bus ; 3) Une technologie Schottky permet des opérations à grande vitesse ; 4) Une possibilité de fournir 48 mA.

- Données inversées (EFF6882A) ou non inversées (EFF6882B)
- Huit amplificateurs / échantillonneurs dans un boîtier unique
- Accès parallèle pour le chargement
- Entrées de contrôle amplifiées
- Toutes les entrées ont un hystérésis pour augmenter la réjection du bruit
- Grande vitesse - 8 ns typique
- Configuration logique 3 états
- Alimentation unique + 5 V
- Compatible logique 74S et systèmes microprocesseurs 6800.
- Entrées à transistors PNP haute-impédance assurant une charge minimum sur le bus
- Compatible broche à broche avec le SN74S373.

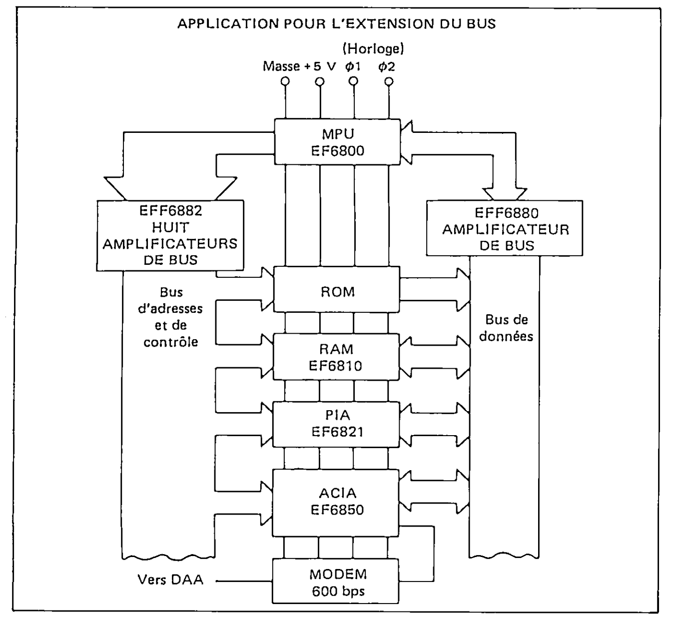
HUIT AMPLIFICATEURS 3 ETATS AVEC ECHANTILLONNEUR

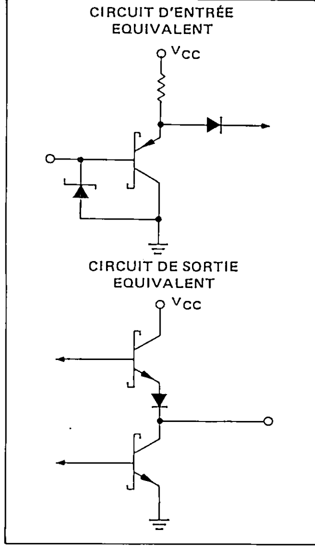
BOITIER CB - 194



Différentes versions : voir dernière page.

APPLICATION POUR L'EXTENSION DU BUS





POUR COMMANDER
(Gamme de température : 0 à + 75° C)

Circuit	Boîtier
EFF6882AC	Céramique
EFF6882BC	Céramique

EFCIS
FRANCE
45, av. de l'Europe
78140 VELIZY
Tel.: (1) 946 97 19
Telex : 698866F

VALEURS LIMITES ($T_A = 25°$ C sauf spécifications contraires)

Paramètres	Symboles	Valeurs	Unités
Tension d'alimentation	V_{CC}	8.0	V
Tension d'entrée	V_I	5.5	V
Température ambiante de fonctionnement	T_A	0 à +75	°C
Température de stockage	T_{stg}	−65 à + 150	°C
Température de jonction en fonctionnement Boîtier céramique Boîtier plastique	T_J	 150 175	°C

CARACTERISTIQUES ELECTRIQUES (0° C $\leqslant T_A \leqslant$ 75° C et 4.75 V $\leqslant V_{CC} \leqslant$ 5.25 V, sauf spécifications contraires)

Caractéristiques	Symboles	Min	Typ	Max	Unités
Tension d'entrée - Etat logique haut (V_{CC} = 4.75 V, T_A = 25°C)	V_{IH}	2.0	–	–	V
Tension d'entrée - Etat logique bas (V_{CC} = 4.75 V, T_A = 25°C)	V_{IL}	–	–	0.8	V
Courant d'entrée - Etat logique haut (V_{CC} = 5.25 V, V_{IH} = 2.4 V)	I_{IH}	–	–	40	µA
Courant d'entrée - Etat logique bas (V_{CC} = 5.25 V, V_{IL} = 0.5 V, $V_{IL(\overline{OE})}$ = 0.5 V)	I_{IL}	–	–	−250	µA
Tension de sortie - Etat logique haut (V_{CC} = 4.75 V, I_{OH} = −20 mA)	V_{OH}	2.4	–	–	V
Tension de sortie - Etat logique bas (I_{OL} = 48 mA)	V_{OL}	–	–	0.5	V
Courant de sortie - Etat haute impédance (V_{CC} = 5.25 V, V_{OH} = 2.4 V) (V_{CC} = 5.25 V, V_{OL} = 0.5 V)	I_{OZ}	 – –	 – –	 100 −100	µA
Courant de court-circuit en sortie (V_{CC} = 5.25 V, V_O = 0) (une seule sortie peut être court-circuitée à la fois)	I_{OS}	−30	−80	−130	mA
Courant d'alimentation (V_{CC} = 5.25 V) EFF6882A EFF6882B	I_{CC}	–		130 150	mA
Tension de blocage d'entrée (V_{CC} = 4.75 V, I_{IK} = −12 mA)	V_{IK}	–	–	−1.2	V

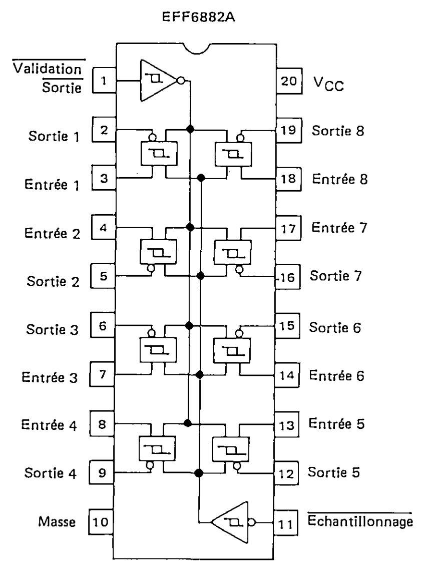
CARACTERISTIQUES DE COMMUTATION (V_{CC} = 5.0 V, T_A = 25° C sauf spécifications contraires)

Caractéristiques	Symboles	EFF6882A			EFF6882B			Unités
		Min	Typ	Max	Min	Typ	Max	
Temps de propagation des données vers la sortie								ns
Etat bas à état haut	$t_{PLH(D)}$							
C_L = 50 pF		–	10	–	–	12	–	
C_L = 250 pF		–	–	–	–	–	–	
C_L = 375 pF		–	–	–	–	–	–	
C_L = 500 pF		–	21	–	–	20	–	
Etat haut à état bas	$t_{PHL(D)}$							
C_L = 50 pF		–	8.0	–	–	10	–	
C_L = 250 pF		–	–	–	–	–	–	
C_L = 375 pF		–	–	–	–	–	–	
C_L = 500 pF		–	17	–	–	18	–	
Temps de propagation inhibition de l'échantillonnage (bas et haut) vers la sortie								ns
Etat bas à état haut	$t_{PLH(L)}$							
C_L = 50 pF		–	17	–	–	22	–	
Etat haut à état bas	$t_{PHL(L)}$							
C_L = 50 pF		–	19	–	–	17	–	
Temps de propagation (C_L = 20 pF)								ns
Etat haut à haute impédance	$t_{PHZ(\overline{OE})}$	–	7.0	–	–	7.0	–	
Etat bas à haut impédance	$t_{PLZ(\overline{OE})}$	–	18	–	–	18	–	
Haute impédance à sortie état haut	$t_{PZH(\overline{OE})}$	–	8.0	–	–	15	–	
Haute impédance à sortie état bas	$t_{PZL(\overline{OE})}$	–	12	–	–	9.0	–	

CARACTERISTIQUES DYNAMIQUES (V_{CC} = 5.0 V, T_A = 25° C sauf spécifications contraires)

Caractéristiques	Symboles	EFF6882A			EFF6882B			Unités
		Min	Typ	Max	Min	Typ	Max	
Temps de préétablissement (Données à transition négative sur entrée d'échantillonnage)	$t_{su(D)}$	–	0	–	–	0	–	ns
Temps de maintien (Données à transition négative sur entrée d'échantillonnage)	$t_{h(D)}$	–	11	–	–	11	–	ns
Largeur minimum de l'impulsion d'échantillonnage (Etat haut ou état bas)	$t_{W(L)}$	–	15	–	–	15	–	ns

BROCHAGES ET TABLES DE VERITE



EFF6882B

Validation Sortie 1 — 20 VCC
Sortie 1 2 — 19 Sortie 8
Entrée 1 3 — 18 Entrée 8
Entrée 2 4 — 17 Entrée 7
Sortie 2 5 — 16 Sortie 7
Sortie 3 6 — 15 Sortie 6
Entrée 3 7 — 14 Entrée 6
Entrée 4 8 — 13 Entrée 5
Sortie 4 9 — 12 Sortie 5
Masse 10 — 11 Echantillonnage

Valid. sortie	Echantillonnage	Entrée	Sortie
0	1	0	1
0	1	1	0
0	0	X	Q_o
1	X	X	Z

Valid. sortie	Echantillonnage	Entrée	Sortie
0	1	0	0
0	1	1	1
0	0	X	Q_o
1	X	X	Z

FIGURE 1 — CIRCUIT DE TEST POUR CARACTERISTIQUES DYNAMIQUES

FIGURE 2 — TEMPS DE PROPAGATION DES DONNEES VERS LA SORTIE

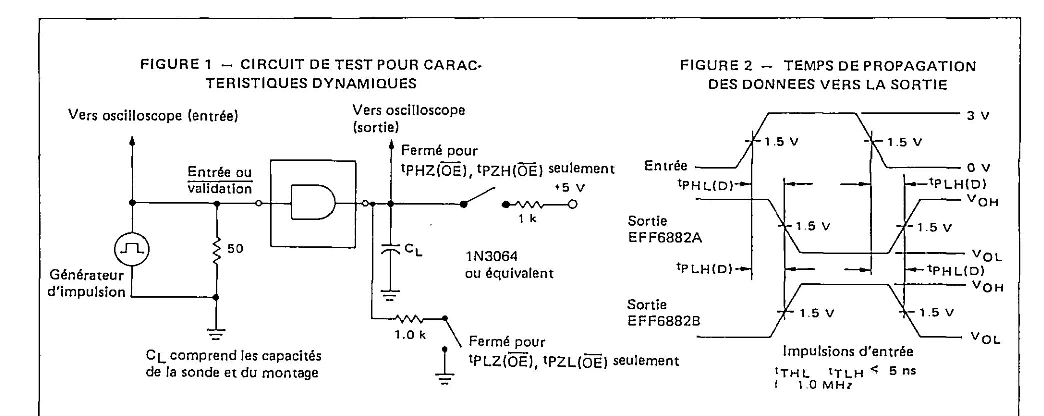


FIGURE 3 — TEMPS DE PROPAGATION DE L'ECHANTILLONNAGE A L'ENTRÉE OU LA SORTIE

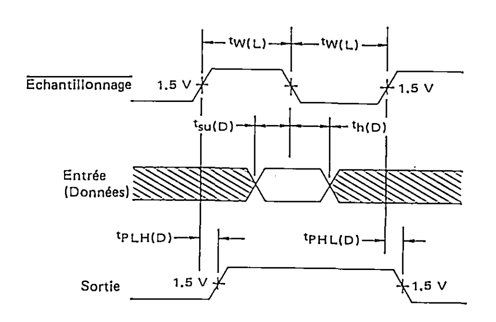
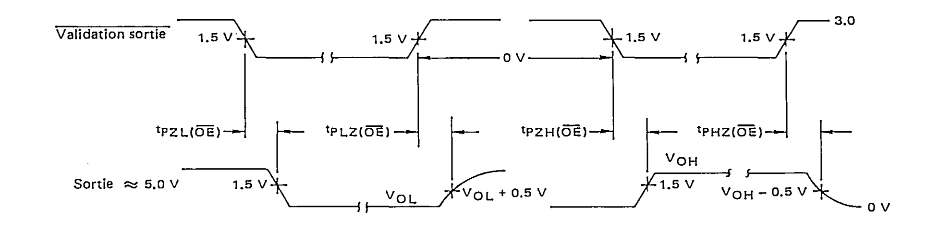
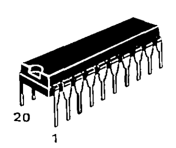


FIGURE 4 — TEMPS DE PROPAGATION DE VALIDATION SORTIE A SORTIE

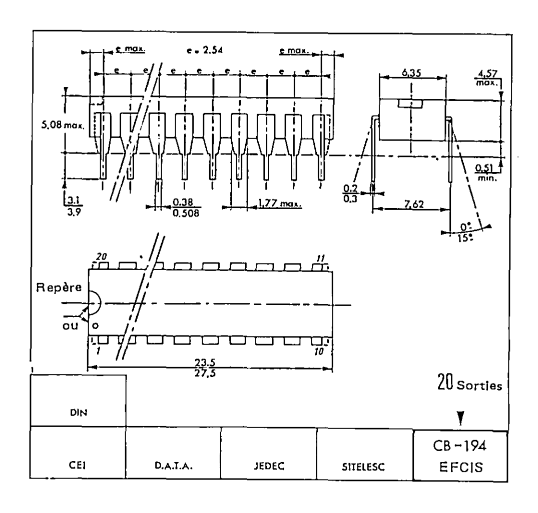


BOITIER CB-194



SUFFIXE P
BOITIER PLASTIQUE

SUFFIXE C
BOITIER CERAMIQUE



Informations préliminaires : ces spécifications peuvent changer sans préavis.
Consultez notre réseau de vente pour connaître la disponibilité des différentes versions de ce circuit.

NOTES

EFCIS 

Circuits Intégrés MOS THOMSON-EFCIS

mosmosmosmosmosmosmosmosmosmos

EFF6885
EFF6886
EFF6887
EFF6888

SEXTUPLE AMPLIFICATEURS / INVERSEURS – SORTIE TROIS ETATS

Ces circuits présentent trois particularités recherchées dans les systèmes à bus orientés.

- Les entrées logiques à haute impédance garantissent que la charge sur le bus ne sera pas excessive.
- La configuration logique à trois états permet d'isoler effectivement du bus les amplificateurs quand ils ne sont pas utilisés.
- La technologie Schottky permet un fonctionnement rapide.

Ces quatre circuits ont les particularités suivantes :

– Les EFF6885 (non inverseur) et EFF6886 (inverseur) ont une validation à deux entrées commandant les six amplificateurs.

– Les EFF6887 (non inverseur) et EFF6888 (inverseur) possèdent deux entrées de validation, l'une commande deux amplificateurs et l'autre commande les quatre autres.

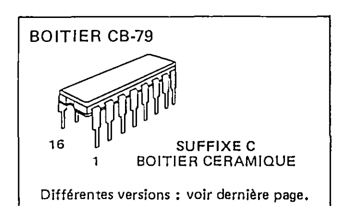
Ces circuits sont bien adaptés pour l'extension des bus d'adresses dans les applications du microprocesseur EF6800 ou de microprocesseurs similaires.

Caractéristiques :

– Grande vitesse (8 ns typ)
– Configuration logique trois états
– Une seule tension d'alimentation (+5 V)
– Compatibles avec la TTL-LS et avec le système microprocesseur 6800
– Les entrées haute impédance à transistors PNP garantissent une charge minimale pour le bus.
– Compatible avec les MC6885 / MC8T95, MC6886 / MC8T96
MC6887 / MC8T97, MC6888 / MC8T98

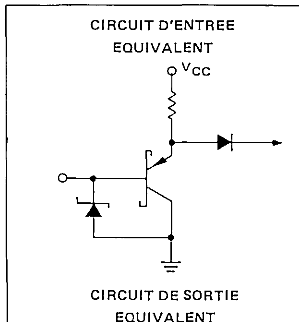
SIX AMPLIFICATEURS/ INVERSEURS TROIS ETATS

BOITIER CB-79

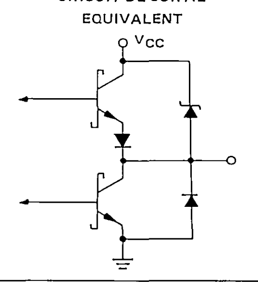


Différentes versions : voir dernière page.

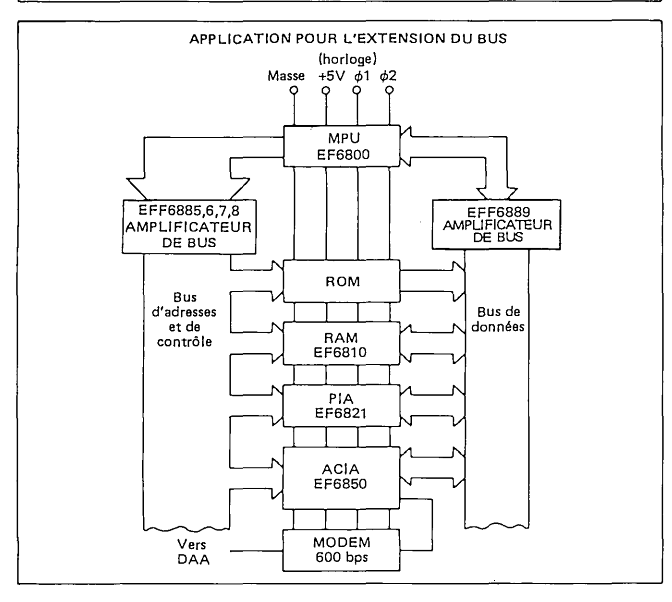
CIRCUIT D'ENTREE EQUIVALENT



CIRCUIT DE SORTIE EQUIVALENT



APPLICATION POUR L'EXTENSION DU BUS



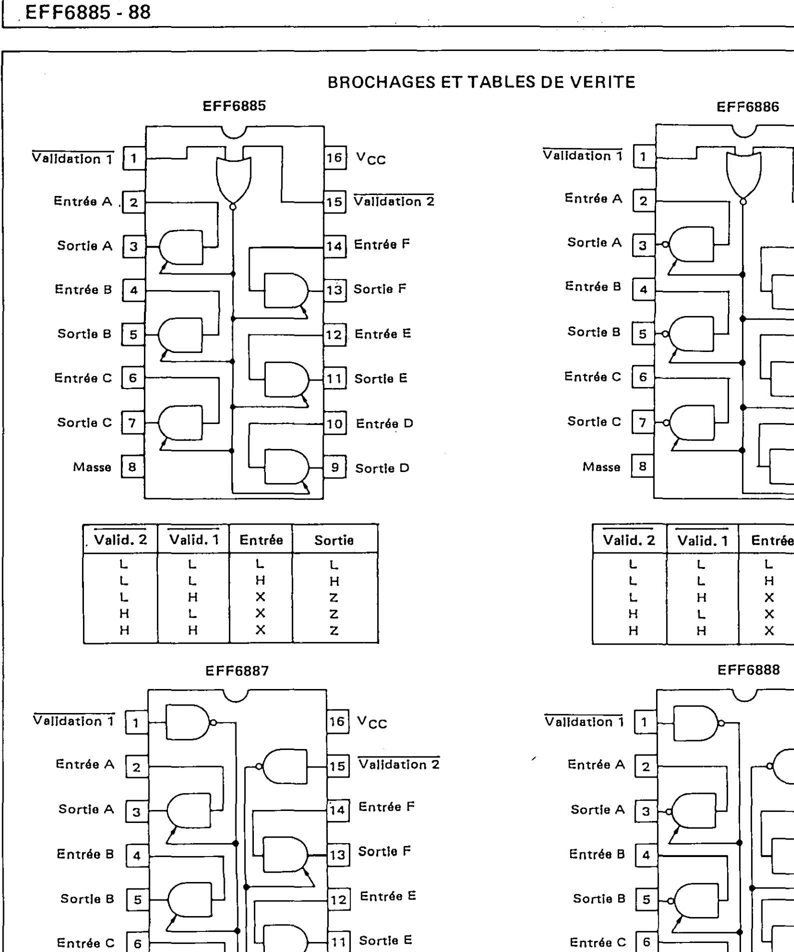
POUR COMMANDER
(Gamme de température : 0 à + 75° C)

Circuit	Boîtier
EFF6885C	Céramique
EFF6886C	Céramique
EFF6887C	Céramique
EFF6888C	Céramique
EFF6885P	Plastique
EFF6886P	Plastique
EFF6887P	Plastique
EFF6888P	Plastique

DS 9457 - F

EFCIS
45, av. de l'Europe
78140 VELIZY
FRANCE
Tel.: (1) 946 97 19
Telex : 698866F

BROCHAGES ET TABLES DE VERITE



EFF6885

$\overline{\text{Valid. 2}}$	$\overline{\text{Valid. 1}}$	Entrée	Sortie
L	L	L	L
L	L	H	H
L	H	X	Z
H	L	X	Z
H	H	X	Z

EFF6886

$\overline{\text{Valid. 2}}$	$\overline{\text{Valid. 1}}$	Entrée	Sortie
L	L	L	H
L	L	H	L
L	H	X	Z
H	L	X	Z
H	H	X	Z

EFF6887

$\overline{\text{Validation}}$	Entrée	Sortie
L	L	L
L	H	H
H	X	Z

L= Etat logique bas
H= Etat logique haut
Z= Haute impédance (3 états)
X= Sans importance

EFF6888

$\overline{\text{Validation}}$	Entrée	Sortie
L	L	H
L	H	L
H	X	Z

CARACTERISTIQUES ELECTRIQUES (T_A = 25° C sauf spécifications contraires).

Paramètres	Symboles	Valeurs	Unités
Tension d'alimentation	V_{CC}	8.0	V
Tension d'entrée	V_I	5.5	V
Température de fonctionnement	T_A	0 à +75	°C
Température de stockage	T_{stg}	–65 à + 150	°C
Température de jonction de fonctionnement Boîtier plastique Boîtier céramique	T_J	 150 175	°C

CARACTERISTIQUES ELECTRIQUES (0° C ⩽ T_A ⩽ 75° C et 4.75 V ⩽ V_{CC} ⩽ 5.25 V, sauf spécifications contraires).

Caractéristiques	Symboles	Min	Typ	Max	Unités
Tension d'entrée - Etat logique haut (V_{CC} = 4.75 V, T_A = 25°C)	V_{IH}	2.0	–	–	V
Tension d'entrée - Etat logique bas (V_{CC} = 4.75 V, T_A = 25°C)	V_{IL}	–	–	0.8	V
Courant d'entrée - Etat logique haut (V_{CC} = 5.25 V, V_{IH} = 2.4 V)	I_{IH}	–	–	40	µA
Courant d'entrée - Etat logique bas (V_{CC} = 5.25 V, V_{IL} = 0.5 V, $V_{IL(\overline{E})}$ = 0.5 V)	I_{IL}	–	–	-400	µA
Courant d'entrée - Etat haute impédance (V_{CC} = 5.25 V, $V_{IL(I)}$ = 0.5 V, $V_{IH(\overline{E})}$ = 2.0 V)	$I_{IH(\overline{E})}$	–	–	-40	µA
Tension de sortie - Etat logique haut (V_{CC} = 4.75 V, I_{OH} = -5.2 mA)	V_{OH}	2.4	–	–	V
Tension de sortie - Etat logique bas (I_{OL} = 48 mA)	V_{OL}	–	–	0.5	V
Courant de sortie - Etat haute impédance (V_{CC} = 5.25 V, V_{OH} = 2.4 V) (V_{CC} = 5.25 V, V_{OL} = 0.5 V)	I_{OZ}	 – –	 – –	 40 -40	µA
Courant de court-circuit en sortie (V_{CC} = 5.25 V, V_O = 0) (Une seule sortie peut être court-circuitée à la fois)	I_{OS}	-40	-80	-115	mA
Courant d'alimentation (V_{CC} = 5.25 V) EFF6885, EFF6887 EFF6886, EFF6888	I_{CC}	 – –	 65 59	 98 89	mA
Tension de blocage d'entrée (V_{CC} = 4.75 V, I_{IC} = -12 mA)	V_{IC}	–	–	-1.5	V
Tension de blocage de la sortie au V_{CC} (V_{CC} = 0, I_{OC} = 12 mA)	V_{OC}	–	–	1.5	V
Tension de blocage de la sortie à la masse (V_{CC} = 0, I_{OC} = -12 mA)	V_{OC}	–	–	-1.5	V
Tension d'entrée (I_I = 1.0 mA)	V_I	5.5	–	–	V

CARACTERISTIQUES DYNAMIQUES (V_{CC} = 5.0 V, T_A = 25° C sauf spécifications contraires).

Caractéristiques	Symboles	EFF6885 EFF6887			EFF6886 EFF6888			Unités
		Min	Typ	Max	Min	Typ	Min	
Temps de propagation - Etat haut à état bas	t_{PHL}							ns
(C_L = 50 pF)		3.0	–	12	4.0	–	11	
(C_L = 250 pF)		–	16	–	–	15	–	
(C_L = 375 pF)		–	20	–	–	18	–	
(C_L = 500 pF)		–	23	–	–	22	–	
Temps de propagation - Etat bas à état haut	t_{PLH}							ns
(C_L = 50 pF)		3.0	–	13	3.0	–	10	
(C_L = 250 pF)		–	25	–	–	22	–	
(C_L = 375 pF)		–	33	–	–	28	–	
(C_L = 500 pF)		–	42	–	–	35	–	
Temps de transition - Etat haut à état bas	t_{THL}							ns
(C_L = 250 pF)		–	10	–	–	10	–	
(C_L = 375 pF)		–	11	–	–	13	–	
(C_L = 500 pF)		–	14	–	–	15	–	
Temps de transition - Etat bas à état haut	t_{TLH}							ns
(C_L = 250 pF)		–	32	–	–	28	–	
(C_L = 375 pF)		–	42	–	–	38	–	
(C_L = 500 pF)		–	60	–	–	53	–	

CARACTERISTIQUES DYNAMIQUES (V_{CC} = 5,0 V, T_A = 25° C sauf spécifications contraires).

Caractéristiques	Symboles	EFF6885 EFF6887			EFF6886 EFF6888			Unités
		Min	Typ	Max	Min	Typ	Min	
Temps de propagation - Etat haut à 3 états (C_L = 5.0 pF)	$t_{PHZ(\overline{E})}$	3.0	–	10	3.0	–	10	ns
Temps de propagation - Etat bas à 3 états (C_L = 5.0 pF)	$t_{PLZ(\overline{E})}$	3.0	–	12	5.0	–	16	ns
Temps de propagation - 3 états à état haut (C_L = 50 pF)	$t_{PZH(\overline{E})}$	8.0	–	25	7.0	–	22	ns
Temps de propagation - 3 états à état bas (C_L = 50 pF)	$t_{PZL(\overline{E})}$	12	–	25	11	–	24	ns

FIGURE 1 — CIRCUIT DE TEST POUR CARACTERISTIQUES DYNAMIQUES

Vers oscilloscope (entrée)
Vers oscilloscope (sortie)
Entrée ou validation
Ouvert pour $t_{PZH(\overline{E})}$ seulement
+5 V
200
50
C_L
1N3064 ou équivalent
Générateur d'impulsion
1,0 k
Ouvert pour $t_{PZL(\overline{E})}$ seulement

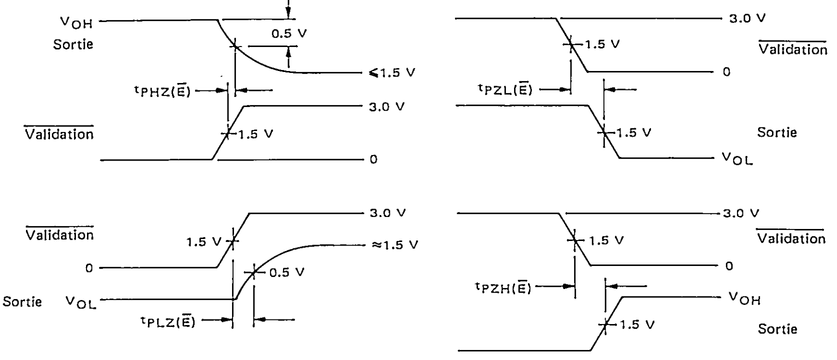
C_L comprend les capacités de la sonde et du montage

FIGURE 2 — TEMPS DE TRANSITION DE L'ENTREE A LA SORTIE

Entrée
3 V
1.5 V
1.5 V
0 V
t_{PHL}
t_{PLH}
Sortie EFF6886 EFF6888
V_{OH}
1.5 V
1.5 V
V_{OL}
t_{PLH}
t_{PHL}
V_{OH}
Sortie EFF6885 EFF6887
1.5 V
1.5 V
V_{OL}

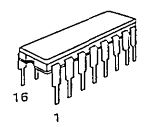
Impulsions d'entrée
$t_{THL} = t_{TLH} \leq 10$ ns
f = 1.0 MHz


FIGURE 3 — TEMPS DE PROPAGATION DE LA $\overline{\text{VALIDATION}}$ A LA SORTIE



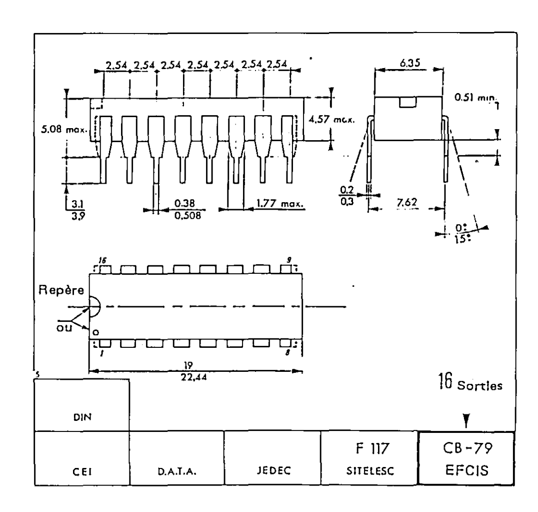
H = Etat haut, L = Etat bas, Z = Etat haute impédance

BOITIER CB-79



SUFFIXE C
BOITIER CERAMIQUE

SUFFIXE P
BOITIER PLASTIQUE



CARACTERISTIQUES THERMIQUES

La puissance consommée maximum que peut tolérer un circuit intégré, fonctionnant à une température ambiante donnée, peut être calculée à partir de l'équation :

$$P_D\,(T_A) = \frac{T_J\,(max) - T_A}{R_{\theta JA}\,(Typ)}$$

où :

$P_D\,(T_A)$ = puissance dissipée admissible à une température ambiante donnée. Celle-ci doit être supérieure à la somme des produits des tensions d'alimentation par les courants d'alimentation, dans les conditions de fonctionnement les plus défavorables.

$T_J\,(max)$ = température maximum de jonction en fonctionnement, comme indiqué dans le tableau des valeurs limites absolues.

T_A = température ambiante maximum de fonctionnement envisagé.

$R_{\theta JA}\,(Typ)$ = résistance thermique typique de jonction, à température ambiante.

Ces spécifications peuvent changer sans préavis.
Consultez notre réseau de vente pour connaître la disponibilité des différentes versions de ce circuit.

NOTES

EFCIS



Circuits Intégrés MOS THOMSON-EFCIS

mosmosmosmosmosmosmosmosmosmos

EFF6889

Ancienne appellation : SFF9 - 6889

QUADRUPLE TRANSMETTEUR/RECEPTEUR DE BUS NON INVERSEUR

Ce quadruple transmetteur récepteur de lignes trois états présente une excellente compatibilité avec les circuits intégrés MOS et le MPU, du fait de son entrée transistor PNP à haute impédance, et d'une grande vitesse de fonctionnement rendue possible par l'utilisation de diodes d'écrêtage de type Schottky. Les sorties transmetteur (−48mA) et récepteur (−20mA) sont protégées contre les courts-circuits et utilisent des entrées de validation trois états.

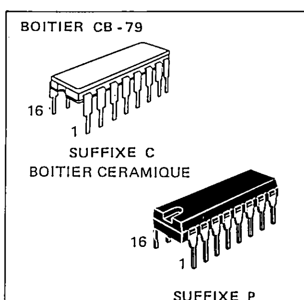
Ce circuit est utilisé comme extension de bus dans les systèmes employant les éléments de la famille 6800, ou des circuits microprocesseurs comparables. Le courant maximal d'entrée de 200μA sur chaque broche d'entrée garantit un bon fonctionnement malgré les possibilités de sortance limitées du boîtier microprocesseur. Les entrées sont aussi protégées par des diodes d'écrêtage Schottky pour supprimer les tensions inverses de dépassement excessives.

Le temps de propagation de la partie transmetteur est de 17 ns maximum, tandis qu'il est de 17 ns pour la partie récepteur.

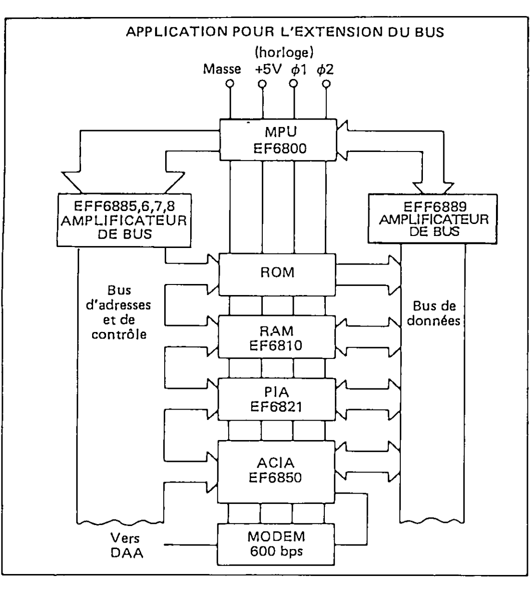
- Entrées haute impédance
- Une seule alimentation (+5V)
- Technologie rapide Schottky
- Transmetteurs et récepteurs trois états
- Compatible avec la famille 6800
- Non inverseur
- Compatible broche à broche avec le MC8T28

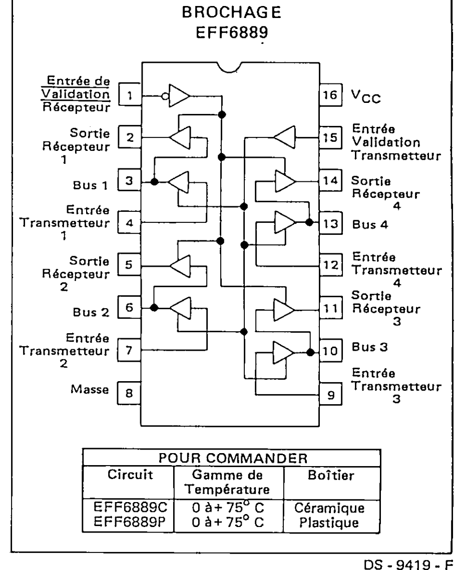
TRANSMETTEUR/RECEPTEUR DE BUS NON INVERSEUR

CIRCUITS INTÉGRÉS
TECHNOLOGIE
SCHOTTKY



Différentes versions : voir dernière page.





POUR COMMANDER		
Circuit	Gamme de Température	Boîtier
EFF6889C	0 à + 75° C	Céramique
EFF6889P	0 à + 75° C	Plastique

EFCIS
FRANCE
45, av. de l'Europe
78140 VELIZY
Tel.: (1) 946 97 19
Telex : 698866F

VALEURS LIMITES ($T_A = 25°$ C sauf spécifications contraires)

Paramètres	Symboles	Valeurs	Unités
Tension d'alimentation	V_{CC}	8,0	V
Tension d'entrée	V_I	5,5	V
Température de jonction en fonctionnement Boîtier céramique Boîtier plastique	T_J	 175 150	°C
Température ambiante de fonctionnement	T_A	0 à +75	°C
Température de stockage	T_{stg}	−65 à + 150	°C

CARACTÉRISTIQUES ÉLECTRIQUES (4,75 V ⩽ V_{CC} ⩽ 5,25 V et 0° C ⩽ T_A ⩽ 75° C sauf spécifications contraires)

Caractéristiques	Symboles	Min	Typ	Max	Unités
Courant d'entrée - niveau logique bas Entrée $\overline{\text{Validation}}$ $\overline{\text{Récepteur}}$ $V_{IL(RE)}$ = 0.4 V Entrée Validation Transmetteur $V_{IL(DE)}$ = 0.4 V Entrée de Transmetteur $V_{IL(D)}$ = 0.4 V Entrée de Récepteur (Bus) $V_{IL(B)}$ = 0.4 V	 $I_{IL(\overline{RE})}$ $I_{IL(DE)}$ $I_{IL(D)}$ $I_{IL(B)}$	 — — — —	 — — — —	 −200 −200 −200 −200	 μA
Courant d'entrée d'invalidation-niveau logique bas Entrée de transmetteur $V_{IL(D)}$ = 0.4 V	 $I_{IL(D)\,DIS}$	 —	 —	 − 25	 μA
Courant d'entrée-niveau logique haut Entrée $\overline{\text{Validation}}$ $\overline{\text{Récepteur}}$ $V_{IH(RE)}$ = 5,25 V Entrée Validation Transmetteur $V_{IH(DE)}$ = 5,25 V Entrée de Transmetteur $V_{IH(D)}$ = 5,25 V	 $I_{IH(\overline{RE})}$ $I_{IH(DE)}$ $I_{IH(D)}$	 — — —	 — — —	 25 25 25	 μA
Tension d'entrée - niveau logique bas Entrée $\overline{\text{Validation}}$ $\overline{\text{Récepteur}}$ Entrée Validation Transmetteur Entrée de Transmetteur Entrée de Récepteur	 $V_{IL(\overline{RE})}$ $V_{IL(DE)}$ $V_{IL(D)}$ $V_{IL(B)}$	 — — — —	 — — — —	 0,85 0,85 0,85 0,85	 V
Tension d'entrée-niveau logique haut Entrée $\overline{\text{Validation}}$ $\overline{\text{Récepteur}}$ Entrée Validation Transmetteur Entrée de Transmetteur Entrée de Récepteur	 $V_{IH(\overline{RE})}$ $V_{IH(DE)}$ $V_{IH(D)}$ $V_{IH(B)}$	 2,0 2,0 2,0 2,0	 — — — —	 — — — —	 V
Tension de sortie-niveau logique bas Sortie de Transmetteur (Bus) $I_{OL(B)}$ = 48 mA Sortie de Récepteur $I_{OL(R)}$ = 20 mA	 $V_{OL(B)}$ $V_{OL(R)}$	 — —	 — —	 0,5 0,5	 V
Tension de sortie-niveau logique haut Sortie de Transmetteur (Bus) $I_{OH(B)}$ = −10 mA Sortie de Récepteur $I_{OH(R)}$ = −2.0 mA Sortie de Récepteur $I_{OH(R)}$ = −100 μA, V_{CC} = 5.0 V	 $V_{OH(B)}$ $V_{OH(R)}$	 2,4 2,4 3,5	 3,1 3,1 —	 — — —	 V
Courant de fuite de sortie invalidée - niveau logique haut Sortie de Transmetteur (Bus) $V_{OH(B)}$ = 2.4 V Sortie de Récepteur $V_{OH(R)}$ = 2.4 V	 $I_{OHL(B)}$ $I_{OHL(R)}$	 — —	 — —	 100 100	 μA
Courant de fuite de sortie invalidée - niveau logique bas Sortie de Bus $V_{OL(B)}$ = 0.5 V Sortie de Récepteur $V_{OL(R)}$ = 0.5 V	 $I_{OLL(B)}$ $I_{OLL(R)}$	 — —	 — —	 −100 −100	 μA
Tension d'écrêtage sur les entrées Entrée Validation Transmetteur $I_{ID(DE)}$ = −12 mA Entrée Validation Récepteur $I_{IC(RE)}$ = +12 mA Entrée Transmetteur $I_{IC(D)}$ = −12 mA	 $V_{IC(DE)}$ $V_{IC(RE)}$ $V_{IC(D)}$	 — — —	 — — —	 −1,0 −1,0 −1,0	 V
Courant de court-circuit des sorties V_{CC} = 5.25 V (1) Sortie Transmetteur (Bus) Sortie Récepteur	 $I_{OS(B)}$ $I_{OS(R)}$	 −50 −30	 — —	 −150 − 75	 mA
Courant d'alimentation (V_{CC} = 5.25 V)	I_{CC}	—	—	87	mA

(1) Une seule sortie peut être court-circuitée à la fois.

CARACTÉRISTIQUES DE COMMUTATION (V_{CC} = 5,0 V et T_A = 25° C sauf spécifications contraires)

Caractéristiques	Symboles	Min	Max	Unités
Temps de propagation de l'entrée Récepteur à la sortie Récepteur (C_L = 30 pF)	$t_{PLH(R)}$ $t_{PHL(R)}$	–	17 17	ns
Temps de propagation de l'entrée Transmetteur à la sortie Transmetteur (C_L = 300 pF)	$t_{PLH(D)}$ $t_{PHL(D)}$	–	17 17	ns
Temps de propagation de l'entrée Validation du Récepteur à la sortie du Récepteur (C_L = 30 pF)	$t_{PZL(R)}$ $t_{PLZ(R)}$	– –	23 18	ns
Temps de propagation de l'entrée Validation du Transmetteur à la sortie du Transmetteur (C_L = 300 pF)	$t_{PZL(D)}$ $t_{PLZ(D)}$	– –	28 23	

FIGURE 1 – CIRCUIT DE MESURE DES TEMPS DE PROPAGATION DE L'ENTRÉE DU RÉCEPTEUR (BUS) A LA SORTIE DU RÉCEPTEUR, $t_{PLH(R)}$ ET $t_{PHL(R)}$

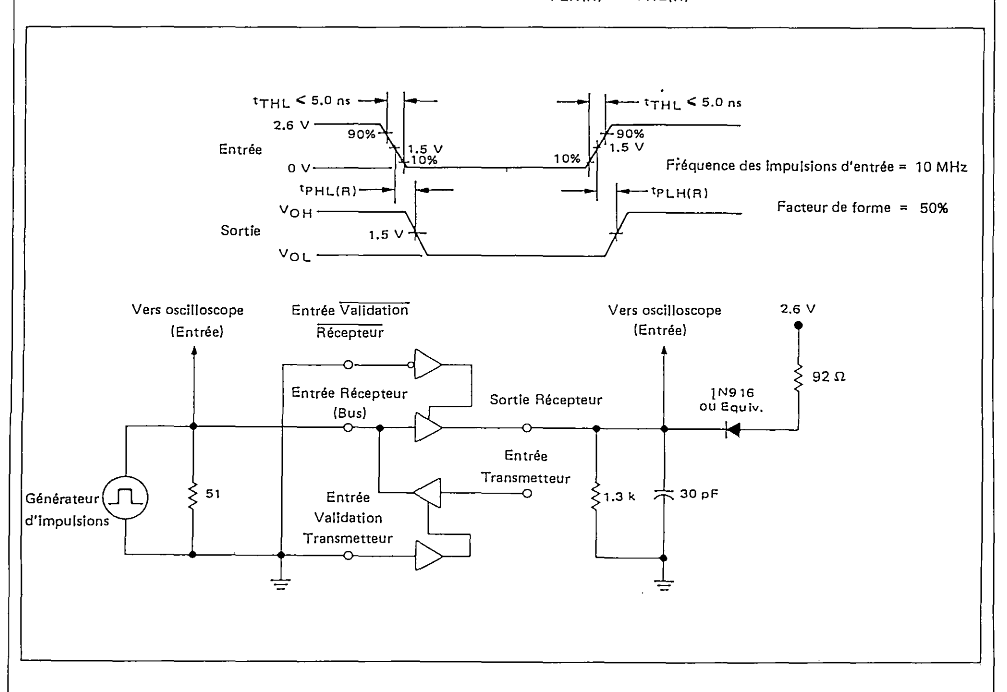




FIGURE 2 – CIRCUIT DE MESURE DES TEMPS DE PROPAGATION DE L'ENTRÉE DU TRANSMETTEUR A LA SORTIE DU TRANSMETTEUR (BUS), $t_{PLH(D)}$ ET $t_{PHL(D)}$

Fréquence des impulsions d'entrée = 10 MHz
Facteur de forme = 50%

FIGURE 3 – CIRCUIT DE MESURE DES TEMPS DE PROPAGATION DE L'ENTRÉE VALIDATION DU RÉCEPTEUR A LA SORTIE DU RÉCEPTEUR, $t_{PLZ(\overline{RE})}$ ET $t_{PZL(\overline{RE})}$

Fréquence des impulsions d'entrée = 10 MHz
Facteur de forme = 50%

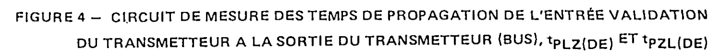
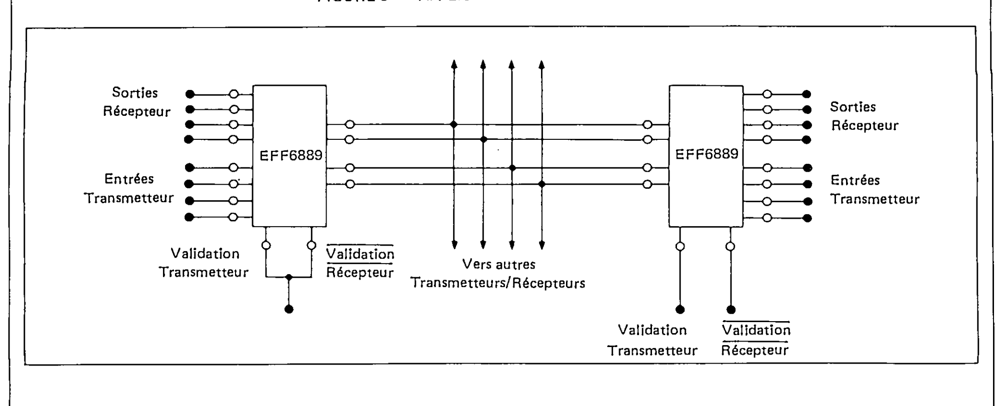


FIGURE 4 — CIRCUIT DE MESURE DES TEMPS DE PROPAGATION DE L'ENTRÉE VALIDATION DU TRANSMETTEUR A LA SORTIE DU TRANSMETTEUR (BUS), $t_{PLZ(DE)}$ ET $t_{PZL(DE)}$

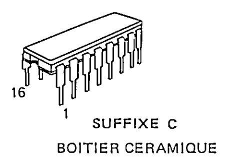
$t_{TLH} \leq 5.0$ ns
$t_{THL} \leq 5.0$ ns
2.6 V
90%
1.5 V
90%
1.5V
10%
Entrée
0 V
Fréquence des impulsions d'entrée = 5MHz
Facteur de forme = 50%
$t_{PZL(DE)}$
$t_{PLZ(DE)}$
≈3.5 V
Sortie
1.5V
V_{OL}
10%

+2.6 V
Vers oscilloscope (Entrée)
Entrée Validation Transmetteur
Entrée Transmetteur
Sortie Récepteur
Entrée Validation Récepteur
Générateur d'impulsions
51
Vers oscilloscope (Sortie)
Sortie Transmetteur (Bus)
5.0 V
2.4 k
70
5.0 k
300 pF
1N916 ou Equiv.

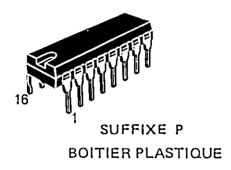
FIGURE 5 — APPLICATIONS BUS BI-DIRECTIONNEL



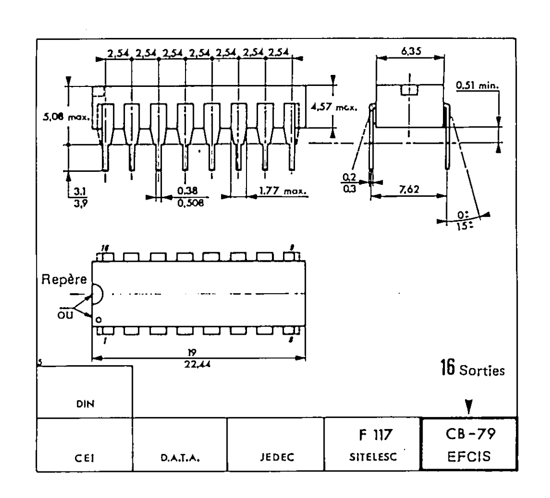
BOITIER CB - 79



SUFFIXE C
BOITIER CERAMIQUE



SUFFIXE P
BOITIER PLASTIQUE



CARACTERISTIQUES THERMIQUES

La puissance consommée maximum que peut tolérer un circuit intégré, fonctionnant à une température ambiante donnée, peut être calculée à partir de l'équation :

$$P_D\,(T_A) = \frac{T_{J\,(max)} - T_A}{R_{\theta JA}\,(Typ)}$$

où :

$P_D\,(T_A)$ = puissance dissipée admissible à une température ambiante donnée. Celle-ci doit être supérieure à la somme des produits des tensions d'alimentation par les courants d'alimentation, dans les conditions de fonctionnement les plus défavorables.

$T_{J\,(max)}$ = température maximum de jonction en fonctionnement, comme indiqué dans le tableau des valeurs limites absolues.

T_A = température ambiante maximum de fonctionnement envisagé.

$R_{\theta JA}$ (Typ) = résistance thermique typique de jonction, à température ambiante.

Ces spécifications peuvent changer sans préavis.
Consultez notre réseau de vente pour connaître la disponibilité des différentes versions de ce circuit.

Section 3

Famille microprocesseur

EF68000

NOTA : Veuillez consulter notre réseau de vente pour la disponibilité des différentes versions du circuit décrit dans les pages suivantes.

EFCIS



Circuits Intégrés MOS THOMSON-EFCIS

mosmosmosmosmosmosmosmosmosmos

EF68000

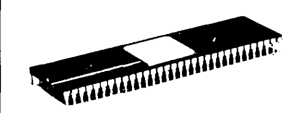
Ancienne appellation : SFF9-68000

SPECIFICATIONS PROVISOIRES

HMOS

HAUTE DENSITE, CANAL N,
GRILLE Si
CHARGE A DEPLETION

MICROPROCESSEUR
16 BITS



SUFFIXE C
BOITIER CERAMIQUE

MICROPROCESSEUR 16 BITS

Les progrès en technologie semi-conducteur ont donné la possibilité d'intégrer sur une seule pastille de silicium un microprocesseur dont la puissance et la complexité du circuit ont gagné au moins un ordre de grandeur sur ce qui était disponible auparavant.

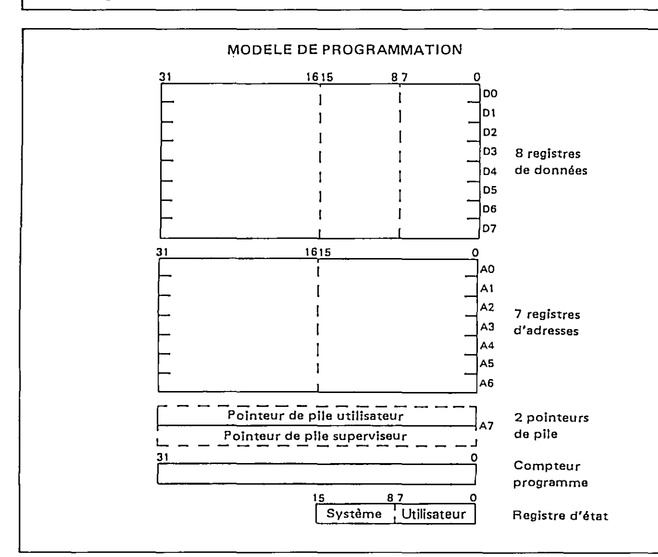
Le circuit EF 68000 est le premier d'une famille de microprocesseurs VLSI d'EFCIS. Il fait la synthèse entre le nec plus ultra de la technologie, les techniques avancées de conception de circuit et les sciences informatiques pour réaliser un microprocesseur 16 bits d'architecture avancée.

Les ressources accessibles du circuit EF 68000 sont les suivantes :

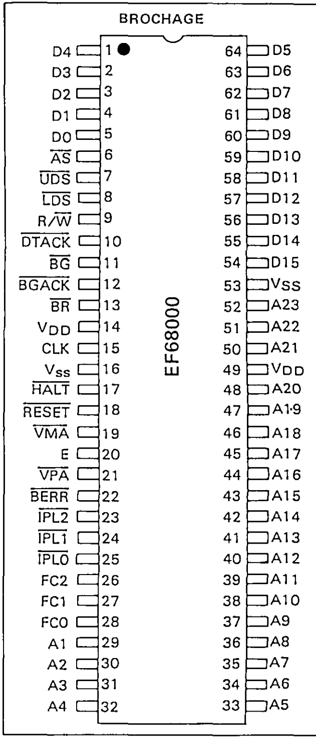
- Registres données et adresses de 32 bits
- Espace d'adressage direct de 16 Méga octets
- 56 types d'instructions puissantes
- Opérations sur cinq principaux types de données
- E/S en configuration mémoire
- 14 modes d'adressage.

Comme le montre le modèle de programmation, le circuit EF 68000 offre dix-sept registres de 32 bits qui s'ajoutent au registre d'état 16 bits et au compteur programme de 32 bits. Les huit premiers registres (D0 - D7) sont utilisés comme registres de données dans les opérations portant sur des octets (8 bits), des mots (16 bits) et des mots longs (32 bits). Les sept registres (A0-A6) et le pointeur de pile système peuvent être utilisés comme pointeurs de pile logiciels et comme registres base d'adressage. De plus, ces registres peuvent être utilisés dans les opérations d'adressage portant sur des mots, et des mots longs. Les 17 registres peuvent être utilisés comme registres index.

MODELE DE PROGRAMMATION



BROCHAGE



ADI 814-F
1/39

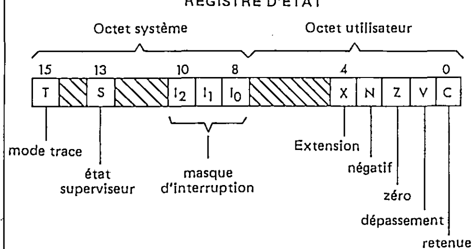
EFCIS
45, av. de l'Europe
78140 VELIZY
FRANCE
Tel.: (1) 946 97 19
Telex : 698866F

Un bus d'adresses de 23 bits fournit une étendue d'adressage mémoire supérieure à 16 mégaoctets. Ce vaste espace d'adressage, associé à une unité de gestion de mémoire, permet le développement d'importants programmes modulaires pouvant fonctionner sans avoir recours à des techniques de pagination et de comptabilité logicielle, pénalisantes en temps et gênantes.

Le registre d'état contient le masque d'interruptions (huit niveaux disponibles) et les codes condition ; extension (X), négatif (N), zéro (Z), dépassement (V), et retenue (C).

Des bits d'état supplémentaires indiquent que le processeur est en mode trace (T) et/ou en état superviseur (S).

REGISTRE D'ETAT



Il y a cinq type de données de base :
- bits
- digits BCD (4 bits)
- octets (8 bits)
- mots (16 bits)
- mots longs (32 bits)

De plus, des opérations sur d'autres types de données telles que des adresses mémoire, données de mot d'état, etc., font partie du jeu d'instructions.

Les 14 modes d'adressage (tableau 1) contiennent six types d'adressage de base :
- registre direct
- registre indirect
- absolu
- immédiat
- compteur programme relatif
- implicite

Les possibilités d'indexation, de déplacement de prédécrémentation, de post-incrémentation font partie des modes d'adressage registre indirect. Le mode relatif compteur programme peut être aussi modifié via l'indexation et le déplacement.

TABLEAU 1 — MODES D'ADRESSAGE

MODE	ADRESSE EFFECTIVE
Adressage direct registre	
Données registre direct	EA= Dn
Adresse registre direct	EA= An
Adressage données absolu	
Absolu court	EA= (Mot suivant)
Absolu long	EA= (2 mots suivants)
Adressage compteur programme relatif	
Relatif avec déplacement	EA= (PC)+ d_{16}
Relatif avec index et déplacement	EA= (PC)+ (Xn)+ d_8
Adressage registre indirect	
Registre indirect	EA= (An)
Registre indirect post-incrémenté	EA= (An), An ← An+ N
Registre indirect prédécrémenté	AN ← An - N, EA= (An)
Registre indirect avec déplacement	EA= (An)+ d_{16}
Registre indirect indexé avec déplacement	EA= (An)+ (Xn)+ d_8
Adressage données immédiat	
Immédiat	Données= mots suivants
Immédiat rapide	Données implicites
Adressage implicite	
Registre implicite	EA= SR, USP, SP, PC

NOTES :

EA= adresse effective
An= registre adresse
Dn= registre données
Xn= registre adresse ou données utilisé comme registre index
SR= registre d'état
PC= compteur programme

( ) = contenu de
d_8 = déplacement huit bits
d_{16} = déplacement seize bits
N = 1 pour octet, 2 pour mots et 4 pour mots longs
← = transféré dans

Le jeu d'instruction du circuit EF 68000 est présenté dans le tableau 2. Quelques instructions complémentaires sont des variantes, ou sous-ensembles, du jeu de base (tableau 3). Un effort particulier a été fait pour que le jeu d'instructions puisse s'adapter à des langages structurés de haut niveau qui facilitent la programmation. Chaque instruction, à quelques exceptions près, porte sur des octets, des mots, des mots longs, et la plupart des instructions peuvent utiliser chacun des 14 modes d'adressage. En combinant les types d'instructions, les types de données et les modes d'adressage, plus de 1000 instructions utiles sont disponibles. Ces instructions comprennent la multiplication et la division signées ou non, les opérations d'arithmétique "rapides", l'arithmétique BCD et les opérations étendues (à travers les trappes).

TABLEAU 2 – JEU D'INSTRUCTIONS

Mnémo.	Description	Mnémo.	Description	Mnémo.	Description
ABCD	addition décimale étendue	EOR	OU exclusif logique	PEA	empilement de l'adresse effective
ADD	addition	EXG	échange de registres	RESET	mise à zéro des circuits externes
AND	ET logique	EXT	extension de signe	ROL	décalage circulaire gauche non étendu
ASL	décalage arithmétique gauche	JMP	saut inconditionnel	ROR	décalage circulaire droite non étendu
ASR	décalage arithmétique droite	JSR	saut à un sous-programme	ROXL	décalage circulaire gauche étendu
B_{CC}	branchement conditionnel	LEA	chargement d'adresse effective	ROXR	décalage circulaire droite étendu
BCHG	test de bit et inversion	LINK	chaînage de pile	RTE	retour d'exception
BCLR	test de bit et mise à zéro	LSL	décalage logique gauche	RTR	retour et restaure
BRA	branchement inconditionnel	LSR	décalage logique droite	RTS	retour de sous-programme
BSET	test de bit et mise à un	MOVE	transfert	SBCD	soustraction décimale étendue
BSR	branchement à un sous-programme	MOVEM	transfert de plusieurs registres	S_{CC}	mise à un conditionnelle
BTST	test de bit	MOVEP	transfert données périphériques	STOP	arrêt d'exécution du programme
CHK	test de registre, aux limites	MULS	multiplication signée	SUB	soustraction
CLR	mise à zéro de l'opérande	MULU	multiplication non signée	SWAP	échanger les moitiés de registre
CMP	comparaison	NBCD	complément à 10 avec extension	TAS	test opérande et établis. d'1 indicateur
DB_{CC}	test cond. décrémentation et branchement	NEG	complément à 2	TRAP	trappe
		NOP	pas d'opération	TRAPV	trappe sur dépassement
DIVS	division signée	NOT	complément logique	TST	test d'une opérande
DIVU	division non signée	OR	OU logique	UNLK	rupture du chaînage de pile.

TABLEAU 3 – VARIANTES DE TYPES D'INSTRUCTION

Type d'instruction	Variante	Description	Type d'instruction	Variante	Description
ADD	ADD	addition	MOVE	MOVE	transfert
	ADDA	addition adresse		MOVEA	transfert adresse
	ADDQ	addition rapide		MOVEQ	transfert rapide
	ADDI	addition immédiate		MOVE depuis SR	transfert du registre d'état
	ADDX	addition étendue		MOVE vers SR	transfert vers registre d'état
				MOVE vers CCR	transfert vers registre codes condition
				MOVE USP	transfert pointeur de pile utilisateur
AND	AND	ET logique			
	ANDI	ET immédiat	NEG	NEG	complémentation
				NEGX	complémentation étendue
CMP	CMP	comparaison	OR	OR	OU logique
	CMPA	comparaison d'adresse		ORI	OU immédiat
	CMPM	comparaison mémoire			
	CMPI	comparaison immédiate	SUB	SUB	soustraction
				SUBA	soustraction adresse
				SUBI	soustraction immédiate
EOR	EOR	OU exclusif		SUBQ	soustraction rapide
	EORI	OU exclusif immédiat		SUBX	soustraction étendue

VALEURS LIMITES

Paramètres	Symboles	Valeurs	Unités
Tension d'alimentation	V_{DD}	−0.3 à + 7.0	V
Gamme de température	V_{in}	−0.3 à + 7.0	V
Tension d'entrée	T_A	0 à 70	°C
Température de stockage	T_{stg}	−55 à 150	°C

CARACTERISTIQUES ELECTRIQUES (V_{DD} = 5.0 V ± 5% ; V_{SS} = 0 V ; T_A = 25°C)

Caractéristiques		Symboles	Min	Typ	Max	Unités
Tension d'entrée niveau haut		V_{IH}	—	2.0	V_{DD}	V
Tension d'entrée niveau bas		V_{IL}	V_{SS} - 0.3	0.8	—	V
Courant de fuite en entrée	$\overline{BERR}$, $\overline{BGACK}$, $\overline{BR}$, $\overline{DTACK}$, $\overline{IPL0}$-$\overline{IPL2}$, $\overline{VPA}$	I_{in}	—	1.0	—	µA
	$\overline{HALT}$, $\overline{RESET}$		—	2.0	—	
Courant d'entrée en trois états	$\overline{AS}$, A1-A23, D0-D15 FC0-FC2, $\overline{LDS}$, R/$\overline{W}$, $\overline{UDS}$, $\overline{VMA}$	I_{TSI}	—	2.0	—	µA
Tension de sortie (I_{OH} = −400 µA) niveau haut	$\overline{AS}$, A1-A23, $\overline{BG}$, D0-D15, E, FC0-FC2, $\overline{LDS}$, R/$\overline{W}$, $\overline{UDS}$, $\overline{VMA}$	V_{OH}	—	2.4	—	V
Tension de sortie niveau bas		V_{OL}				V
(I_{OL} = 1.6 mA)	$\overline{HALT}$		—	V_{SS} + 0.4	—	
(I_{OL} = 3.2 mA)	A1-A23, $\overline{BG}$, E, FC0-FC2		—	V_{SS} + 0.4	—	
(I_{OL} = 5.0 mA)	$\overline{RESET}$		—	V_{SS} + 0.4	—	
(I_{OL} = 5.3 mA)	$\overline{AS}$, D0-D15, $\overline{LDS}$, R/$\overline{W}$, $\overline{UDS}$, $\overline{VMA}$		—	V_{SS} + 0.4	—	
Puissance dissipée (fréquence d'horloge = 8 MHz)		P_D	—	1.2	—	W
Capacité (fonction du type de boîtier) (V_{in} = 0 V ; T_A = 25°C ; fréquence = 1 MHz)		C_{in}	—	10.0		pF

FIGURE 1 — CHARGE TEST RESET

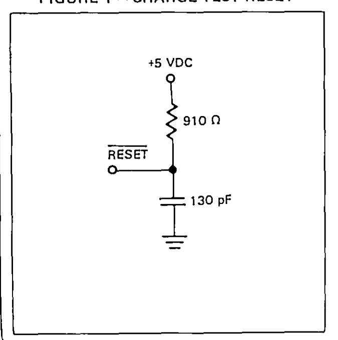


FIGURE 2 — CHARGE TEST HALT

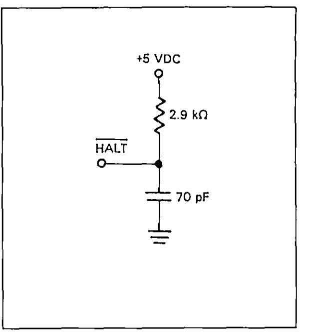
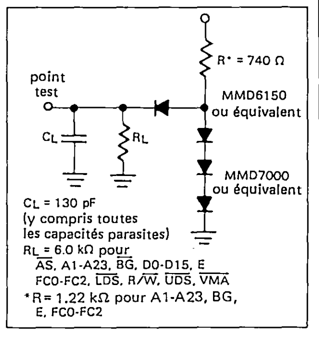


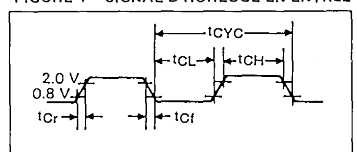
FIGURE 3 — CHARGES TEST



CARACTERISTIQUES DYNAMIQUES

Caractéristiques	Symboles	Min	Typ	Max	Unités
Fréquence nominale	F	—	—	8.0	MHz
Temps de cycle	t_{CYC}	—	125	—	ns
Largeur d'impulsion	t_{CL}	—	55	—	ns
	t_{CH}	—	55	—	ns
Temps de montée et de descente	t_{Cr}	—	—	10	ns
	t_{Cf}	—	—	10	ns

FIGURE 4 — SIGNAL D'HORLOGE EN ENTRÉE



ORGANISATION DES DONNÉES ET POSSIBILITÉS D'ADRESSAGE

Les paragraphes suivants décrivent l'organisation des données et les possibilités d'adressage du circuit EF68000.

TAILLE DE L'OPERANDE

Les tailles des opérandes sont définies comme suit : 1 octet = 8 bits, 1 mot = 16 bits et 1 mot long = 32 bits. La taille de l'opérande pour chaque instruction est soit explicitement codée dans l'instruction, soit implicitement définie par le fonctionnement de l'instruction. Toutes les instructions explicites travaillent sur des opérandes dont la taille peut être l'octet, le mot ou le mot long.
Les instructions implicites travaillent avec des sous-ensembles dans les trois tailles.

ORGANISATION DES DONNEES DANS LES REGISTRES

Les huit registres de données acceptent des opérandes de 1, 8, 16 ou 32 bits. Les sept registres d'adresse et le pointeur de pile activé travaillent avec des opérandes de 32 bits.

REGISTRES DE DONNÉES. Chaque registre de données a une longueur de 32 bits. Les opérandes sous forme d'octets occupent les 8 bits de poids faible, les opérandes sous forme de mot, les 16 bits de poids faible, et les opérandes longs, la totalité des 32 bits. Le bit de poids le plus faible est adressé comme bit zéro ; le bit de poids le plus fort est adressé comme bit 31.

Lorsqu'un registre de données est utilisé soit comme opérande source, soit comme opérande destination, seule la partie appropriée de poids faible est changée ; la partie restante de poids fort n'est ni utilisée, ni modifiée.

REGISTRES D'ADRESSE. Chaque registre d'adresse et le pointeur de pile ont une longueur de 32 bits et contiennent une adresse sur 32 bits. Les registres d'adresse n'acceptent pas des opérandes dont la taille est l'octet. Par conséquent, lorsqu'un registre d'adresse est utilisé comme opérande source, soit le mot de poids faible, soit l'opérande long en sa totalité est utilisé, en fonction de la taille de l'opération. Lorsqu'un registre d'adresse est utilisé comme destination d'opérande, le registre entier est concerné indépendemment de la taille de l'opération. Si l'opération porte sur un mot, tous les autres opérandes subissent une extension de signe sur 32 bits, avant que l'opération ne soit exécutée.

ORGANISATION DES DONNÉES EN MÉMOIRE

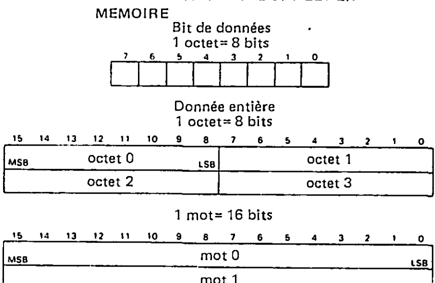
Les octets sont adressables individuellement, l'octet de poids fort ayant une adresse paire identique à celle du mot, comme indiqué en figure 5. L'octet de poids faible a une adresse impaire supérieure de un à l'adresse du mot. Les instructions et les données sur plusieurs octets sont accédées seulement sur les limites de mot (octet pair). Si un élément d'information portant sur un mot long est situé à l'adresse n (n pair), alors le second mot de cet élément d'information est situé à l'adresse n+2.

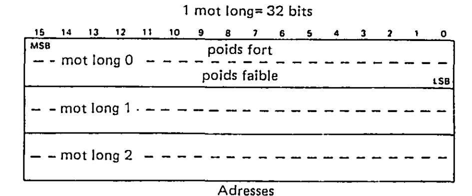
Le circuit EF 68000 travaille sur les types de données suivants :
données binaires, nombres entiers sur 8, 16 ou 32 bits, adresse de 32 bits et données décimales codées en binaire. Chacun de ces types de données est mis en mémoire de la manière indiquée figure 6.

FIGURE 5 – ORGANISATION DES MOTS EN MEMOIRE

15 … 8		7 … 0
octet 000000	mot 000000	octet 000001
octet 000002	mot 000002	octet 000003
⋮	⋮	⋮
octet FFFFFE	mot FFFFFE	octet FFFFFF

FIGURE 6 – ORGANISATION DES DONNEES EN MEMOIRE





Adresses
1 adresse = 32 bits

15 … 0
MSB poids fort — adresse 0 — poids faible LSB
adresse 1
adresse 2

MSB = bit de poids le plus fort LSB = bit de poids le plus faible

Données décimales
2 chiffres BCD = 1 octet

15 … 12	11 … 8	7 … 4	3 … 0
MSD BCD 0	BCD 1 LSD	BCD 2	BCD 3
BCD 4	BCD 5	BCD 6	BCD 7

MSD = chiffre de poids le plus fort
LSD = chiffre de poids le plus faible

ADRESSAGE

Les instructions du circuit EF68000 contiennent deux types d'information : le type de fonction à réaliser et l'emplacement de l'opérande(s) sur lequel est réalisée la fonction. Les méthodes utilisées pour adresser le(s) opérande(s) sont expliquées dans les paragraphes suivants.

L'emplacement d'un opérande est spécifié par l'instruction de trois manières :

Spécification de registre - le numéro du registre est donné dans le champ registre de l'instruction.

Adresse effective - utilisation des différents modes d'adresse effective.

Référence implicite - la définition de certaines instructions implique l'utilisation de registres spécifiques.

FORMAT DE L'INSTRUCTION

Les instructions ont une longueur de un à cinq mots, comme indiqué figure 7. La longueur de l'instruction et l'opération à réaliser sont spécifiées par le premier mot de l'instruction qui est appelé mot opération. Les mots suivants spécifient les opérandes. Ces mots sont soit des opérandes immédiats, soit des extensions du mode d'adresse effective spécifié dans le mot opération.

FIGURE 7 – FORMAT DE L'INSTRUCTION

15 … 0
mot opération (le premier mot spécifie l'opération et les modes)
opérande immédiat (s'il existe, un ou deux mots)
extension de l'adresse effective de la source (si elle existe, un ou deux mots)
extension de l'adresse effective de la destination (si elle existe, un ou deux mots)

REFERENCES PROGRAMME / DONNÉES

Le circuit EF68000 distingue les références mémoire en deux classes : les références programme et les références données. Les références programme, comme le nom l'indique, font référence à la zone mémoire qui contient le programme à exécuter. Les références données concernent la zone mémoire qui contient les données. Habituellement, les lectures d'opérande s'effectuent dans l'espace données. Toutes les écritures d'opérande s'effectuent dans l'espace données.

SPÉCIFICATIONS DE REGISTRE

Le champ registre dans une instruction spécifie le registre à utiliser. Les autres champs de l'instruction précisent si le registre sélectionné est un registre d'adresse ou un registre de données et comment le registre doit être utilisé.

ADRESSE EFFECTIVE

La plupart des instructions précisent l'emplacement d'un opérande en utilisant le champ d'adresse effective du mot opération. A titre d'exemple, le figure 8 montre le format général du mot opération d'une instruction d'adresse effective unique. L'adresse effective est composée de deux champs de 3 bits : le champ mode et le champ registre. La valeur du champ mode sélectionne les différents modes d'adressage. Le champ registre contient le numéro d'un registre.

FIGURE 8 – FORMAT GENERAL D'UN MOT DANS LE FONCTIONNEMENT D'UNE INSTRUCTION D'ADRESSE EFFECTIVE

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
x	x	x	x	x	x	x	x	x	x	Adresse effective					
										M de			Registre		

Le champ adresse effective peut nécessiter des informations supplé

Le champ adresse effective peut nécessiter des informations supplémentaires pour spécifier totalement l'opérande. Cette information complémentaire, appelée extension d'adresse effective, est contenue dans le(s) mot(s) suivant(s) et est considérée comme *faisant partie de l'instruction*, comme indiqué figure 7. Les modes adresse effective sont groupés en trois catégories : registre direct, adressage mémoire, et spécial.

MODES D'ADRESSAGE REGISTRE DIRECT

Ces modes d'adressage effectif précisent que l'opérande est contenu dans l'un des 16 registres multifonction.

Registre données direct. L'opérande est dans le registre de de données spécifié par le champ registre de l'adresse effective.

Registre adresse direct. L'opérande est dans le registre d'adresse spécifié par le champ registre de l'adresse effective.

MODES D'ADRESSAGE MEMOIRE.

Ces modes d'adressage effectif précisent que l'opérande est en mémoire et fournissent l'adresse spécifique de l'opérande.

Adressage registre indirect. L'adresse de l'opérande se trouve dans le registre d'adresse spécifié par le champ registre. La référence est classée comme référence donnée à l'exception des instructions de branchement inconditionnel et de branchement à un sous-programme.

Adressage registre indirect avec postincrémentation. L'adresse de l'opérande se trouve dans le registre d'adresse spécifié par le champ registre. Une fois l'adresse de l'opérande utilisée, il est incrémenté de 1, 2, ou 4 en fonction de la taille de l'opérande, octet, mot ou mot long. Si le registre d'adresse est le pointeur de pile et si la taille de l'opérande est l'octet, l'adresse est augmentée de deux au lieu de un pour maintenir le pointeur de pile sur une limite de mot. La référence est classée comme référence donnée.

Adressage registre indirect avec prédécrémentation. L'adresse de l'opérande se trouve dans le registre d'adresse spécifié par le champ registre. Avant que l'adresse opérande ne soit utilisée, il est décrémenté de un, deux ou quatre en fonction de la taille de l'opérande (octet, mot ou mot long). Si le registre d'adresse est le pointeur de pile et si la taille de l'opérande est l'octet, l'adresse est décrémentée de deux et non de un pour conserver le pointeur de pile sur une limite de mot. La référence est classée comme une référence donnée.

Adressage registre indirect avec déplacement. Ce mode d'adressage requiert un mot d'extension. L'adresse de l'opérande est la somme de l'adresse contenue dans le registre d'adresse et du déplacement entier, ayant subit une extension de signe sur 16 bits, contenu dans le mot d'extension. La référence est classée comme une référence donnée à l'exception des instructions de branchement inconditionnel et de branchement à un sous-programme.

Adressage registre indirect avec index. Ce mode d'adressage requiert un mot d'extension. L'adresse de l'opérande est la somme de l'adresse contenue dans le registre d'adresse, du déplacement entier signé étendu contenu dans les huits bits de poids faible du mot d'extension, et du contenu du registre index. La référence est classée comme une référence donnée à l'exception des instructions de branchement inconditionnel et de branchement à un sous-programme.

MODES D'ADRESSAGE SPECIAUX

Les modes d'adressage spéciaux utilisent le champ registre d'adresse effective pour préciser le mode d'adressage spécial au lieu d'un numéro de registre.

Adresse courte absolue. Ce mode d'adressage requiert un mot d'extension. L'adresse de l'opérande se trouve dans le mot extension. L'adresse de 16 bits subit une extension de signe avant d'être utilisée. La référence est classée comme une référence donnée à l'exception des instructions de branchement inconditionnel et de branchement à un sous-programme.

Adresse longue absolue. Cette adresse requiert deux mots d'extension. L'adresse de l'opérande est réalisée par la concaténation des mots d'extension. La partie poids fort de l'adresse est le premier mot d'extension ; le second mot d'extension constitue la partie poids faible de l'adresse. La référence est classée comme une référence donnée à l'exception des instructions de branchement inconditionnel et de branchement à un sous-programme.

Compteur programme avec déplacement. Ce mode d'adressage requiert un mot d'extension. L'adresse de l'opérande est la somme de l'adresse contenue dans le compteur programme et du déplacement, entier signé étendu 16 bits contenu dans le mot d'extension. La valeur contenue dans le compteur programme est l'adresse du mot d'extension. La référence est classée comme une référence programme.

Compteur programme avec index. Ce mode d'adressage requiert un mot d'extension. L'adresse est la somme de l'adresse contenue dans le compteur programme, du déplacement, entier signé - étendu contenu dans les huit bits de poids faible du mot d'extension, et du contenu du registre index. La valeur dans le compteur programme est l'adresse du mot d'extension. Cette référence est classée comme une référence programme.

Donnée immédiate. Ce mode d'adressage requiert un ou deux mots d'extension en fonction de la taille de l'opération.

Opération sur octet — l'octet de poids faible du mot d'extension constitue l'opérande.

Opération sur mot — le mot d'extension constitue l'opérande.

Opération longue — l'opérande est contenu dans les deux mots d'extension, le premier mot d'extension constitue les 16 bits de poids fort, les 16 bits de poids faible étant dans le second mot d'extension.

Codes condition ou registre d'état : Certaines instructions peuvent faire référence au registre d'état grâce au champ d'adresse effective. Ces instructions sont :

ANDI avec CCR
ANDI avec SR
EORI avec CCR
EORI avec SR
ORI avec CCR
ORI avec SR

RÉSUMÉ DU CODAGE D'ADRESSE EFFECTIVE

Le tableau 4 est un résumé des modes d'adressage effectif discutés dans les paragraphes précédents.

RECHERCHE IMPLICITE

Quelques instructions font référence implicitement au compteur programme (PC), au pointeur de pile système (SP), au pointeur de pile superviseur (SSP), au pointeur de pile utilisateur (USP) ou au registre d'état (SR). Le tableau 5 fournit une liste de ces instructions et les registres concernés.

TABLEAU 4 — CODAGE D'ADRESSE EFFECTIVE RÉSUMÉ

Mode d'adressage	Mode	Registre
Registre donnée direct	000	numéro registre
Registre adresse direct	001	numéro registre
Registre adresse indirect	010	numéro registre
Registre adresse indirect avec postincrémentation	011	numéro registre
Registre adresse indirect avec prédécrémentation	100	numéro registre
Registre adresse indirect avec déplacement	101	numéro registre
Registre adresse indirect avec index	110	numéro registre
Absolu court	111	000
Absolu long	111	001
Compteur programme avec déplacement	111	010
Compteur programme avec index	111	011
Immédiat ou registre d'état	111	100

TABLEAU 5 — INSTRUCTIONS IMPLICITES

Instruction	Registres implicites
Branchement conditionnel (BCC), branchement inconditionnel (BRA)	PC
Branchement à un sous-programme (BSR)	PC, SP
Test Registre aux limites (CHK)	SSP, SR
Test condition, décrémentation et branchement (DBCC)	PC
Division signée (DIVS)	SSP, SR
Division non signée (DIVU)	SSP, SR
Branchement inconditionnel (JMP)	PC
Branchement à un sous-programme (JSR)	PC, SP
Lien et affectation (LINK)	SP
Transfert des codes condition (MOVE CCR)	SR
Transfert du registre d'état (MOVE SR)	SR
Transfert de pointeur de pile utilisateur (MOVE USP)	USP
Empiler l'adresse effective (PEA)	SP
Retour d'exception (RTE)	PC, SP, SR
Retour et restauration des codes condition (RTR)	PC, SP, SR
Retour de sous-programme (RTS)	PC, SP
Trappe (TRAP)	SSP, SR
Trappe sur dépassement (TRAPV)	SSP, SR
Non lien (UNLK)	SP

PILE SYSTEME

La pile système est utilisée implicitement par de nombreuses instructions ; les piles et files d'attente utilisateur peuvent être réalisées et gérées par les modes d'adressage. Le registre d'adresse sept (A7) constitue le pointeur de pile système (SP). Le pointeur de pile système est soit le pointeur de pile superviseur (SSP), soit le pointeur de pile utilisateur (USP), en fonction de l'état du bit S du registre d'état. Si le bit S indique un état superviseur, *le SSP* devient le pointeur de pile système, et USP ne peut pas être référencé comme un registre d'adresse. Si le bit S indique l'état utilisateur, USP devient le pointeur de pile système, et SSP ne peut pas être référencé. Chaque pile système se remplit de haut en bas de la mémoire.

RESUME DU JEU D'INSTRUCTIONS

Les paragraphes suivants contiennent une vue d'ensemble de la forme et de la structure du jeu d'instruction. Les instructions forment un jeu d'outils qui incluent toutes les fonctions machine pour réaliser les opérations suivantes :

- Mouvement de données
- Arithmétique sur les entiers
- Décalages et décalages circulaires
- Manipulation de bits
- Binaire codé décimal
- Contrôle du programme
- Contrôle du système.

Les possibilités de la gamme complète d'instructions combinées à la souplesse des modes d'adressage décrits précédemment, fournissent une base très souple pour le développement de programmes.

OPERATIONS DE MOUVEMENT DE DONNÉES

La méthode de base d'acquisition de données (transfert et rangement) est réalisée par l'instruction MOVE. L'instruction MOVE et les modes d'adressage effectif permettent à la fois la manipulation d'adresse et de données. Les instructions de mouvement de données permettent de transférer des opérandes dont la taille est l'octet, le mot ou le long mot de mémoire à mémoire, de mémoire à registre, de registre à mémoire et de registre à registre. Les instructions de mouvement d'adresse permettent le transfert d'opérandes sous forme de mots et de mots longs et assurent que seules les manipulations d'adresse autorisées sont exécutées. Quelques instructions spéciales de mouvement de données viennent s'ajouter à l'instruction générale de mouvement : transfert de registres multiples (MOVEM), transfert de données avec les périphériques (MOVEP), échange entre registres (EXG), chargement d'adresse effective (LEA), empilement d'adresse effective (PEA), liaison pile (LINK), rupture liaison pile (UNLK), et transfert rapide (MOVEQ).

Le tableau 6 donne un résumé des opérations de mouvement de données.

TABLEAU 6 – OPERATIONS DE MOUVEMENT DE DONNÉES

Instruction	Taille opérande	Fonctionnement
EXG	32	Rx ←→ Ry
LEA	32	EA → An
LINK	—	An → SP@- SP → An SP + d → SP
MOVE	8, 16, 32	(EA)s → EAd
MOVEM	16, 32	(EA) → An, Dn An, Dn → EA
MOVEP	16, 32	(EA) → Dn Dn → EA
MOVEQ	8	#xxx → Dn
PEA	32	EA → SP@-
SWAP	32	Dn [31:16] ←→ Dn [15:0]
UNLK	—	An → Sp SP @+ → An

Notes:
s = source
d = destination
[ ] = numéro de bit
@- = indirect avec prédécrémentation
@+ = indirect avec postincrémentation

OPERATIONS ARITHMETIQUES SUR LES ENTIERS

Les opérations arithmétiques comprennent les quatre opérations de base : addition (ADD), soustraction (SUB), multiplication (MUL), division (DIV), ainsi que les opérations de comparaison arithmétique (CMP), remise à zéro (CLR), et complémentation à 2 (NEG). Les instructions d'addition et de soustraction sont disponibles à la fois pour les opérations sur les adresses ou sur les données ; les opérations sur données acceptant toutes tailles d'opérandes. Les opérations sur adresse sont limitées aux opérandes de tailles d'adresse autorisées (16 ou 32 bits). Les opérations de comparaison de données, d'adresse et de mémoire sont aussi disponibles. Les instructions de remise à zéro et de complémentation à 2 peuvent utiliser toutes tailles d'opérandes.

Les opérations de multiplication et de division sont accessibles aux opérandes signés ou non signés, la multiplication portant sur un mot donnant un résultat tenant sur un mot long, un dividende sur mot long avec diviseur sur un mot donnant un quotient sur mot et un reste sur mot. On peut réaliser des opérations arithmétiques en multiprécision et avec des opérandes de tailles différentes en utilisant les instructions suivantes : addition étendue (ADDX), soustraction étendue (SUBX), extension de signe (EXT), et complémentation à 2 étendue (NEGX).

TABLEAU 7 – OPERATIONS ARITHMÉTIQUES SUR LES ENTIERS

Instruction	Taille opérande	Fonctionnement
ADD	8, 16, 32 16, 32	Dn + (EA) → Dn (EA) + Dn → EA (EA) + #xxx → EA An + (EA) → An
ADDX	8, 16, 32 16, 32	Dx + Dy + X → Dx Ax@- Ay@- + X → Ax@
CLR	8, 16, 32	0 → EA
CMP	8, 16, 32 16, 32	Dn - (EA) (EA) - #xxx Ax@+ - Ay@+ An - (EA)
DIVS	32 ÷ 16	Dn/(EA) → Dn
DIVU	32 ÷ 16	Dn/(EA) → Dn
EXT	8 → 16 16 → 32	$(Dn)_8 \rightarrow Dn_{16}$ $(Dn)_{16} \rightarrow Dn_{32}$
MULS	16 * 16 → 32	Dn * (EA) → Dn
MULU	16 * 16 → 32	Dn * (EA) → Dn
NEG	8, 16, 32	0 - (EA) → EA
NEGX	8, 16, 32	0 - (EA) - X - EA
SUB	8, 16, 32 16, 32	Dn - (EA) → Dn (EA) - Dn → EA (EA) - #xxx → EA An - (EA) → An
SUBX	8, 16, 32	Dx - Dy - X → Dx Ax@- - Ay@- - X → Ax@
TAS	8	(EA) - 0, 1 → EA[7]
TST	8, 16, 32	(EA) - 0

Note:
[ ] = numéro de bit

Il existe une instruction de test d'opérande (TST) qui positionne les codes condition à la suite d'une comparaison de l'opérande avec zéro. L'instruction de test opérande et établissement d'un indicateur (TAS) est une instruction de synchronisation très utile dans les systèmes multiprocesseurs. Le tableau 7 est un résumé des opérations arithmétiques sur les entiers.

OPERATIONS LOGIQUES

Les instructions sur les opérations logiques ET, OU, OU exclusif et NON sont disponibles pour toutes les tailles d'opérandes entiers. Un jeu similaire d'instructions immédiates (ANDI, ORI, et EORI) permet d'utiliser ces opérations logiques avec des données immédiates de toutes les tailles. Le tableau 8 est un résumé des opérations logiques.

TABLEAU 8 – INSTRUCTIONS LOGIQUES

Instruction	Taille opérande	Fonctionnement
AND	8, 16, 32	Dn ∧ (EA) → Dn (EA) ∧ Dn → EA (EA) ∧ #xxx → EA
OR	8, 16, 32	Dn v (EA) → Dn (EA) v Dn → EA (EA) v #xxx → EA
EOR	8, 16, 32	(EA) ⊕ Dy → EA (EA) ⊕ #xxx → EA
NOT	8, 16, 32	~(EA) → EA

Remarque : ~ = complément à 1.

OPERATIONS DE DECALAGE LOGIQUE, ARITHMETIQUE ET CIRCULAIRE

Les opérations de décalage dans les deux directions sont réalisées par les instructions arithmétiques ASR et ASL et les instructions de décalage logique LSR et LSL. Les instructions de décalage circulaire (étendu ou non) disponibles sont ROXR, ROXL, ROR, et ROL. Toutes les opérations de décalage et décalage circulaire peuvent être réalisées soit dans les registres, soit en mémoire. Les décalages sur registre acceptent toutes les tailles d'opérande et permettent un compte du décalage de un à huit bits spécifié dans l'instruction, ou de 0 à 63 spécifié dans un registre de données.

Décalages et décalages circulaires mémoire s'appliquent seulement à des opérandes d'un mot de longueur, et permettent des décalages de 1 bit seulement. Le tableau 9 résume les opérations de décalage.

OPERATIONS DE MANIPULATION DE BITS

Les opérations de manipulation de bits sont réalisées en utilisant les fonctions suivantes : test de bit (BTST), test de bit et mise à un d'indicateur (BSET), test de bit et mise à zéro (BCLR), et test de bit et inversion (BCHG). Le tableau 10 est un résumé des opérations de manipulation de bits.

OPERATIONS EN DECIMAL CODE BINAIRE

Des opérations arithmétiques multiprécision sur des nombres BCD sont réalisées en utilisant les instructions suivantes : addition décimale étendue (ABCD), soustraction décimale étendue (SBCD), et le complément à 10 étendu (NBCD). Le tableau 11 résume les opérations en décimal codé binaire.

TABLEAU 9 – INSTRUCTIONS DE DECALAGE ET ROTATION

Instruction	Taille opérande	Fonctionnement
ASL	8, 16, 32	X/C ← [←] ← 0
ASR	8, 16, 32	[→] → X/C
LSL	8, 16, 32	X/C ← [←] ← 0
LSR	8, 16, 32	0 → [→] → X/C
ROL	8, 16, 32	C ← [←]
ROR	8, 16, 32	[→] → C
ROXL	8, 16, 32	C ← [←] ← X
ROXR	8, 16, 32	X → [→] → C

TABLEAU 10 – INSTRUCTIONS DE MANIPULATION DE BIT

Instruction	Taille opérande	Fonctionnement
BTST	8, 32	~ bit de (EA) → Z
BSET	8, 32	~bit de(EA) → Z 1 → bit de EA
BCLR	8, 32	~ bit de (EA) → Z 0 → bit de EA
BCHG	8, 32	~ bit de (EA) → Z ~bit de (EA) → bit de EA

TABLEAU 11 – INSTRUCTIONS EN BCD

Instruction	Taille opérande	Fonctionnement
ABCD	8	$Dx_{10} + Dy_{10} + X \rightarrow Dx$ $Ax@-_{10} + Ay@-_{10} + X \rightarrow Ax@$
SBCD	8	$Dx_{10} - Dy_{10} - X \rightarrow Dx$ $Ax@-_{10} - Ay@-_{10} - X \rightarrow Ax@$
NBCD	8	$0 - (EA)_{10} - X \rightarrow EA$

OPERATIONS DE CONTROLE DU PROGRAMME

Les opérations de contrôle du programme sont réalisées en utilisant une série d'instruction de branchement conditionnel et inconditionnel et d'instructions de retour. Ces instructions sont résumées dans le tableau 12.

Les instructions conditionnelles réalisent le positionnement des indicateurs et le branchement pour les conditions suivantes :

CC – pas de retenue
CS – retenue
EQ – égal
F – jamais vrai
GE – supérieur ou égal
GT – supérieur à
HI – haut
LE – inférieur ou égal
LS – inférieur ou égal
LT – inférieur
MI – moins
NE – non égal
PL – plus
T – toujours vrai
VC – pas de dépassement
VS – dépassement.

TABLEAU 12 – INSTRUCTIONS DE CONTROLE DE PROGRAMME

Instructions	Fonctionnement
Conditionnelles	
B_{CC}	Branchement conditionnel (14 conditions) déplacement 8 et 16 bits
DB_{CC}	Test condition, décrémentation et branchement, déplacement 16 bits
S_{CC}	Etablir octet conditionnellement (16 conditions)
Inconditionnelles	
BRA	Branchement inconditionnel déplacement 8 et 16 bits
BSR	Branchement à un sous-programme déplacement 8 et 16 bits
JMP	Saut inconditionnel
JSR	Saut à un sous-programme
de retour	
RTR	Retour et restauration des codes condition
RTS	Retour de sous-programme

TABLEAU 13 – INSTRUCTIONS DE CONTROLE DU SYSTEME

Instructions	Fonctionnement
Privilégiées	
RESET	Mise à zéro des circuits extérieurs
RTE	Retour d'exception
STOP	Arrêt d'exécution du programme
ORI to SR	OU logique avec registre d'état
MOVE USP	Transfert pointeur de pile utilisateur
ANDI to SR	ET logique avec registre d'état
EORI to SR	OU exclusif logique avec registre d'état
MOVE EA to SR	Chargement nouveau registre d'état
Génératrices de trappes	
TRAP	Trappe
TRAPV	Trappe sur dépassement
CHK	Test registre aux limites
Registre d'état	
ANDI to CCR	ET logique avec codes condition
EORI to CCR	OU exclusif avec codes condition
MOVE EA to CCR	Chargement nouveaux codes condition
ORI to CCR	OU logique avec codes condition
MOVE SR to EA	Rangement du registre d'état.

OPÉRATIONS DE CONTROLE DU SYSTEME

Les opérations de contrôle du système sont accomplies en utilisant les instructions privilégiées, les instructions générant des trappes et les instructions qui utilisent ou modifient le registre d'état. Ces instructions sont résumées dans le tableau 13.

DESCRIPTION DES SIGNAUX ET FONCTIONNEMENT DU BUS

Les paragraphes suivants contiennent une brève description des signaux d'entrée et de sortie. Une discussion est aussi donnée sur le fonctionnement du bus pendant les divers cycles machine et opérations.

DESCRIPTION DES SIGNAUX

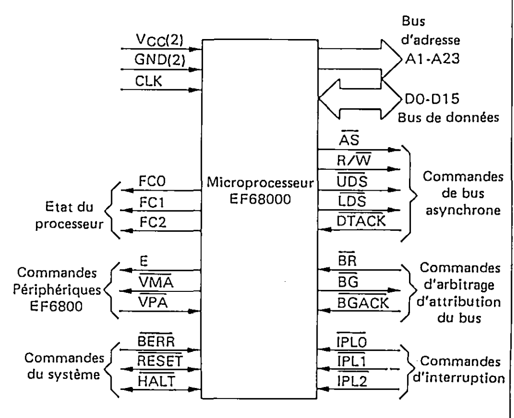
Les signaux d'entrée et sortie peuvent-être organisés fonctionnellement en groupes montrés figure 9. Les paragraphes suivants donnent une brève description des signaux ainsi qu'une référence (si possible) aux autres chapitres qui contiennent plus de détails sur la fonction réalisée.

BUS D'ADRESSE (A1 à A23). Ce bus de 23 bits unidirectionnel, à trois états, est capable d'adresser 8 méga mots de données. Il fournit l'adresse pour le fonctionnement du bus durant tous les cycles à l'exception des cycles d'interruption. Lors des cycles d'interruption, les lignes d'adresse A1, A2 et A3 donnent des informations sur le niveau d'interruption qui est servi tandis que les lignes d'adresse A4 à A23 sont toutes placées au niveau logique haut.

BUS DE DONNÉES (D0 à D15). Ce bus de 16 bits, bidirectionnel, à trois états, est le chemin des données universel. Il peut transférer et accepter des données soit sous forme de mot, soit sous forme d'octet. Au cours d'un cycle de reconnaissance d'interruption, les circuits externes fournissent un numéro de vecteur sur les lignes de données D0-D7.

COMMANDES DE BUS ASYNCHRONE. Les transferts de données asynchrones sont réalisés en utilisant les signaux de commande suivants : échantillonnage d'adresse, lecture/écriture, échantillonnages données haut et bas et reconnaissance de transfert de données. Ces signaux sont expliqués dans les paragraphes suivants.

FIGURE 9 – SIGNAUX ENTRÉES/SORTIES



Echantillonnage d'adresse ($\overline{AS}$). Ce signal indique qu'il y a une adresse valide sur le bus d'adresse.

Lecture/Ecriture (R/$\overline{W}$). Ce signal définit le transfert bus de données comme un cycle lecture ou un cycle écriture. Le signal R/$\overline{W}$ fonctionne aussi en relation avec les échantillonnages données haut et bas comme expliqué dans le paragraphe suivant.

Echantillonnage données haut et bas ($\overline{UDS}$, $\overline{LDS}$). Ces signaux contrôlent les données sur le bus de données (tableau 14). Lorsque la ligne R/$\overline{W}$ est à l'état bas, le processeur écrit sur le bus de données.

TABLEAU 14 – CONTROLE ECHANTILLONNAGE DONNÉES DE BUS

$\overline{UDS}$	$\overline{LDS}$	R/$\overline{W}$	D8-D15	D0-D7
haut	Haut	—	données non valides	données non valides
bas	bas	haut	bits données valides 8-15	bits données valides 0-7
haut	bas	haut	données non valides 8-15	bits données valides 0-7
bas	haut	haut	bits données valides 8-15	données non valides 0-7
bas	bas	bas	bits données valides 8-15	bits données valides 0-7
haut	bas	bas	bits données valides 0-7*	bits données valides 0-7
bas	haut	bas	bits données valides 8-15	bits données valides 8-15*

* Ces conditions résultent de l'implémentation en cours et peuvent ne pas apparaître sur les circuits futurs.

Reconnaissance de transfert de données ($\overline{DTACK}$). Cette entrée indique que le transfert de données est réalisé. Lorsque le processeur reconnaît $\overline{DTACK}$ pendant un cycle lecture, les données sont mémorisées/verrouillées et le cycle bus est terminé.
Lorsque $\overline{DTACK}$ est reconnu pendant un cycle d'écriture, le cycle bus est terminé.

COMMANDES D'ARBITRAGE D'ATTRIBUTION DU BUS. Ces trois signaux réalisent un circuit d'arbitrage d'attribution du bus pour déterminer le circuit qui sera maître du bus.

Requête de bus ($\overline{BR}$). Cette entrée est câblée en OU avec tous les autres circuits qui peuvent être maître du bus. Cette entrée indique au processeur qu'un autre circuit désire être maître du bus.

Bus accordé ($\overline{BG}$). Cette sortie indique à tous les autres circuits pouvant prendre le contrôle du bus que le processeur va libérer le contrôle du bus à la fin du cycle bus en cours.

Reconnaissance d'allocation de bus ($\overline{BGACK}$). Cette entrée informe qu'un autre circuit a pris le contrôle du bus. Ce signal ne peut pas être activé tant que les quatre conditions suivantes ne sont pas réalisées :

1. Un signal bus accordé a été reçu
2. L'échantillonnage d'adresse est inactif, ce qui indique que le micro-processeur n'utilise pas le bus.
3. Le signal reconnaissance de transfert de données est inactif, indiquant que mémoire et périphériques n'utilisent pas le bus.
4. Le signal de reconnaissance d'allocation de bus est inactif ce qui indique qu'aucun autre circuit ne réclame le contrôle du bus.

COMMANDES D'INTERRUPTION ($\overline{IPL0}$, $\overline{IPL1}$, $\overline{IPL2}$) Ces broches d'entrée indiquent le niveau de priorité du circuit demandant une interruption. Le niveau sept a la plus haute priorité tandis que le niveau zéro indique qu'aucune interruption n'est demandée. $\overline{IPL0}$ est le bit de poids le plus faible et $\overline{IPL2}$ est le bit de poids le plus fort.

COMMANDES SYSTEME. Les entrées de commande système sont utilisées soit pour initialiser, soit pour arrêter le processeur et lui indiquer que des erreurs bus sont survenues. Les trois entrées de commande du système sont expliquées dans les paragraphes suivants :

Erreur bus ($\overline{BERR}$). Cette entrée informe le processeur qu'il y a un problème avec le cycle en cours d'exécution. Ces problèmes peuvent résulter de :

1. Circuits ne répondant pas.
2. Défaillance dans l'acquisition du numéro de vecteur d'interruption.
3. Requête d'accès interdit comme déterminé par une unité de gestion mémoire.
4. Autres erreurs fonction de l'application.

Le signal d'erreur bus interagit avec le signal d'arrêt pour déterminer si le traitement d'exception doit être réalisé ou si le cycle bus en cours doit être renouvelé.

Se reporter au paragraphe ERREUR BUS ET ARRET pour avoir des informations complémentaires sur l'interaction des signaux erreur bus et arrêt.

Initialisation ($\overline{RESET}$). Cette ligne bidirectionnelle initialise (démarre une séquence d'initialisation du système) le processeur en réponse à un signal de remise à zéro externe. Une initialisation générée de façon interne (résultat d'une instruction RESET) entraîne la mise à zéro de tous les circuits externes et l'état interne du processeur n'est pas affecté. Une mise à zéro globale du système (processeur et circuits extérieurs) a lieu lorsque les signaux externes d'initialisation et d'arrêt sont appliqués en même temps. Se reporter au paragraphe OPERATION D'INITIALISATION pour des informations complémentaires concernant l'initialisation.

Arrêt ($\overline{HALT}$). Lorsque cette ligne bidirectionnelle est pilotée par un circuit extérieur, l'arrêt du processeur est réalisé à la fin du cycle bus en cours. Lorsque le processeur a été arrêté en utilisant cette entrée, tous les signaux de commande sont inactifs et toutes les lignes trois états passent dans l'état haute impédance. Se reporter au chapitre ERREUR BUS ET ARRET pour des informations complémentaires sur l'interaction des signaux erreur bus et arrêt.
Lorsque le processeur a cessé l'exécution d'instructions, comme après une double erreur sur le bus, la ligne arrêt est pilotée par le processeur pour indiquer aux circuits externes que le processeur est à l'arrêt.

COMMANDES PERIPHERIQUES EF6800. Ces signaux de commande sont utilisés pour permettre l'interfaçage de circuits périphériques EF6800 synchrones, avec le circuit asynchrone EF68000. Ces signaux sont expliqués dans les paragraphes suivants.

Validation (E). Ce signal est le signal standard de la validation commun à tous les circuits périphériques EF6800. La période pour cette sortie est de dix périodes d'horloge EF68000 (six signaux d'horloge bas ; quatre signaux d'horloge haut).

Validation adresse périphérique (VPA). Cette entrée indique que le circuit ou la région adressé est un circuit de la famille EF6800 et que le transfert des données doit coïncider avec le signal de validation (E). Cette entrée indique aussi que le processeur doit utiliser le système de vectorisation automatique pour les interruptions. Se reporter au chapitre INTERFACE AVEC LES PERIPHERIQUES EF6800.

Validation adresse mémoire (VMA). Cette sortie est utilisée pour indiquer aux circuits périphériques du EF6800 que l'adresse présente sur le bus d'adresse est valide et que le processeur est synchronisé avec le signal de validation (E). Ce signal ne répond qu'à une entrée validation adresse périphérique (VPA) qui indique que le périphérique est un circuit de la famille EF68)).

ETAT DU PROCESSEUR (FC0, FC1, FC2). Ces sorties code fonction, indiquent le mode (mode utilisateur ou superviseur) et le type de cycle en cours d'exécution (Tableau 15).
Les informations indiquées par les sorties code fonction sont utilisables chaque fois que le signal d'échantillonnage d'adresse (AS) est actif.

TABLEAU 15 – SORTIES CODE FONCTION

FC2	FC1	FC0	Type de cycle
bas	bas	bas	(Indéfini, réservé)
bas	bas	haut	Données utilisateur
bas	haut	bas	Programme utilisateur
bas	haut	haut	(Indéfini, réservé)
haut	bas	bas	(Indéfini, réservé)
haut	bas	haut	Données superviseur
haut	haut	bas	Programme superviseur
haut	haut	haut	Reconnaissance d'interruption

HORLOGE (CLK). L'entrée horloge est un signal compatible TTL traité de façon interne pour générer des signaux d'horloge nécessaires au processeur. L'entrée horloge doit avoir une fréquence constante.

RESUME DES SIGNAUX. Le tableau 16 est un résumé de tous les signaux présentés dans les paragraphes précédents.

TABLEAU 16 – RESUME DES SIGNAUX

Nom du signal	Mnémonique	Entrée/Sortie	Niveau actif	Trois états
Bus d'adresse	A1-A23	sortie	haut	oui
Bus de données	D0-D15	entrée/sortie	haut	oui
Echantillonnage adresse	AS	sortie	bas	oui
Lecture/écriture	R/W	sortie	lecture/haut écriture/bas	oui
Echantillonnage données haut et bas	UDS, LDS	sortie	bas	oui
Reconnaissance de transfert de données	DTACK	entrée	bas	non
Requête du bus	BR	entrée	bas	non
Bus accordé	BG	sortie	bas	non
Reconnaissance d'allocation de bus	BGACK	entrée	bas	non
Niveau de priorité d'interruption	IPL0, IPL1, IPL2	entrée	bas	non
Erreur bus	BERR	entrée	bas	non
Initialisation	RESET	entrée/sortie	bas	non *
Arrêt	HALT	entrée/sortie	bas	non *
Validation (horloge)	E	sortie	haut	non
Validation adresse mémoire	VMA	sortie	bas	oui
Validation adresse périphérique	VPA	entrée	bas	non
Sortie code fonction	FC0, FC1, FC2	sortie	haut	oui
Horloge	CLK	entrée	haut	non
Entrée puissance	V_{CC}	entrée	–	–
Masse	GND	entrée	–	–

* drain ouvert.

FONCTIONNEMENT DU BUS

Les paragraphes suivants traitent des signaux de commande et du fonctionnement du bus pendant les opérations de transfert de données, d'arbitrage d'allocation de bus, d'erreur bus et des conditions d'arrêt, et d'initialisation.

OPERATIONS DE TRANSFERT DE DONNÉES. Le transfert de données entre circuits utilise les lignes suivantes :

- Bus d'adresses A1 à A23
- Bus de données D0 à D15
- Signaux de contrôle.

Les bus de données et d'adresses sont des bus parallèles séparés, utilisés pour transférer des données dans une structure de bus asynchrone. Dans tous les cycles, le maître du bus assume la responsabilité de resynchronisation de tous les signaux qu'il délivre au début et à la fin du cycle. De plus, le circuit maître du bus est responsable de la resynchronisation des signaux de reconnaissance et de données venant du circuit esclave.

Les paragraphes suivants expliquent les cycles de lecture, écriture, et lecture-modification-écriture. Le cycle indivisible de lecture/modification/écriture est la méthode utilisée par le circuit EF68000 pour interverrouiller des communications multiprocesseurs.

NOTE

Les termes affirmation et infirmation seront généralement utilisés. Ceci doit éviter la confusion à traiter d'un mélange de signaux "actif à l'état bas" et "actif à l'état haut". Le terme affirmer ou affirmation est utilisé pour indiquer qu'un signal est actif ou vrai indépendamment du fait que le niveau de tension soit bas ou haut. Le terme infirmer ou infirmation est utilisé pour indiquer qu'un signal est inactif ou faux.

Cycle lecture. Pendant un cycle de lecture, le processeur reçoit des données de la mémoire ou d'un circuit périphérique. Le processeur lit des octets de données dans tous les cas. Si l'instruction précise que l'opération porte sur un mot (ou un double mot), le processeur lit les deux octets. Lorsque l'instruction précise une opération sur octet, le processeur utilise un bit interne A0 pour déterminer quel octet lire, puis délivre le signal d'échantillonnage de données requis pour cet octet. Pour des opérations portant sur un octet, lorsque le bit A0 égal zéro, l'échantillonnage de données d'octet supérieur est délivré. Lorsque le bit A0 égal 1, l'échantillonnage de données d'octet inférieur est délivré. Lorsque les données sont reçues, le processeur les place correctement à l'intérieur.

Un organigramme du cycle de lecture d'un mot est donné en figure 10. Un organigramme du cycle de lecture d'un octet est donné en figure 11. Un chronogramme du cycle de lecture est donné en figure 12, et la figure 13 détaille le fonctionnement du cycle lecture d'un octet et d'un mot.

FIGURE 10 – ORGANIGRAMME DU CYCLE DE LECTURE D'UN MOT

CIRCUIT MAITRE DU BUS — CIRCUIT ESCLAVE

Adressage du circuit (maître)
1) Etablir R/$\overline{W}$ en lecture
2) Placer l'adresse en A1-A23
3) Placer codes fonction en FC0-FC2
4) Affirmer l'échantillonnage d'adresse ($\overline{AS}$)
5) Affirmer l'échantillonnage de données d'octet sup. ($\overline{UDS}$) et l'échantillonnage de données octet inf. ($\overline{LDS}$)

Entrée des données (esclave)
1) Décodage d'adresse
2) Stocker les données en D0-D15
3) Affirmer reconnaissance de transfert de données ($\overline{DTACK}$)

Acquisition des données (maître)
1) Mémoriser les données
2) Infirmer $\overline{UDS}$ et $\overline{LDS}$
3) Infirmer $\overline{AS}$

Fin de cycle (esclave)
1) Effacer les données depuis D0-D15
2) Infirmer ($\overline{DTACK}$)

Départ cycle suivant (maître)

FIGURE 11 – ORGANIGRAMME DU CYCLE DE LECTURE D'UN OCTET

CIRCUIT MAITRE DU BUS — CIRCUIT ESCLAVE

Adressage du circuit (maître)
1) Etablir R/$\overline{W}$ en lecture
2) Placer l'adresse en A1-A23
3) Placer codes fonction en FC0-FC2
4) Affirmer l'échantillonnage d'adresse ($\overline{AS}$)
5) Affirmer l'échantillonnage de données d'octet sup. ($\overline{UDS}$) ou l'échantillonnage de données octet inf. ($\overline{LDS}$) (basé sur Ao)

Entrée des données (esclave)
1) Décodage d'adresse
2) Stocker les données en D0-D15 (basées sur $\overline{UDS}$ ou $\overline{LDS}$)
3) Affirmer reconnaissance de transfert de données ($\overline{DTACK}$)

Acquisition des données (maître)
1) Mémoriser les données
2) Infirmer $\overline{UDS}$ ou $\overline{LDS}$
3) Infirmer $\overline{AS}$

Fin de cycle (esclave)
1) Effacer les données en D0-D7 ou D8-D15
2) Infirmer $\overline{DTACK}$

Départ cycle suivant (maître)



FIGURE 12 – DIAGRAMME DES TEMPS DES CYCLES DE LECTURE ET D'ECRITURE

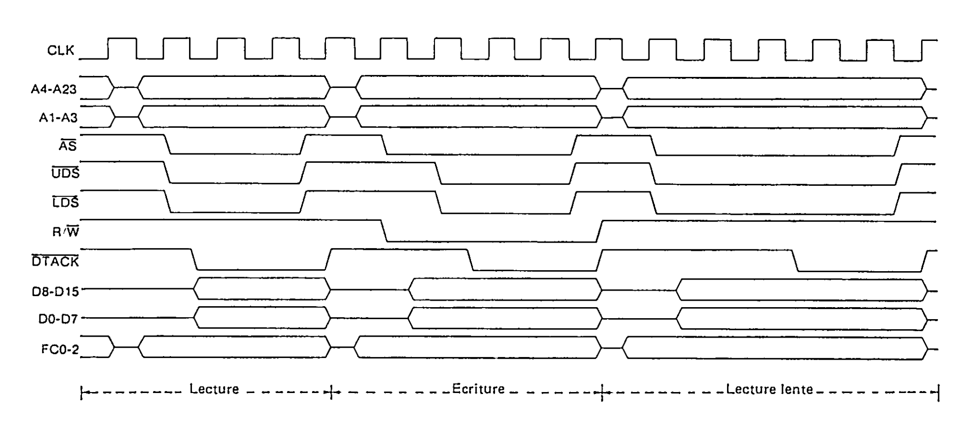
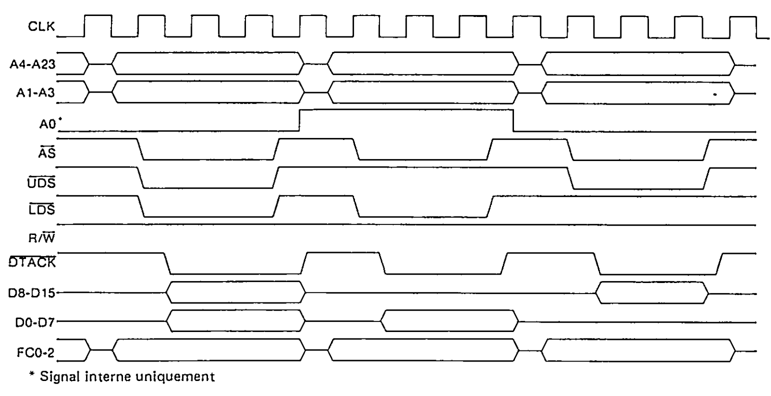
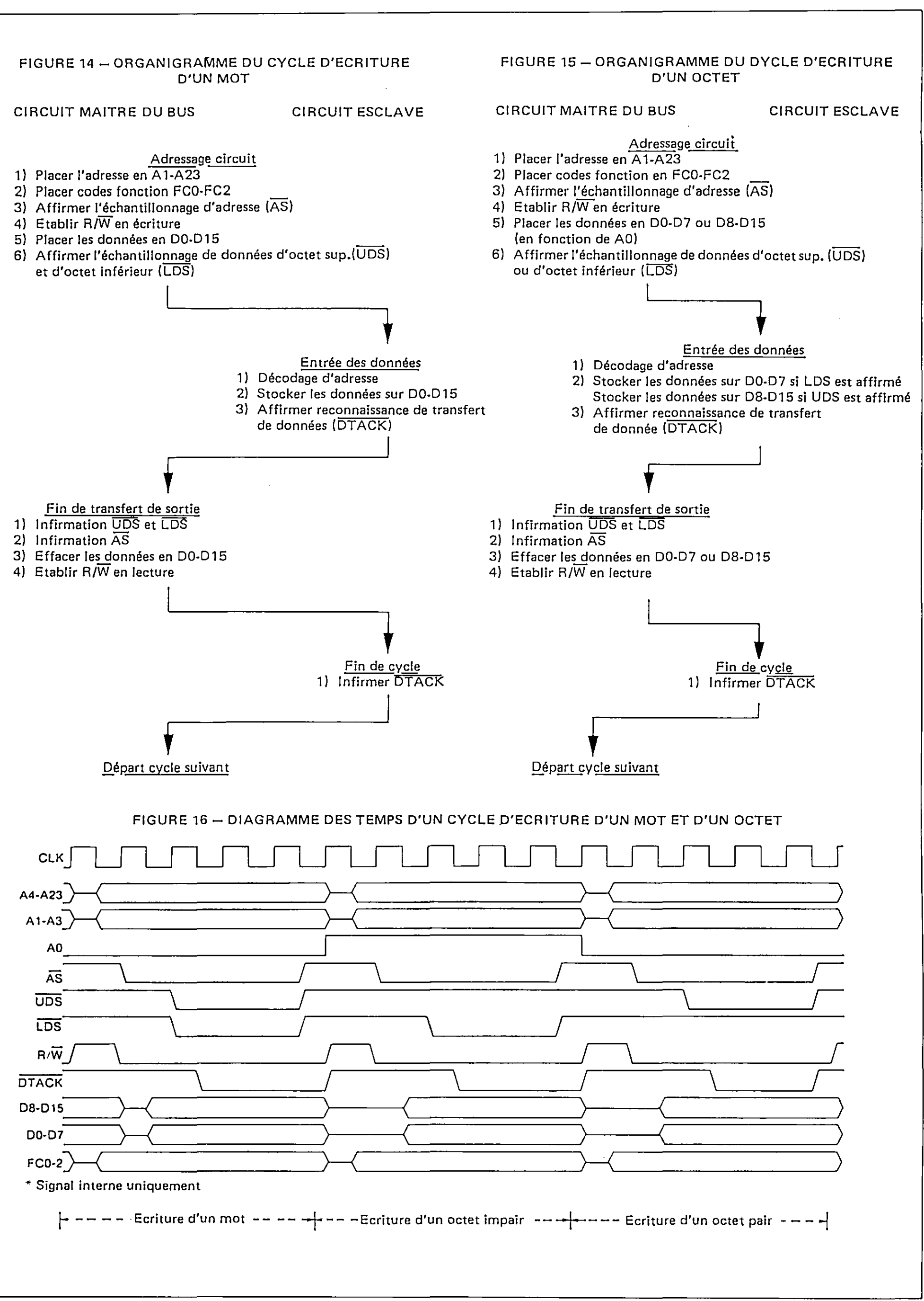


FIGURE 13 – DIAGRAMME DES TEMPS DES CYCLES DE LECTURE D'UN MOT ET D'UN OCTET



Cycle écriture. Lors d'un cycle écriture ; le processeur envoie les données en mémoire ou vers un circuit périphérique. Le processeur écrit des octets de données dans tous les cas. Si l'instruction spécifie une opération sur mot, le processeur écrit les deux octets. Lorsque l'instruction spécifie une opération sur octet, le processeur utilise un bit interne A0 pour déterminer quel octet écrire, puis délivre l'échantillonnage de données requis pour cet octet. Pour les opérations sur octet, lorsque le bit A0 est égal à zéro, l'échantillonnage de données d'octet supérieur est délivré. Lorsque le bit A0 est égal à un, l'échantillonnage de données d'octet inférieur est délivré. Un organigramme de cycle d'écriture de mot est donné en figure 14. Un organigramme du cycle d'écriture d'octet est donné en figure 15. Le diagramme des temps d'un cycle d'écriture est donné en figure 12 et la figure 16 détaille le cycle d'écriture d'un mot et d'un octet.


FIGURE 14 – ORGANIGRAMME DU CYCLE D'ECRITURE D'UN MOT
CIRCUIT MAITRE DU BUS
CIRCUIT ESCLAVE
Adressage circuit
1) Placer l'adresse en A1-A23
2) Placer codes fonction FC0-FC2
3) Affirmer l'échantillonnage d'adresse (AS)
4) Etablir R/W en écriture
5) Placer les données en D0-D15
6) Affirmer l'échantillonnage de données d'octet sup.(UDS) et d'octet inférieur (LDS)
Entrée des données
1) Décodage d'adresse
2) Stocker les données sur D0-D15
3) Affirmer reconnaissance de transfert de données (DTACK)
Fin de transfert de sortie
1) Infirmation UDS et LDS
2) Infirmation AS
3) Effacer les données en D0-D15
4) Etablir R/W en lecture
Fin de cycle
1) Infirmer DTACK
Départ cycle suivant
FIGURE 15 – ORGANIGRAMME DU DYCLE D'ECRITURE D'UN OCTET
CIRCUIT MAITRE DU BUS
CIRCUIT ESCLAVE
Adressage circuit
1) Placer l'adresse en A1-A23
2) Placer codes fonction en FC0-FC2
3) Affirmer l'échantillonnage d'adresse (AS)
4) Etablir R/W en écriture
5) Placer les données en D0-D7 ou D8-D15 (en fonction de A0)
6) Affirmer l'échantillonnage de données d'octet sup. (UDS) ou d'octet inférieur (LDS)
Entrée des données
1) Décodage d'adresse
2) Stocker les données sur D0-D7 si LDS est affirmé
Stocker les données sur D8-D15 si UDS est affirmé
3) Affirmer reconnaissance de transfert de donnée (DTACK)
Fin de transfert de sortie
1) Infirmation UDS et LDS
2) Infirmation AS
3) Effacer les données en D0-D7 ou D8-D15
4) Etablir R/W en lecture
Fin de cycle
1) Infirmer DTACK
Départ cycle suivant
FIGURE 16 – DIAGRAMME DES TEMPS D'UN CYCLE D'ECRITURE D'UN MOT ET D'UN OCTET
CLK
A4-A23
A1-A3
A0
AS
UDS
LDS
R/W
DTACK
D8-D15
D0-D7
FC0-2
* Signal interne uniquement
Ecriture d'un mot
Ecriture d'un octet impair
Ecriture d'un octet pair

Cycle lecture - modification - écriture. Le cycle lecture-modification-écriture réalise une lecture, modifie les données dans l'unité arithmétique et logique, et écrit les données à la même adresse. Dans le circuit EF68000 ce cycle est indivisible car l'échantillonnage adresse est affirmé tout au long du cycle entier. L'instruction test opérande et établissement d'un indicateur (TAS) utilise ce cycle pour fournir une communication significative entre processeurs dans un environnement multiprocesseurs. Cette instruction est la seule instruction qui utilise le cycle lecture - modification - écriture et compte tenu du fait que l'instruction TAS ne porte que sur des octets, tous les cycles lecture - modification - écriture sont des opérations sur octet. La figure 17 donne l'organigramme d'un cycle lecture - modification - écriture et la figure 18 en donne le diagramme des temps.

FIGURE 17 — ORGANIGRAMME DU CYCLE DE LECTURE-MODIFICATION-ECRITURE

CIRCUIT MAITRE DU BUS | CIRCUIT ESCLAVE

Adressage du circuit (circuit maître du bus)
1) Placer l'adresse en A1-A23
2) Etablir R/$\overline{W}$ en lecture
3) Affirmer l'échantillonnage d'adresse ($\overline{AS}$)
4) Affirmer l'échantillonnage donnée d'octets supérieur ($\overline{UDS}$) ou l'échantillonnage données octet inférieur ($\overline{LDS}$)

Entrée des données (circuit esclave)
1) Décodage d'adresse
2) Mettre les données en D0-D7 ou D8-D15
3) Affirmer la reconnaissance de transfert de données ($\overline{DTACK}$)

Acquisition des données (circuit maître du bus)
1) Mémoriser les données
2) Infirmer $\overline{UDS}$ ou $\overline{LDS}$
3) Commencer la modification des données

Fin de cycle (circuit esclave)
1) Enlever les données en D0-D7 ou D8-D15
2) Infirmer $\overline{DTACK}$

Début de transfert de sortie (circuit maître du bus)
1) Etablir R/$\overline{W}$ en écriture
2) Placer les données en D0-D7 ou D8-D15
3) Affirmer l'échantillonnage données d'octet supérieur ($\overline{UDS}$) ou l'échantillonnage donnée d'octet inférieur ($\overline{LDS}$).

Acquisition des données (circuit esclave)
1) Mémoriser les données sur D0-D7 ou D8-D15
2) Affirmer la reconnaissance de transfert de données ($\overline{DTACK}$)

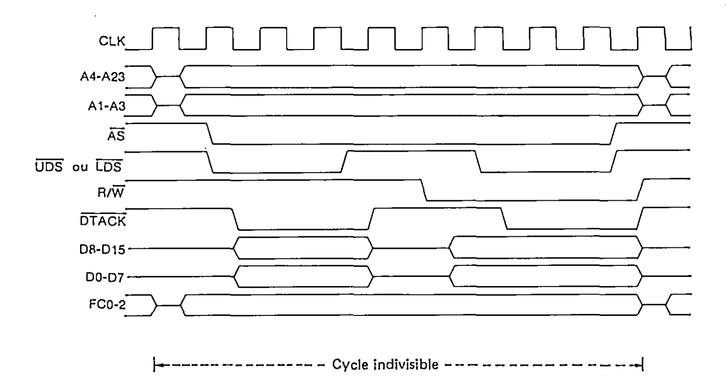
Fin de transfert de sortie (circuit maître du bus)
1) Infirmer $\overline{UDS}$ ou $\overline{LDS}$
2) Infirmer $\overline{AS}$
3) Enlever les données de D0-D7 ou D8-D15
4) Etablir R/$\overline{W}$ en lecture

Fin de cycle (circuit esclave)
1) Infirmer $\overline{DTACK}$

Commencer le cycle suivant. (circuit maître du bus)



FIGURE 18 — DIAGRAMME DES TEMPS D'UN CYCLE LECTURE - MODIFICATION - ECRITURE



ARBITRAGE D'ATTRIBUTION DU BUS. Cet arbitrage est une technique utilisée par les circuits de type maître pour demander, obtenir et reconnaître la maîtrise du bus. Dans sa forme la plus simple, elle consiste en :

1. Affirmation d'une demande de maîtrise de bus
2. Réception d'une garantie que le bus sera libre à la fin du cycle en cours.
3. Reconnaissance que la maîtrise est bien assumée.

La figure 19 est un organigramme montrant en détail ce qu'implique une demande par un seul circuit. La figure 20 montre un diagramme des temps pour les mêmes opérations. Cette technique permet le traitement de requêtes de bus pendant les cycles de transfert de données.

Le diagramme des temps montre que la demande de bus est infirmée au moment où une reconnaissance est affirmée. Ce type d'opération serait vrai pour un système se composant du processeur et d'un seul circuit pouvant s'assurer la maîtrise du bus. Dans des systèmes où plusieurs circuits peuvent prendre la maîtrise du bus, la ligne de requête de bus de chaque circuit fait partie d'un OU câblé avec le processeur. Dans ce système, il apparaît clairement qu'il peut y avoir plusieurs demandes de bus faites. Le diagramme des temps montre que le signal bus accordé est infirmé quelques périodes d'horloge après la transition du signal de reconnaissance ($\overline{BGACK}$).

Cependant, si les demandes de bus sont toujours en attente, le processeur affirmera à nouveau le signal bus accordé quelques cycles d'horloge après qu'il soit infirmé. Cette affirmation supplémentaire d'accord de bus permet à la circuiterie externe d'arbitrage de sélectionner le circuit qui deviendra le maître du bus avant que le maître du bus en cours n'ait terminé ses demandes. Les paragraphes suivants fournissent des informations complémentaires sur les trois étapes du procédé d'arbitrage.

FIGURE 19 — ORGANIGRAMME DU CYCLE D'ARBITRAGE D'ATTRIBUTION DE BUS

PROCESSEUR — CIRCUIT DEMANDEUR

Requête de bus (circuit demandeur)
1) Affirmer requête de bus ($\overline{BR}$)

Arbitrage d'allocation de bus (processeur)
1) Affirmer bus accordé ($\overline{BG}$)

Reconnaissance de maîtrise du bus (circuit demandeur)
1) L'arbitrage externe détermine le prochain maître du bus
2) Le maître du bus suivant attend la fin du cycle en cours
3) Le maître du bus suivant affirme la reconnaissance d'allocation du bus ($\overline{BGACK}$) pour devenir le maître suivant
4) Le maître du bus infirme $\overline{BR}$.

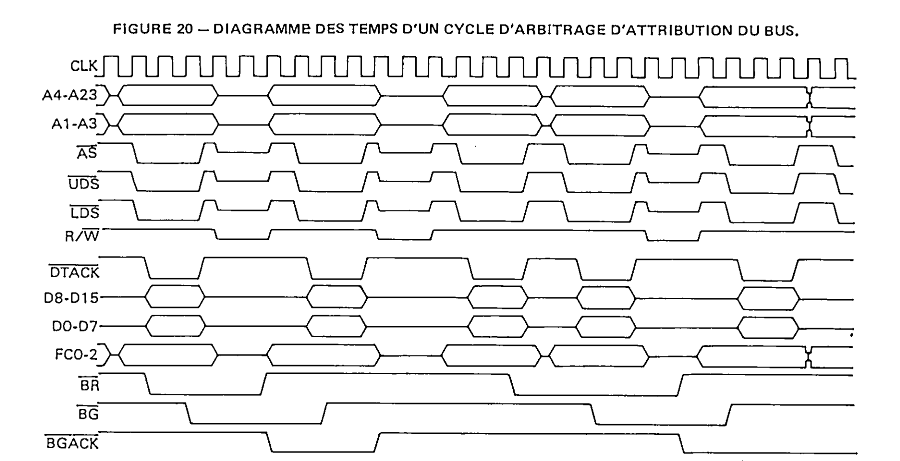
Fin d'arbitrage (processeur)
1) Infirmer $\overline{BG}$ (et attendre que $\overline{BGACK}$ soit infirmé)

Fonctionnement en maître du bus (circuit demandeur)
1) Réaliser les transferts de données (cycles de lecture et écriture) suivant les mêmes règles utilisées par le processeur.

Libérer la maîtrise du bus (circuit demandeur)
1) Infirmer ($\overline{BGACK}$)

Nouvel arbitrage ou reprise de fonctionnement. (processeur)

FIGURE 20 – DIAGRAMME DES TEMPS D'UN CYCLE D'ARBITRAGE D'ATTRIBUTION DU BUS.



Demande du bus. Les circuits externes capables de prendre la maîtrise du bus demandent le bus par l'affirmation du signal demande de bus ($\overline{BR}$). C'est un signal OU câblé (bien qu'il ne nécessite pas d'être réalisé à l'aide de circuits à collecteur ouvert) qui indique au processeur qu'un circuit externe demande le contrôle du bus. Le processeur est effectivement à un niveau de priorité sur le bus inférieur à celui d'un circuit externe et il abandonnera le bus dès qu'il aura terminé le dernier cycle bus commencé.

Si aucune reconnaissance n'est reçue avant que le signal demande de bus soit inactif, le processeur continuera le traitement lorsqu'il détectera que la demande de bus est inactive. Ceci permet de continuer le traitement dans le cas où le circuit d'allocation a répondu à une sollicitation parasite par inadvertance.

Réception de bus accordé. Le processeur accorde le bus ($\overline{BG}$) dès que possible. Normalement ceci se produit immédiatement après synchronisation interne. La seule exception à cette règle a lieu lorsque le processeur après la décision interne d'exécuter le cycle bus suivant n'a pas progressé suffisamment loin dans le cycle pour avoir affirmé le signal échantillonnage d'adresse ($\overline{AS}$). Dans ce cas, l'accord de bus ne sera affirmé qu'un coup d'horloge après l'affirmation du signal d'échantillonnage d'adresse pour indiquer aux circuits extérieurs qu'un cycle bus est en cours d'exécution. Le signal d'accord de bus peut cheminer dans un réseau chaîné ou à travers un réseau spécifique d'encodage de priorité. Le processeur n'est pas concerné par la méthode externe d'arbitrage aussi longtemps que le protocole est respecté.

Reconnaissance de maîtrise du bus. Sur réception d'un signal allocation de bus, le circuit demandeur attend jusqu'à ce que les signaux échantillonnage d'adresse, reconnaissance de transfert de données, et signal de reconnaissance d'allocation de bus soient infirmés avant d'établir son propre $\overline{BGACK}$. L'infirmation du signal d'échantillonnage d'adresse indique que le précédent circuit maître a terminé son cycle, l'infirmation du signal reconnaissance d'allocation de bus indique que le précédent circuit maître a abandonné le bus. (Aucun circuit n'est autorisé à "pénétrer" dans un cycle pendant que l'échantillonnage d'adresse est affirmé). L'infirmation de reconnaissance de transfert indique que le circuit esclave précédent a terminé sa connection au circuit maître précédent. Noter que dans certaines applications la reconnaissance de transfert de données peut ne pas entrer dans cette fonction. Des circuits universels pourraient être alors connectés de telle sorte qu'ils ne soient fonction que de l'échantillonnage d'adresse. Lorsque la reconnaissance d'allocation de bus est établie le circuit est maître du bus tant qu'il n'infirme pas le signal de reconnaissance d'allocation du bus. Le signal de reconnaissance d'allocation du bus ne peut être infirmé qu'après que le(s) cycle(s) bus soi(en)t terminé(s). La maîtrise du bus se termine à l'infirmation du signal de reconnaissance d'allocation du bus. La requête de bus par le circuit alloué doit tomber lorsque le signal de reconnaissance d'allocation de bus et affirmé. Si le signal requête de bus est toujours affirmé après que le signal de reconnaissance d'allocation de bus soit infirmé, le processeur réalise une autre séquence d'arbitrage et délivre un autre accord de bus. Il faut noter que le processeur ne réalise aucun cycle bus extérieur tant qu'il n'a pas réaffirmé le signal d'accord de bus.

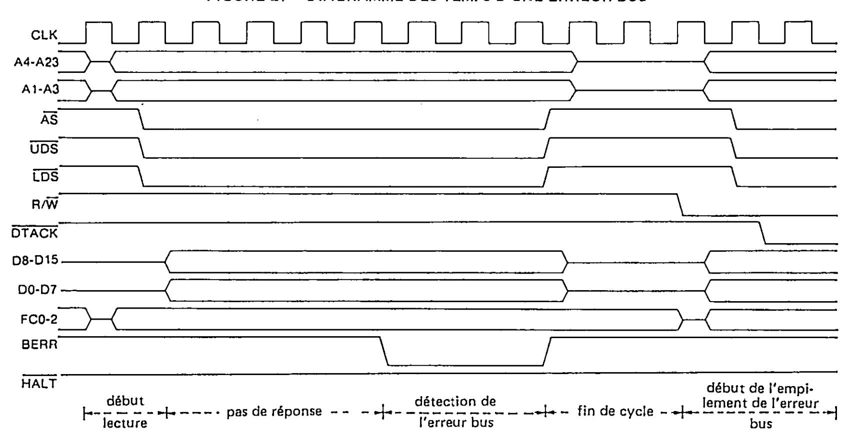
ERREUR BUS ET ARRET. Dans une architecture de bus fonctionnant en appel-réponse avec un circuit extérieur, il se peut que l'appel-réponse ne se produise pas. Puisque des systèmes différents ont des temps de réponse maximum différents, une entrée erreur bus est fournie. Une circuiterie extérieure doit être utilisée pour déterminer la durée entre l'échantillonnage d'adresse et la reconnaissance de transfert de données avant d'émettre un signal d'erreur bus. Lorsqu'un signal d'erreur bus est reçu, le processeur a deux options : soit initialiser une séquence d'exception d'erreur bus, soit essayer de relancer le cycle bus.

Séquence d'exception. La séquence d'exception d'erreur bus survient lorsque le processeur reçoit un signal d'erreur bus et que la broche arrêt est inactive. La figure 21 montre un diagramme des temps de séquence d'exception. La séquence est composée des éléments suivants :

1. Empilement du compteur programme et du registre d'état
2. Empilement de l'information d'erreur
3. Lecture de l'enregistrement en table vecteur d'erreur bus
4. Exécution du sous programme de traitement d'erreur bus.

L'empilement du compteur programme et du registre d'état se passe comme si une interruption était survenue. Lors d'une erreur bus plusieurs renseignements complémentaires sont empilés. Ces renseignements sont utilisés pour déterminer la nature de l'erreur et la corriger si possible. Le vecteur erreur bus est le vecteur numéro deux situé à l'adresse $ 000008. Le processeur charge le nouveau compteur programme depuis cet emplacement. Un sous-programme logiciel de traitement d'erreur bus est alors exécuté par le processeur. Reportez-vous au chapitre TRAITEMENT D'EXCEPTION pour des informations complémentaires.

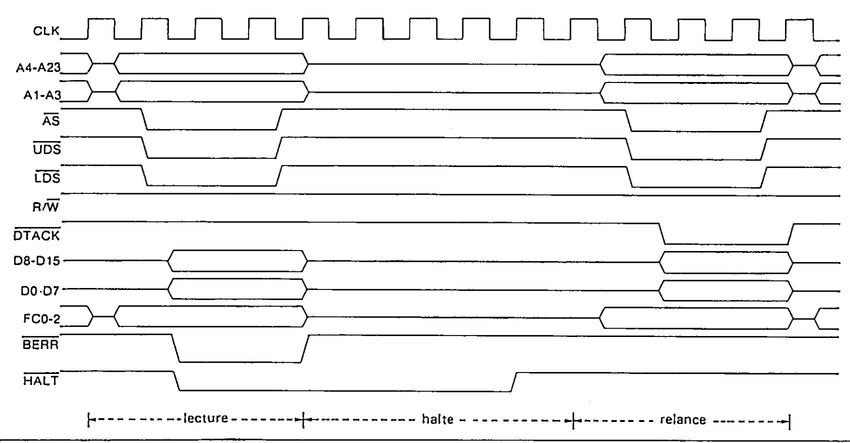
FIGURE 21 — DIAGRAMME DES TEMPS D'UNE ERREUR BUS



Relance du cycle bus. Lorsque le processeur reçoit un signal d'erreur bus et que la broche arrêt est conduite par un circuit extérieur, le processeur démarre une séquence de relance. La figure 22 montre un diagramme des temps de relance du cycle bus.

Le processeur termine le cycle bus, puis place les lignes d'adresse, de données, de code fonction et de commande en état haute impédance. Le processeur demeure "arrêté" et ne commence un autre cycle bus que lorsque le signal arrêt est effacé par une logique externe. Le processeur

FIGURE 22 — INFORMATION SUR LE DIAGRAMME DES TEMPS D'UN CYCLE DE RELANCE



peut alors relancer le cycle bus précédent en utilisant la même adresse, les mêmes codes fonction, les mêmes données (pour une opération écriture) et les mêmes commandes. Le signal d'erreur bus doit être enlevé avant que le signal arrêt soit enlevé.

NOTE

Le processeur ne relance pas un cycle modification-lecture-écriture. Cette restriction est faite pour garantir que le cycle entier se déroule correctement et que l'écriture dans une opération de test-et-établissement d'un indicateur (TAS) est réalisée sans jamais libérer AS.

Opération d'arrêt sans erreur bus. Le signal d'entrée arrêt vers le EF68000 réalise une fonction pas à pas /marche/ arrêt de la même manière que la fonction arrêt du circuit EF6800. Les modes arrêt et marche parlent d'eux mêmes dans le sens que, lorsque le signal arrêt est constamment actif, le processeur s'arrête (ne fait rien) et lorsque le signal est constamment inactif le processeur fonctionne (fait quelque chose).

Le mode pas à pas dérive de transitions correctement calées, sur l'entrée signal d'arrêt. Il force le processeur à exécuter un cycle bus unique en introduisant le mode "marche" jusqu'à ce que le processeur démarre un cycle bus puis passe en mode "arrêt".

Ainsi, le mode pas à pas permet à l'utilisateur d'exécuter (et par conséquent de mettre au point) les instructions du processeur cycle par cycle.

La figure 23 détaille le diagramme des temps requis pour des opérations pas à pas correctes. Il faut prendre soin d'éviter des intéractions nuisibles entre le signal d'erreur bus et la broche arrêt, lorsque le mode cycle unique est utilisé pour la mise au point. Ceci est vrai aussi pour des interactions entre les lignes d'arrêt et d'initialisation, celles-ci pouvant remettre à zéro la machine.

FIGURE 23 – CARACTERISTIQUES DU DIAGRAMME DES TEMPS DU SIGNAL HALT

CLK, A4-A23, A1-A3, $\overline{AS}$, $\overline{UDS}$, $\overline{LDS}$, R/$\overline{W}$, $\overline{DTACK}$, D8-D15, D0-D7, FC0-2, $\overline{HALT}$

Lecture — Arrêt — Lecture

Lorsque le processeur termine un cycle bus après avoir reconnu que le signal d'arrêt est actif, la plupart des signaux trois états sont mis à l'état haute impédance. Ceux-ci comprennent :

1. Les lignes d'adresse
2. Les lignes de données
3. Les lignes de code fonction

Ceci est nécessaire pour la réalisation correcte de l'opération de relance de cycle bus.

Notez que lorsque le processeur honore une requête d'arrêt, les codes fonction passent à l'état haute impédance (les caractéristiques de leurs amplificateurs sont les mêmes que les amplificateurs d'adresse). Tandis que le processeur honore une requête d'arrêt, l'arbitrage d'allocation du bus est réalisé comme d'habitude. Ceci étant, le passage à l'arrêt n'a pas d'effet sur l'arbitrage du bus. C'est la fonction d'arbitrage d'allocation de bus qui efface les signaux de commande du bus.

Le concepteur peut, lors de la mise au point, exécuter les instructions cycle par cycle ou exécuter son programme instruction par instruction grâce à la fonction arrêt. Ces possibilités offertes par le processeur utilisées en jonction avec un programme d'aide à la mise au point donnent une grande souplesse de mise au point.

Double erreur bus. Lorsqu'une exception erreur bus survient, le processeur essaie d'empiler certains mots contenant des informations sur l'état de la machine. Si une exception erreur bus survient durant l'empilement, il y a deux erreurs bus d'affilée. Ceci est habituellement désigné par double erreur bus. Lorsqu'une double erreur bus survient, le processeur se met sur arrêt. Lorsqu'une exception erreur bus survient, toute exception erreur bus survenant avant l'exécution de l'instruction suivante, constitue une double erreur bus.

Noter que la relance d'un cycle bus ne constitue pas une exception erreur bus et ne contribue pas à une double erreur bus. Noter aussi que ceci signifie que le processeur continue à relancer le même cycle bus aussi longtemps que la circuiterie externe le requiert.

La broche erreur bus a aussi une action sur le fonctionnement du processeur après que le processeur ait reçu une entrée de remise à zéro externe. Le processeur lit la table vecteur après une remise à zéro pour déterminer l'adresse de départ du programme à exécuter. Si une erreur bus survient pendant la lecture de la table vecteur (ou à tout instant avant que la première instruction soit exécutée), le processeur réagit comme si une double erreur bus était survenue et s'arrête. Seule une remise à zéro externe démarre un processeur à l'arrêt.

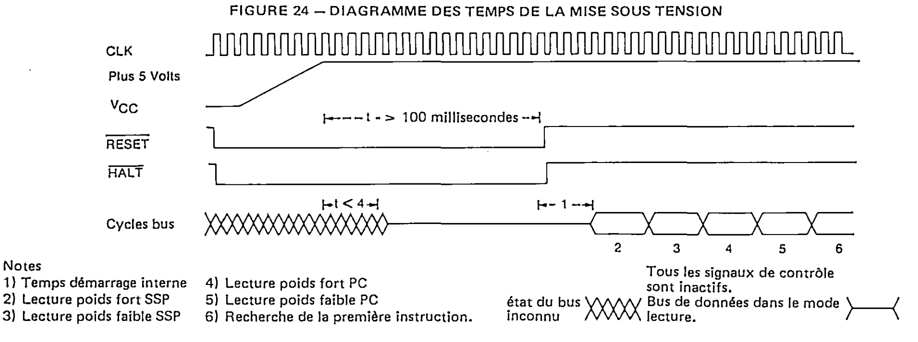
INITIALISATION. Le signal d'initialisation est un signal bi-directionnel permettant au processeur ou à un signal externe d'initialiser le système. La figure 24 est un diagramme des temps des opérations d'initialisation. Les lignes d'arrêt et d'initialisation doivent être appliquées en même temps pour assurer une mise à zéro globale du processeur.

Lorsque les lignes d'initialisation et d'arrêt sont conduites par un circuit externe, on obtient une initialisation globale du système, y compris du processeur. Le processeur répond en lisant l'enregistrement en table vecteur d'initialisation (numéro de vecteur zéro, adresse $ 000000) et le charge dans le pointeur de pile superviseur (SSP). L'enregistrement en table vecteur numéro un, à l'adresse $ 000004 est ensuite lu et chargé dans le compteur programme. Le processeur initialise le registre d'état à un niveau d'interruption sept. Aucun autre registre n'est affecté par la séquence d'initialisation.

Lorsqu'une instruction de mise à zéro des circuits externes RESET est exécutée, le processeur pilote la broche d'initialisation (reset) pendant 124 périodes d'horloge. Dans ce cas, le processeur essaie de mettre à zéro le reste du système. Par conséquent, il n'y a aucun effet sur l'état interne du processeur. Tous les registres internes du processeur et le registre d'état ne sont pas concernés par l'exécution d'une instruction de mise à zéro RESET. Tous les circuits externes connectés à la ligne RESET sont mis à zéro à l'achèvement d'une instruction RESET.

Lorsque V_{CC} est appliqué initialement au processeur, un signal externe doit être appliqué sur la broche d'initialisation (reset) pendant 100 millisecondes.

FIGURE 24 – DIAGRAMME DES TEMPS DE LA MISE SOUS TENSION



TRAITEMENT EXCEPTIONNEL

Les paragraphes suivants décrivent les actions du circuit EF68000 qui sortent du traitement normal lié à l'exécution des instructions. Les fonctions des bits dans la partie superviseur du registre d'état sont traitées : le bit superviseur/utilisateur, le bit validation du mode trace, et le masque de priorité des interruptions du processeur. Enfin, est détaillée la séquence des références mémoire et des actions prises par le processeur sur des conditions d'exception.

ETATS DE TRAITEMENT

Le circuit EF68000 est toujours dans l'un des trois états de traitement suivants : normal, d'exception, ou arrêté. L'état de traitement normal est celui associé à l'exécution des instructions. Les références mémoire servent à aller chercher instructions et opérandes et à stocker les résultats. Un cas particulier de l'état normal est l'état suspendu dans lequel le processeur se met lorsqu'une instruction d'arrêt (STOP) est exécutée. Dans ce cas, aucune référence mémoire ultérieure n'est faite.

L'état de traitement d'exception est associé aux interruptions, instructions trappe, mode trace et autres conditions exceptionnelles. L'exception peut être générée de façon interne par une instruction ou par une condition inhabituelle survenant pendant l'exécution d'une instruction. De manière externe, le traitement d'exception peut être forcé par une interruption, par une erreur bus, ou par une mise à zéro. Le traitement d'exception est conçu pour fournir un changement de contexte efficace pour que le processeur puisse traiter les conditions inhabituelles.

L'état arrêté indique une défaillance matérielle catastrophique. Par exemple, si en cours de traitement d'exception d'une erreur bus, une autre erreur bus survient, le processeur admet que le système est inutilisable et s'arrête. Seule une mise à zéro externe peut redémarrer un processeur arrêté. Noter que le processeur en état suspendu n'est pas en état arrêté, et vice versa.

ETATS PRIVILÉGIÉS

Le processeur fonctionne dans l'un des deux états dits privilégiés : l'état "utilisateur" ou l'état "superviseur". L'état privilégié, qui détermine quelles opérations sont autorisées, est utilisé par le circuit externe de gestion de la mémoire pour contrôler et translater des accès, et est utilisé pour choisir entre le pointeur de pile superviseur et le pointeur de pile utilisateur pour référencer les instructions.

L'état privilégié est un mécanisme donnant une sécurité dans un système informatique. Les programmes doivent accéder seulement à leurs propres espaces de codage et données, et ne peuvent avoir accès aux informations dont ils n'ont pas besoin et qu'ils ne doivent pas modifier.

Le mécanisme de privilège augmente la protection en permettant à la plupart des programmes de s'exécuter en état utilisateur. Dans cet état, leurs accès sont contrôlés et leurs effets sur les autres parties du système sont limités. Le système d'exploitation est exécuté en état superviseur, il a accès à toutes les ressources, et réalise les tâches générales des programmes utilisateur.

ETAT SUPERVISEUR. L'état superviseur est l'état de plus haut privilège. Pour l'exécution des instructions, l'état superviseur est déterminé par le bit S du registre d'état. Si le bit S est affirmé (haut), le processeur est en état superviseur. Toutes les instructions peuvent être exécutées dans l'état superviseur. Les cycles bus générés par des instructions exécutées en état superviseur sont classées en références superviseur. Tant que le processeur se trouve dans l'état privilégié superviseur, les instructions qui utilisent soit implicitement le pointeur de pile système, soit explicitement le registre d'adresses sept, accèdent au pointeur de pile superviseur.

Tout traitement exceptionnel est réalisé en état superviseur, indépendamment du positionnement du bit S. Les cycles bus générés en cours de traitement exceptionnel sont classés en référence superviseur. Toutes opérations d'empilement en cours de traitement exceptionnel utilisent le pointeur de pile superviseur.

ETAT UTILISATEUR. L'état utilisateur est l'état de moindre privilège. L'état utilisateur est déterminé par le bit S du registre d'état pour l'exécution des instructions, si le bit S est infirmé (bas), le processeur exécute les instructions dans l'état utilisateur. La plupart des instructions s'exécutent en état utilisateur de la même manière qu'en état superviseur.Cependant, certaines instructions qui ont des effets importants sur le système sont rendues privilégiées. Les programmes utilisateurs n'ont pas le droit d'utiliser une instruction d'arrêt (STOP), ou une instruction d'initialisation (RESET). Pour s'assurer qu'un programme utilisateur ne puisse pas passer dans l'état superviseur, sauf de manière contrôlée, les instructions qui modifient le registre d'état en totalité sont privilégiées. Pour faciliter la mise au point des systèmes d'exploitation, les instructions de transfert vers pointeur de pile utilisateur (MOVE vers USP) et transfert depuis le pointeur de pile utilisateur (MOVE depuis USP) sont aussi privilégiées.

Les cycles bus générés par une instruction exécutée en état utilisateur sont classés comme références état utilisateur. Ceci permet à un circuit externe de gestion de mémoire de translater l'adresse et de contrôler l'accès à des parties protégées de l'espace adresse. Tant que le processeur se trouve dans l'état privilégié utilisateur, les instructions qui utilisent soit le pointeur de pile système implicitement soit le registre d'adresses sept explicitement, accèdent au pointeur de pile utilisateur.

CHANGEMENT D'ETAT PRIVILÉGIÉ. Une fois que le processeur est dans l'état utilisateur, et qu'il exécute des instructions, seul un traitement d'exception peut modifier l'état privilégié. Au cours d'un traitement d'exception, la valeur en cours du bit S du registre d'état est sauvegardée et le bit S est affirmé, plaçant le traitement en état superviseur. En conséquence, lorsque l'exécution d'une instruction reprend à l'adresse spécifiée pour traiter l'exception, le processeur est dans l'état privilégié superviseur.

CLASSIFICATION DES RÉFÉRENCES. Lorsque le processeur fait une référence, il classe le type de référence faite à l'aide de codes placés sur les trois lignes de sortie codes fonction. Ceci permet une translation externe des adresses, le contrôle des accès, et la différenciation des états spéciaux du processeur tel que reconnaissance des interruptions. Le tableau 17 liste la classification des références.

TABLEAU 17 – CLASSIFICATION DES RÉFÉRENCES

Sortie codes fonction			
FC2	FC1	FC0	Classe des références
0	0	0	(non octroyé)
0	0	1	Donnée utilisateur
0	1	0	Programme utilisateur
0	1	1	(non octroyé)
1	0	0	(non octroyé)
1	0	1	Données superviseur
1	1	0	Programme superviseur
1	1	1	Reconnaissance d'interruption

TRAITEMENT D'EXCEPTION

Avant de voir en détail les interruptions, les trappes et trace, une description générale du traitement d'exception est donnée. Le traitement d'une exception se déroule en quatre étapes, avec des variantes selon les causes d'exception. Pendant la première étape, une copie temporaire du registre d'état est faite, et le registre d'état est établi pour un traitement d'exception. Dans la deuxième étape, le vecteur d'exception est déterminé et la troisième étape est la sauvegarde du contexte actuel du processeur. Dans la quatrième étape, un nouveau contexte est obtenu et le processeur passe en traitement d'instruction.

VECTEURS D'EXCEPTION. Les vecteurs d'exception sont des positions mémoire dans lesquelles le processeur recherche l'adresse d'un sous-programme qui traitera cette exception. Tous les vecteurs d'exception ont une longueur de deux mots (figure 25) sauf le vecteur d'initialisation qui tient sur quatre mots. Tous les vecteurs d'exception résident dans l'espace données superviseur, sauf le vecteur d'initialisation qui se trouve dans l'espace programme superviseur. Un numéro de vecteur est un nombre de huit bits qui, multiplié par quatre, donne l'adresse d'un vecteur d'exception. Les numéros de vecteur sont générés de façon interne ou externe, en fonction de la cause de l'exception. Dans le cas des interruptions, pendant un cycle bus de reconnaissance d'interruption, un périphérique fournit un numéro vecteur de 8 bits (figure 26) au processeur sur les lignes bus données D0 à D7. Le processeur convertit le numéro vecteur en une adresse 24 bits, comme indiqué en figure 27. La disposition en mémoire des vecteurs d'exception est donnée dans le tableau 18.

FIGURE 25 – FORMAT DES VECTEURS D'EXCEPTION

Mot 0	nouveau compteur programme (haut)	A0 = 0, A1 = 0
Mot 1	nouveau compteur programme (bas)	A0 = 0, A1 = 1

FIGURE 26 – FORMAT DU NUMÉRO VECTEUR PERIPHERIQUE

D15 – D8	D7							D0
ignoré	v7	v6	v5	v4	v3	v2	v1	v0

où : V7 est le bit de poids fort du numéro de vecteur
V0 est le bit de poids faible du numéro de vecteur

FIGURE 27 – CONVERSION D'ADRESSE A PARTIR DU NUMERO VECTEUR 8 BITS

A23	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
zéro	v7	v6	v5	v4	v3	v2	v1	v0	0	0	

Comme le montre le tableau 18, la disposition en mémoire a une longueur de 512 mots (1024 octets). Elle part de l'adresse 0 et va jusqu'à l'adresse 1023. Ceci fournit 255 vecteurs uniques. Certains sont réservés pour les trappes, d'autres pour des fonctions système. Sur les 255, 192 sont réservés aux vecteurs d'interruption utilisateur. Cependant, il n'y a pas de protection sur les 64 premiers enregistrements, ainsi des vecteurs d'interruption utilisateur peuvent y être mis à la discrétion du concepteur des systèmes.

SORTES D'EXCEPTIONS. Les exceptions peuvent être générées par des causes internes ou externes. Les exceptions générées de façon externe sont les interruptions, les demandes d'initialisation et les erreurs bus. Les interruptions sont des requêtes de circuits périphériques demandant une action au processeur tandis que les entrées d'initialisation et erreur bus ont pour but d'initialiser et de contrôler les accès du processeur. Les exceptions générées de façon interne proviennent d'instructions ou d'erreurs d'adresse, ou du mode trace. Les instructions trappe (TRAP), trappe sur dépassement (TRAPV), test registre aux limites (CHK) et division (DIV) peuvent toutes générer des exceptions comme faisant partie de leur exécution. De plus, les instructions invalides, les recherches de mots à partir d'adresses impaires et les violations de privilège sont des causes d'exceptions. Le mode trace se comporte comme une interruption générée de manière interne, de très haute priorité, après chaque exécution d'instruction.

TABLEAU 18 – AFFECTATION DES VECTEURS D'EXCEPTION

Numéro vecteur(s)	Adresses			Affectation
	Dec	Hex	Espace	
0	0	000	SP	Initialisation de SSP
	4	004	SP	Initialisation de PC
2	8	008	SD	Erreur bus
3	12	00C	SD	Erreur adresse
4	16	010	SD	Instruction interdite
5	20	014	SD	Division par zéro
6	24	018	SD	Instruction CHK
7	28	01C	SD	Instruction TRAPV
8	32	020	SD	Violation de privilège
9	36	024	SD	Trace
10	40	028	SD	Emulateur ligne 1010
11	44	02C	SD	Emulateur ligne 1111
12*	48	030	SD	(non attribué, réservé)
13*	52	034	SD	(non attribué, réservé)
14*	56	038	SD	(non attribué, réservé)
15*	60	03C	SD	(non attribué, réservé)
16-23*	64	04C	SD	(non attribué, réservé)
	95	05F		–
24	96	060	SD	Interruption parasite
25	100	064	SD	Auto vecteur interruption niveau 1
26	104	068	SD	Auto vecteur interruption niveau 2
27	108	06C	SD	Auto vecteur interruption niveau 3
28	112	070	SD	Auto vecteur interruption niveau 4
29	116	074	SD	Auto vecteur interruption niveau 5
30	120	078	SD	Auto vecteur interruption niveau 6
31	124	07C	SD	Auto vecteur interruption niveau 7
32-47	128	080	SD	Vecteurs d'instruction TRAP
	191	0BF		–
48-63*	192	0C0	SD	(non attribué, réservé)
	255	0FF		–
64-255	256	100	SD	Vecteurs interruption utilisateur
	1023	3FF		–

* Les numéros de vecteurs de 12 à 23 et de 48 à 63 sont réservés par EFCIS pour des extensions futures. L'utilisateur ne doit affecter aucun circuit périphérique à ces numéros de vecteur.

SEQUENCE DE TRAITEMENT D'EXCEPTION.

Le traitement d'exception a lieu en quatre étapes distinctes. Dans la première étape, une copie interne du registre d'état est faite. Une fois la copie faite, le bit S est affirmé, mettant le processeur dans l'état privilégié superviseur. Le bit T est aussi infirmé, ce qui permet au programme de traitement d'exception de s'exécuter sans être gêné par le mode trace. Pour les exceptions d'interruption et d'initialisation, le masque de priorité des interruptions est aussi mis à jour.

Dans la seconde étape, le numéro du vecteur de l'exception est déterminé. Pour les interruptions, le numéro de vecteur est obtenu par une recherche du processeur, classée comme une reconnaissance d'interruption. Pour toutes les autres exceptions, la logique interne fournit le numéro de vecteur. Ce numéro de vecteur est alors utilisé pour générer l'adresse du vecteur d'exception.

La troisième étape concerne la sauvegarde de l'état actuel du processeur, sauf pour l'exception de mise à zéro. La valeur courante du compteur programme et la copie sauvegardée du registre d'état sont empilées en utilisant le pointeur de pile superviseur. La valeur du compteur programme habituellement empilée pointe l'instruction suivante à exécuter, cependant, lors d'une erreur bus et d'une erreur adresse, la valeur du compteur programme mise sur la pile est imprévisible, et peut être incrémentée par rapport à l'adresse de l'instruction qui a causé l'erreur. Des informations complémentaires définissant le contexte courant sont empilées pour les exceptions d'erreur bus et d'erreur adresse.

La dernière étape est la même pour toutes les exceptions. La nouvelle valeur du compteur programme est cherchée à partir du vecteur d'exception. Le processeur reprend alors l'exécution des instructions. L'instruction à l'adresse donnée dans le vecteur d'exception est chargée, et le décodage puis l'exécution de l'instruction sont effectués.

EXCEPTIONS MULTIPLES. Ces paragraphes décrivent le traitement qui a lieu lorsque des exceptions multiples surviennent simultanément. Les exceptions peuvent être groupées en fonction de leur apparition et de leur priorité. Les exceptions du groupe 0 concernent : initialisation, erreur bus et erreur adresse. Ces exceptions provoquent l'avortement de l'instruction en cours d'exécution, et le traitement d'exception démarre au prochain cycle mineur du processeur. Les exceptions du groupe 1 concernent les interruptions et le mode trace ainsi que les violations de privilège et les instructions invalides. Ces exceptions permettent à l'instruction en cours de s'exécuter complètement, et elles préparent l'exécution de l'instruction suivante en forçant le traitement d'exception à avoir lieu (les violations de privilège et les instructions invalides sont détectées lorsqu'elles constituent la prochaine instruction à exécuter). Les exceptions du groupe 2 font partie des instructions de traitement normal. Les exceptions TRAP, TRAPV, CHK et division par zéro appartiennent à ce groupe. Pour ces exceptions, l'exécution normale d'une instruction peut conduire à un traitement d'exception.

Les exceptions du groupe 0 ont la priorité la plus élevée, tandis que les exceptions du groupe 2 ont la priorité la plus basse. Dans le groupe 0, la mise à zéro (reset) a la priorité la plus élevée, suivie par erreur bus puis erreur adresse. Dans le groupe 1, trace est prioritaire sur les interruptions externes, qui sont à leur tour prioritaires sur les instructions invalides et les violations de privilège. Une seule instruction pouvant être exécutée à la fois, il n'y a pas de relation de priorité dans le groupe 2. La relation de priorité entre deux exceptions détermine laquelle est prise, ou prise la première si les conditions d'établissement surviennent pour les deux simultanément. Par conséquent, si une erreur bus survient au cours d'une instruction TRAP, l'erreur bus est prioritaire et l'exécution de l'instruction TRAP est avortée. Autre exemple, si une demande d'interruption survient pendant l'exécution d'une instruction lorsque le bit T est affirmé, l'exception trace est prioritaire et est traitée en premier. L'exception d'interruption sera traité avant que l'exécution des instructions se poursuive. Le traitement des instructions commence finalement dans le sous programme d'interruption. Un résumé des priorité et groupement des exceptions est donné dans le tableau 19.

TABLEAU 19 — PRIORITE ET GROUPEMENT DES EXCEPTIONS

Groupe	Exception	Traitement
0	Mise à zéro erreur bus erreur adresse	le traitement des exceptions commence au cycle mineur suivant
1	Trace Interruptions Invalide Privilégié	le traitement des exceptions commence avant l'instruction suivante
2	TRAP TRAPV CHK division par zéro	le traitement d'exception est démarré par l'exécution d'instruction normale

TRAITEMENT D'EXCEPTION, DISCUSSION DETAILLÉE.

Les exceptions ont plusieurs sources, et chaque exception a un traitement qui lui est particulier. Les paragraphes suivants détaillent les sources des exceptions, comment chacune survient, et comment chacune est traitée.

MISE A ZERO (RESET). L'entrée de mise à zéro (reset) fournit l'exception de plus haute priorité. Le traitement du signal de mise à zéro est conçu pour permettre l'initialisation du système, et le recouvrement après une panne. Tout traitement en cours au moment d'une mise à zéro est avorté et ne peut être recouvré. Le processeur est forcé dans l'état superviseur, et l'état trace est mis hors fonction. Le masque des interruptions processeur est mis au niveau sept. Le numéro de vecteur est généré de façon interne pour référencer le vecteur d'exception de mise à zéro à l'emplacement 0 de l'espace programme superviseur. Aucune supposition ne pouvant être faite sur la validité du contenu des registres, en particulier du pointeur de pile superviseur, ni le compteur programme, ni le registre d'état ne sont sauvegardés. L'adresse contenue dans les deux premiers mots du vecteur d'exception de mise à zéro est placée dans le pointeur de pile superviseur, et l'adresse dans les deux derniers mots du vecteur d'exception de mise à zéro est utilisée comme valeur initiale du compteur programme. Finalement, l'exécution d'instructions commence à l'adresse contenue dans le compteur programme. La valeur initiale du compteur programme doit pointer le programme de mise sous tension/initialisation.

L'instruction de mise à zéro (RESET) n'entraîne pas le chargement du vecteur, de mise à zéro, mais réalise l'affirmation de la ligne reset pour initialiser les circuits externes. Ceci permet au logiciel d'initialiser le système dans un état connu, puis de continuer le traitement avec l'instruction suivante.

INTERRUPTIONS. Sept niveaux d'interruptions prioritaires sont fournis. Des circuits peuvent être chaînés extérieurement sous niveaux d'interruption prioritaire, permettant à un nombre illimité de circuits périphériques d'interrompre le processeur.

Les niveaux de priorité des interruptions sont numérotés de un à sept, le niveau sept ayant la priorité la plus élevée. Le registre d'état contient un masque de trois bits qui indique la priorité en cours, et les interruptions sont inhibées pour tous les niveaux de priorité plus petits ou égaux au niveau de priorité actuel du processeur.

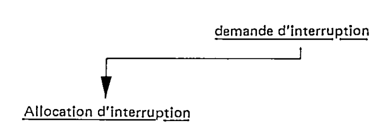
Une demande d'interruption est faite au processeur en codant le niveau de demande sur les lignes de demande d'interruption. Un zéro indique l'absence de demande. Les demandes d'interruption arrivant au processeur ne forcent pas un traitement d'exception immédiat, mais sont mises en attente. Les interruptions en attente sont détectées entre les exécutions d'instructions. Si la priorité de l'interruption en attente est inférieure ou égale à la priorité en cours, le traitement se poursuit avec l'instruction suivante et le traitement d'exception de l'interruption est différé. (la reconnaissance du niveau sept est un peu différente, comme expliqué dans un paragraphe suivant).

Si la priorité de l'interruption arrivante est supérieure à la priorité en cours, la séquence de traitement d'exception est lancée. Tout d'abord une copie du registre d'état est sauvegardée, et l'état privilégié passe dans l'état superviseur, le mode trace est supprimé et le processeur prend le niveau de l'interruption venant d'être reconnue. Le processeur recherche le numéro de vecteur du circuit interrompant, il classe la référence comme une reconnaissance d'interruption et il dispose le numéro du niveau de priorité de l'interruption venant d'être reconnue, sur le bus d'adresses. Si une logique externe requiert une vectorisation automatique, le processeur génère de manière interne un numéro de vecteur qui est déterminé par le numéro de niveau d'interruption. Si une logique externe indique une erreur bus, l'interruption est reconnue comme étant parasite et le numéro de vecteur généré référence le vecteur d'interruption parasite. Le processeur procède alors selon le traitement d'exception ordinaire, en sauvegardant le compteur programme et le registre d'état sur la pile superviseur. La valeur du compteur programme sauvegardée est l'adresse de l'instruction qui aurait été exécutée si l'interruption n'était pas survenue. Le contenu du vecteur interruption dont le numéro de vecteur était précédemment obtenu, est chargé dans le compteur programme, et l'exécution normale des instructions commence avec le sous-programme de traitement des interruptions.

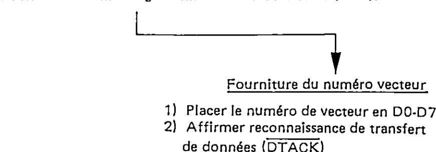
Un organigramme de la séquence de reconnaissance des interruptions est donné en figure 28 ; un chronogramme est donné en figure 29.

FIGURE 28 – ORGANIGRAMME DE SEQUENCE DE RECONNAISSANCE D'INTERRUPTION

PROCESSEUR | CIRCUIT INTERROMPANT



1) Comparer le niveau d'interruption dans le registre d'état et attendre l'exécution de l'instruction en cours
2) Placer le niveau d'interruption sur A1, A2 et A3
3) Etablir R/$\overline{W}$ en lecture
4) Etablir codes fonction en reconnaissance d'interruption
5) Affirmer échantillonnage d'adresse ($\overline{AS}$)
6) Affirmer échantillonnage données d'octet inférieur ($\overline{LDS}$).



Acquisition du numéro de vecteur

1) Echantillonnage/verrouillage du numéro de vecteur
2) Infirmer $\overline{LDS}$
3) Infirmer $\overline{AS}$

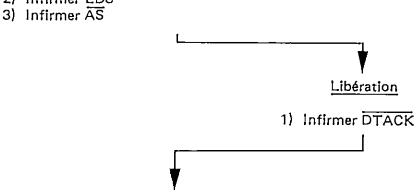
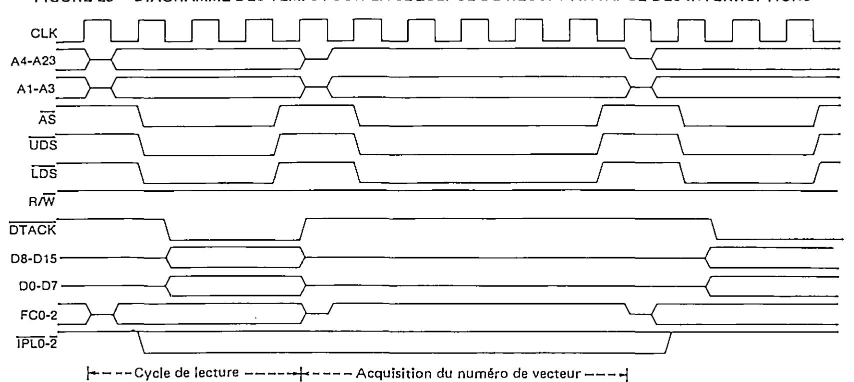


FIGURE 29 – DIAGRAMME DES TEMPS POUR LA SEQUENCE DE RECONNAISSANCE DES INTERRUPTIONS



Le niveau de priorité sept est un cas particulier. Les interruptions de niveau sept ne peuvent pas être inhibées par le masque des interruptions prioritaires, fournissant ainsi une interruption non-masquable. Une interruption est générée chaque fois que le niveau de demande d'interruption passe d'un niveau de priorité inférieur au niveau sept. Noter qu'une interruption de niveau sept peut toujours être provoquée par la comparaison des niveaux, si le niveau de demande est le niveau sept et si la priorité du processeur est mise à un niveau inférieur par une instruction.

INSTRUCTIONS TRAPPES. Les trappes sont des exceptions provoquées par des instructions. Elles surviennent soit à la suite de la reconnaissance par le processeur de conditions anormales au cours de l'exécution des instructions, soit de l'utilisation d'instructions dont le rôle est de générer un trappe.

Certaines instructions sont utilisées spécifiquement pour générer des trappes. L'instruction TRAP force toujours une exception et est très utile pour implémenter des appels système pour programme utilisateur. Les instructions TRAPV et CHK forcent une exception si le programme utilisateur détecte une erreur en cours d'exécution, qui peut être un dépassement arithmétique ou un indice hors des limites.

La division signée (DIVS) et la division non signée (DIVU) sont des instructions qui forcent une exception si une division par zéro est tentée.

INSTRUCTIONS INVALIDES ET NON IMPLÉMENTÉES. Le terme instruction invalide désigne une combinaison binaire qui ne correspond pas à la combinaison binaire du premier mot d'une instruction valide.

Si une telle instruction est rencontrée en cours d'exécution d'instructions, une exception d'instruction invalide se produit.

Les combinaisons binaires dont les bits 15 à 12 correspondent à 1010 ou 1111 se distinguent comme étant des instructions non implémentées et des vecteurs d'exception distincts leur sont attribués pour permettre une émulation efficace. Cette ressource permet au système d'exploitation de détecter des erreurs de programme, ou d'émuler des instructions non implémentées dans le logiciel.

VIOLATION DE PRIVILEGE. Afin d'assurer la sécurité du système, certaines instructions sont privilégiées. Une tentative d'exécution d'une instruction privilégiée alors que le système est en état utilisateur provoque une exception. Les instructions privilégiées sont :

STOP	AND (mot) immédiat avec SR
RESET	EOR (mot) immédiat avec SR
RTE	OR (mot) immédiat avec SR
MOVE to SR	MOVE USP

MODE TRACE. Pour aider au développement des programmes, le circuit EF68000 permet de tracer un programme instruction par instruction. En mode trace, une exception est forcée après l'exécution de chaque instruction, permettant à un programme de mise au point de contrôler l'exécution du programme testé.

Le mode trace utilise le bit T de la partie superviseur du registre d'état. Si le bit T est infirmé, le mode trace est inhibé, l'exécution des instructions se poursuit normalement instruction par instruction. Si le bit T est affirmé au début de l'exécution d'une instruction, une exception trace est générée à la fin de l'exécution de cette instruction. Si l'instruction n'est pas exécutée, soit parce qu'une interruption est prise en compte, soit parce que l'instruction est invalide ou privilégiée, l'exception trace n'a pas lieu. Elle n'apparaît pas non plus dans le cas où une instruction est avortée par une exception d'initialisation, erreur bus, ou erreur adresse.

Si l'instruction est vraiment exécutée et qu'une interruption est en attente de prise en compte, l'exception trace est traitée avant l'exception d'interruption. Si, en cours d'exécution de l'instruction, une exception est forcée par cette instruction, l'exception forcée est traitée avant l'exception trace.

Comme illustration extrême des règles ci-dessus, considérer l'arrivée d'une interruption pendant l'exécution d'une instruction TRAP, tandis que le mode trace est invalidé. L'exception trappe est d'abord traitée, puis l'exception trace, enfin l'exception interruption. L'exécution d'instruction se poursuit dans le sous-programme de traitement des interruptions.

ERREUR BUS. Les exceptions erreur bus surviennent lorsque une logique externe requiert qu'une erreur bus soit traitée par une exception. Le cycle bus en cours, réalisé par le processeur, est avorté. Si le processeur exécutait une instruction ou traitait une exception, ce traitement est terminé, et le processeur commence immédiatement le traitement d'exception.

Le traitement d'exception d'erreur bus suit la séquence habituelle. Le registre d'état est copié, l'état superviseur est établi, et le mode trace est inhibé. Le numéro de vecteur est généré pour référer au vecteur erreur bus. Le processeur n'étant pas entre deux instructions lorsque la demande d'exception erreur bus est faite, le contexte du processeur est plus détaillé. Pour sauvegarder davantage de ce contexte, des informations supplémentaires sont sauvegardées sur la pile superviseur. Le compteur programme et la copie du registre d'état sont bien entendu sauvegardés. La valeur sauvegardée du compteur programme est augmentée de deux à dix octets par rapport à l'adresse du premier mot de l'instruction qui a fait la référence provoquant l'erreur bus. Si l'erreur bus est survenue pendant la recherche de l'instruction suivante, le compteur programme sauvegardé a une valeur voisine de l'instruction en cours, même si cette instruction est une instruction de branchement, de branchement inconditionnel, ou une instruction de retour. En plus des informations habituelles, le processeur sauvegarde sa copie interne du premier mot de l'instruction venant d'être traitée, et l'adresse qui a été accédée par le cycle bus avorté. Des informations spécifiques concernant l'accès sont aussi sauvegardées, indiquant si le processeur était en lecture ou en écriture, s'il était ou non en train d'exécuter une instruction. La valeur placée sur les sorties codes fonction quand l'erreur bus est survenue est sauvegardée. Le processeur traite une instruction s'il est dans l'état normal ou en train de traiter une exception de groupe 2. Le processeur ne traite pas une instruction s'il traite une exception de groupe 0 ou de groupe 1. La figure 30 illustre comment ces informations sont organisées sur la pile superviseur.

FIGURE 30 — COMMANDE PILE SUPERVISEUR

	15 14 13 12 11 10 9 8 7 6 5	4	3	2 1 0
adresse basse		R/$\overline{W}$	I/N	code fonction
adresse accédée	Haut			
	Bas			
	Registre instruction			
	Registre d'état			
compteur programme	Haut			
	Bas			

R/$\overline{W}$ (lecture/écriture) écriture = 0, lecture = 1 I/N (instruction/pas) : instruction = 0, pas = 1

Quoique ces informations ne soient pas suffisantes en général pour recouvrer l'ensemble du contexte depuis l'erreur bus, elles permettent réellement un diagnostic logiciel. Finalement, le processeur commence le traitement d'instruction à l'adresse contenue dans le vecteur, le sous-programme de traitement d'erreur bus a la responsabilité de mise en ordre de la pile et de détermination du point de reprise d'exécution du programme.

Si une erreur bus survient au cours du traitement d'exception d'erreur bus, d'erreur adresse ou d'initialisation, le processeur est arrêté, et tout traitement cesse. Ceci simplifie la détection de pannes du système, le processeur se retirant lui même du système plutôt que de détruire tous les contenus mémoire, seule la broche RESET peut redémarrer un processeur arrêté.

ERREUR ADRESSE. Les exceptions d'erreur adresse surviennent lorsque le processeur tente d'accéder un opérande dont la longueur est un mot simple ou double, ou une instruction à une adresse impaire. L'effet est voisin d'une erreur bus générée de façon interne, de telle sorte que le cycle bus est avorté, et que le processeur cesse le traitement en cours quelque soit ce traitement, et commence un traitement d'exception. Une fois que le traitement d'exception a commencé, la séquence est identique à celle d'une erreur bus, y compris les informations qui sont sauvegardées, à l'exception du numéro de vecteur qui fait référence au vecteur d'erreur adresse. De la même façon, si une erreur d'adresse survient pendant le traitement d'exception d'une erreur bus, erreur adresse, ou d'initialisation, le processeur est arrêté.

INTERFACE AVEC LES PERIPHERIQUES EF6800

La famille des périphériques EFCIS EF6800 est directement compatible avec le circuit EF68000.

Les plus utilisés d'entre eux sont :

EF6821	Adapteur d'interface périphérique (PIA)
EF6840	Module temporisateur programmable (PTM)
EF6843	Contrôleur de disque souple (FDC)
EF6845	Contrôleur de visualisation sur écran (CRTC)
EF6850	Adaptateur d'interface de communication asynchrone (ACIA)
EF6852	Interface adapteur pour communications série synchrone (SSDA)
EF6854	Contrôleur de communications avancé (ADLC)
EF68488	Interface adapteur au bus GPIB (HP)

Pour interfacer les périphériques synchrones EF6800 avec le circuit asynchrone EF68000, le processeur modifie son cycle bus pour satisfaire aux exigences du cycle EF6800 chaque fois qu'une adresse du circuit EF6800 est détectée. Ceci est possible car les deux processeurs utilisent des E/S en configuration mémoire. La figure 31 montre l'organigramme de fonctionnement de l'interface entre le processeur et les circuits EF6800.

OPERATION DE TRANSFERT DES DONNEES.
Trois signaux du processeur fournissent l'interface du circuit EF6800. Ce sont les signaux : validation (E), validation adresse mémoire ($\overline{VMA}$), et validation adresse périphérique ($\overline{VPA}$). La figure 32 montre le diagramme des temps requis par les périphériques EF6800, celui du circuit EF6800, et celui du circuit EF68000.
Pour plus de détails sur le chronogramme des périphériques consulter les fiches techniques d'EFCIS.
Remarquer que le signal $\overline{VMA}$ du circuit EF68000 est actif à l'état bas, contrairement au signal $\overline{VMA}$ du circuit EF6800 actif à l'état haut. Ceci permet au processeur de placer ses bus à l'état haute impédance sur des demandes de $\overline{DMA}$ sans sélectionner par erreur des périphériques.

Le signal validation correspond au signal E ou $\phi 2$ des systèmes EF6800 existants. La synchronisation des transferts de données est faite par l'horloge bus utilisée par les périphériques EF6800. Le signal de validation est une horloge à fréquence fixe égale au dixième de la fréquence d'horloge en entrée du circuit EF68000. Le diagramme des temps de E permet d'utiliser des périphériques 1 MHz avec un circuit EF68000 à 8 MHz. Le signal E a un rapport cyclique de 60/40 ; c'est à dire qu'il est à l'état bas pour six périodes d'horloge d'entrée et à l'état haut pour quatre périodes d'horloge. Ce rapport cyclique permet au processeur de réaliser deux accès successifs VPA sur des impulsions E successives.

FIGURE 31 - ORGANIGRAMME D'INTERFACE DU CIRCUIT EF6800

PROCESSEUR — ESCLAVE

Initialisation du cycle

1) Le processeur démarre un cycle normal de lecture ou d'écriture



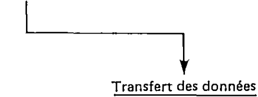
Définition

1) La circuiterie externe affirme le signal de validation d'adresse périphérique



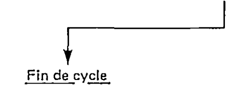
Synchronisation avec entrée horloge (Enable)

1) Le processeur contrôle le signal (E) jusqu'à ce qu'il soit à l'état bas (phase 1)
2) Le processeur affirme le signal de validation d'adresse mémoire ($\overline{VMA}$)



Transfert des données

1) Le périphérique attend jusqu'à ce que le signal E soit actif puis transfère les données



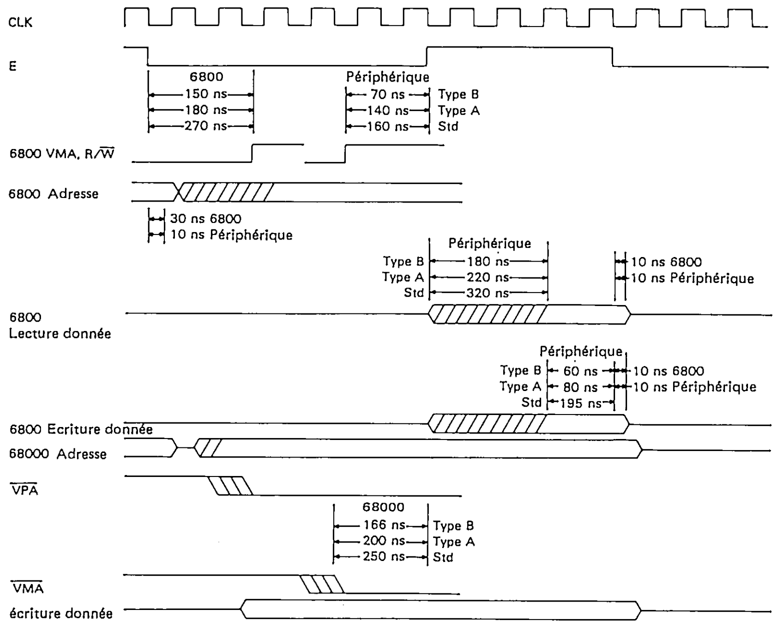
Fin de cycle

1) Le processeur attend jusqu'à ce que le signal E passe à l'état bas (sur un cycle lecture, les données sont mémorisées/verrouillées lorsque E passe à l'état bas de façon interne)
2) Le processeur infirme $\overline{VMA}$
3) Le processeur infirme $\overline{AS}$, $\overline{UDS}$ et $\overline{LDS}$

Départ cycle suivant



FIGURE 32 — DIAGRAMME DES TEMPS SUR L'UTILISATION DE PERIPHERIQUES EF6800 AVEC LE CIRCUIT EF68000



NOTE : Les temps sont donnés pour différentes fréquences d'horloge

Fréq. horl.	F-TYPE
2.0 MHz	B
1.5 MHz	A
1.0 MHz	Std

Temps de déplacement supplémentaire

F-TYPE	6800	68000
B	30 ns	96 ns
A	14 ns	60 ns
Std	70 ns	90 ns

L'entrée $\overline{VPA}$ signale au processeur que l'adresse sur le bus est l'adresse d'un circuit EF6800 (ou un espace réservé aux circuits EF6800) et que le bus doit se conformer aux caractéristiques de transfert ϕ 2 du bus EF6800. Le signal validation d'adresse périphérique est obtenu par décodage du bus adresse et est conditionné par le signal d'échantillonnage d'adresse.

Comme conséquence de la réception de $\overline{VPA}$, le processeur établit $\overline{VMA}$ avec une synchronisation appropriée lorsque E est à l'état bas. La validation d'adresse mémoire est utilisée dans l'équation de sélection du boîtier périphérique. Ceci assure la sélection et la désélection des périphériques à un instant correct.

Comme il est montré, les temps d'établissement et de maintien fournis par le circuit EF68000 sont meilleurs qu'il n'est nécessaire. Le temps de déplacement supplémentaire est le retard qui peut être admis sur la ligne $\overline{VMA}$. Il est défini comme étant la différence entre le temps d'établissement de $\overline{VMA}$ fourni par le processeur et celui requis par le périphérique.

TRAITEMENT DES INTERRUPTIONS

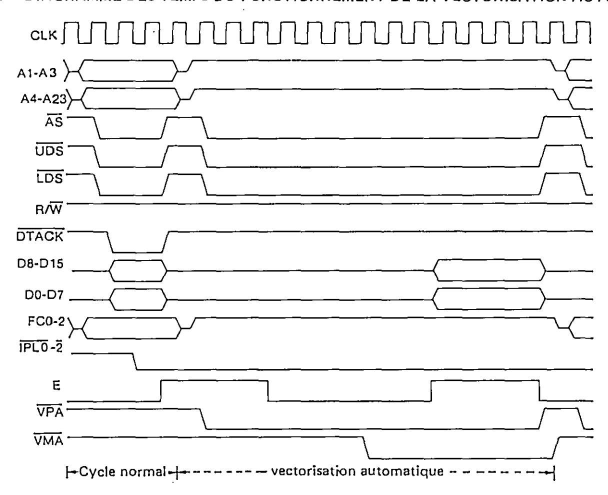
Au cours d'un cycle de reconnaissance d'interruption, lorsque le processeur va chercher le vecteur, si $\overline{VPA}$ est affirmé, le circuit EF68000 affirme $\overline{VMA}$ et complète un cycle lecture EF6800 normal, comme indiqué en figure 33. Le processeur utilise alors un vecteur généré de manière interne qui est fonction de l'interruption prise en compte. Ce procédé est connu sous le terme vectorisation automatique. Les sept "autovecteurs" sont des numéros de vecteurs allant de 25 à 31 (décimal).

Ceci se passe de la même manière (mais sans que ce soit restrictif) que pour la séquence d'interruption du circuit EF6800. La différence de base réside dans le fait qu'il y a six vecteurs d'interruption normaux et un vecteur de type NMI. Les sous-programmes d'interruption peuvent être mis n'importe où dans l'espace mémoire.

Ceci est du au fait que lorsque les numéros de vecteurs sont fixés, les contenus de la table vecteur sont attribués par l'utilisateur.

Le signal $\overline{VMA}$ étant affirmé pendant la vectorisation automatique, le décodage d'adresse périphérique EF6800 doit empêcher les accès non voulus.

FIGURE 33 – DIAGRAMME DES TEMPS DU FONCTIONNEMENT DE LA VECTORISATION AUTOMATIQUE



JEU D'INSTRUCTIONS

Les paragraphes suivants apportent des informations concernant les catégories d'adressage et jeu d'instructions du circuit EF68000.

CATEGORIES D'ADRESSAGE

Les modes d'adressage effectif peuvent être groupés selon leurs utilisations. Les classifications suivantes sont utilisées dans les définitions des instructions.

Données — Si un mode d'adressage effectif peut être utilisé pour adresser des opérandes données, il est considéré comme un mode d'adressage données effectif.

Mémoire — Si un mode d'adressage effectif peut être utilisé pour adresser des opérandes en mémoire, il est considéré comme un mode d'adressage mémoire effectif.

Modifiable — Si un mode d'adressage effectif peut être utilisé pour adresser des opérandes modifiables (par écriture), il est considéré comme un mode d'adressage modifiable effectif.

Commande — Si un mode d'adressage effectif peut être utilisé pour adresser des opérandes mémoire sans format associé, il est considéré comme un mode d'adressage commande effectif.

Le tableau 20 montre les différentes catégories auxquelles chacun des modes d'adressage effectif appartient. Le tableau 21 est un résumé du jeu d'instructions.

Le mode d'adressage registre d'état n'est pas autorisé, sauf s'il est explicitement mentionné comme mode d'adressage autorisé.

Ces catégories peuvent être combinées, de sorte que des classifications complémentaires, plus restrictives puissent être définies. Par exemple, les descriptions des instructions utilisent de telles classifications comme modifiable mémoire ou modifiable données. Le premier s'adresse aux modes d'adressage qui sont à la fois modifiables et d'adresses mémoire, et le dernier s'adresse aux modes d'adressage qui sont à la fois données et modifiables.

TABLEAU 20 – CATEGORIES DES MODES D'ADRESSAGE EFFECTIF

Modes d'adressage effectif	Mode	Registre	Catégories d'adressage			
			Données	Mémoire	Commande	Modifiable
Dn	000	numéro de registre	X			X
An	001	numéro de registre				X
An@	010	numéro de registre	X	X	X	X
An@+	011	numéro de registre	X	X		X
An@ –	100	numéro de registre	X	X		X
An@(d)	101	numéro de registre	X	X	X	X
An@(d, ix)	110	numéro de registre	X	X	X	X
xxxW	111	000	X	X	X	X
xxxL	111	001	X	X	X	X
PC@(d)	111	010	X	X	X	
PC@(d, ix)	111	011	X	X	X	
# xxx	111	100	X	X		

TABLEAU 21 – JEU D'INSTRUCTION

Mnémo-nique	Description	Fonctionnement	Codes condition X	N	Z	V	C
ABCD	Addition décimale étendue	$(Destination)_{10}$ + $(Source)_{10}$ → Destination	*	U	*	U	*
ADD	Addition binaire	(Destination) + (Source) → Destination	*	*	*	*	*
ADDA	Addition d'adresse	(Destination) + (Source) → Destination	—	—	—	—	—
ADDI	Addition immédiate	(Destination) + données immédiates → Destination	*	*	*	*	*
ADDQ	Addition rapide	(Destination) + données immédiates → Destination	*	*	*	*	*
ADDX	Addition étendue	(Destination) + (Source) + X → Destination	*	*	*	*	*
AND	ET logique	(Destination) Λ (Source) → Destination	—	*	*	0	0
ANDI	ET immédiat	(Destination) Λ données immédiates → Destination	—	*	*	0	0
ASL, ASR	Décalage arithmétique	(Destination) décalé par <compte> → Destination	*	*	*	*	*
Bcc	Branchement conditionnel	Si CC alors PC + d → PC	—	—	—	—	—
BCHG	Test de bit et changement	~ (<numéro de bit>) de destination → Z ~ (<numéro de bit>) de destination ~ <numéro de bit> de destination	—	—	*	—	—
BCLR	Test de bit et mise à zéro	~ (<numéro de bit>) de destination → Z 0 → <numéro de bit> → de destination	—	—	*	—	—
BRA	Branchement inconditionnel	PC + d → PC	—	—	—	—	—
BSET	Test de bit et mise à un	~ (<numéro de bit>) de destination → Z 1 → <numéro de bit> de destination	—	—	*	—	—
BSR	Branchement à un sous-prog.	PC → SP@–; PC + d → PC	—	—	—	—	—
BTST	Test de bit	~ (<numéro de bit>) de destination → Z	—	—	*	—	—
CHK	Test registre aux limites	Si Dn <0 ou Dn > (<ea>) alors TRAP	—	*	U	U	U
CLR	Mise à zéro de l'opérande	0 → Destination	—	0	1	0	0
CMP	Comparaison	(Destination) – (Source)	—	*	*	*	*
CMPA	Comparaison d'adresse	(Destination) – (Source)	—	*	*	*	*
CMPI	Comparaison immédiate	(Destination) – Données immédiates	—	*	*	*	*
CMPM	Comparaison mémoire	(Destination) – Source	—	*	*	*	*
DBcc	Test condition, décrémentation et branchement	Si ~CC alors Dn – 1 → Dn ; si Du = – 1 alors PC + d → PC	—	—	—	—	—
DIVS	Division signée	(Destination) / (Source) → Destination	—	*	*	*	0
DIVU	Division non signée	(Destination) / (Source) → Destination	—	*	*	*	0
EOR	OU exclusif logique	(Destination) ⊕ (Source) → Destination	—	*	*	0	0
EORI	OU exclusif immédiat	(Destination) ⊕ Données immédiates → Destination	—	*	*	0	0
EXG	Echange de registres	Rx ↔ Ry	—	—	—	—	—
EXT	Extension de signe	(Destination) signe étendu → Destination	—	*	*	0	0
JMP	Saut inconditionnel	Destination → PC	—	—	—	—	—
JSR	Saut à un sous-programme	PC → SP@– ; Destination → PC	—	—	—	—	—
LEA	Chargement adresse effective	Destination → An	—	—	—	—	—
LINK	Chaînage de pile	An → SP@– ; SP → An ; SP + d → SP	—	—	—	—	—
LSL, LSR	Décal. logique gauche/droite	(Destination) décalé de <compte> → Destination	*	*	*	0	*
MOVE	Transfert de données de source à destination	(Source) → Destination	—	*	*	0	0
MOVE → CCR	Transfert vers CCR	(Source) → CCR	*	*	*	*	*
MOVE → SR	Transfert vers registre d'état	(Source) → SR	*	*	*	*	*

* affecté 0 mis à zéro U indéfini
— non affecté 1 mis à un

TABLEAU 21 – JEU D'INSTRUCTION

Mnémonique	Description	Fonctionnement	X	N	Z	V	C
			Codes condition				
MOVE depuis SR	Transfert du registre d'état	SR → Destination	—	—	—	—	—
MOVE USP	Transf. pointeur de pile utilisateur	USP → An ; An → USP	—	—	—	—	—
MOVEA	Transfert adresse	(Source) → Destination	—	—	—	—	—
MOVEM	Transfert registres multiples	Registres → Destination (Source) → Registres	—	—	—	—	—
MOVEP	Transfert données périphériques	(Source) → Destination	—	—	—	—	—
MOVEQ	Transfert rapide	Données immédiates → Destination	—	•	•	0	0
MULS	Multiplication signée	(Destination) * (Source) → Destination	—	•	•	0	0
MULU	Multiplication non signée	(Destination) * (Source) → Destination	—	•	•	0	0
NBCD	Prendre l'opposé décimal étendu	0 – $(Destination)_{10}$ – X → Destination	•	U	•	U	•
NEG	Complémentation à 2	0 – (Destination) → Destination	•	•	•	•	•
NEGX	Complémentation à 2 étendue	0 – (Destination) – X → Destination	•	•	•	•	•
NOP	Non opération		—	—	—	—	—
NOT	Complément logique	~ (Destination) → Destination	—	•	•	0	0
OR	OU logique inclusif	(Destination) v (Source) → Destination	—	•	•	0	0
ORI	OU logique immédiat	(Destination) v données immédiates → Destination	—	•	•	0	0
PEA	Empilement adresse effective	Destination → SP@–	—	—	—	—	—
RESET	Mise à zéro des circuits externes		—	—	—	—	—
ROL, ROR	Décalage circulaire non étendu	(Destination) décalé de <compte> → Destination	—	•	•	0	•
ROXL, ROXR	Décalage circulaire étendu	(Destination) décalé de <compte> → Destination	•	•	•	0	•
RTE	Retour d'exception	SP@+ → SR ; SP@+ → PC	•	•	•	•	•
RTR	Retour et restaure codes condition	SP@+ → CC ; SP@+ → PC	•	•	•	•	•
RTS	Retour de sous-programme	SP@+ →	—	—	—	—	—
SBCD	Soustraction décimale étendue	$(Destination)_{10}$ – $(Source)_{10}$ – X → Destination	•	U	•	U	•
Scc	Mise à un conditionnelle	Si CC vrai alors 1 dans la destination Si CC faux alors 0 dans la destination	—	—	—	—	—
STOP	Chargement registre d'état et suspension d'exécution du prog.	Données immédiates SR ; STOP	•	•	•	•	•
SUB	Soustraction	(Destination) – (Source) → Destination	•	•	•	•	•
SUBA	Soustraction	(Destination) – (Source) → Destination	—	—	—	—	—
SUBI	Soustraction immédiate	(Destination) – (Données immédiates) → Destination	•	•	•	•	•
SUBQ	Soustraction rapide	(Destination) – Données immédiates → Destination	•	•	•	•	•
SUBX	Soustraction étendue	(Destination) – (Source) – X → Destination	•	•	•	•	•
SWAP	Echanger les moitiés de registre	Registre [31 : 16] ↔ [15 : 0]	—	•	•	0	0
TAS	Test opér. et établ. d'1 indicateur	(Destination) testée → CC ; 1 → [7] OF Destination	—	•	•	0	0
TRAP	Trappe	PC → SSP@– ; SR → SSP@– ; (Vecteur) → PC	—	—	—	—	—
TRAPV	Trappe sur dépassement	Si V alors TRAP	—	—	—	—	—
TST	Test d'un opérande	(Destination) testé → CC	—	•	•	0	0
UNLK	Rupture du lien	AN → SP ; SP@+ → An	—	—	—	—	—

[ ] = numéro du bit

TEMPS D'EXECUTION DES INSTRUCTIONS

Les paragraphes suivants contiennent les listes des temps d'exécution en termes de nombre de cycles internes requis pour l'exécution d'une instruction. Un cycle interne est égal à deux cycles de l'entrée horloge du processeur. On suppose aussi que la période d'un cycle mémoire n'est pas supérieur à quatre cycles d'entrée horloge du processeur pour empêcher l'introduction d'états d'attente dans le cycle bus.

Ces temps d'exécution concernent l'instruction complète, y compris les recherches des opérandes, les écritures des opérandes et les lectures des instructions.

TEMPS DE CALCUL DE L'ADRESSE EFFECTIVE D'UN OPERANDE

Le tableau 22 donne le temps global requis pour le calcul de l'adresse effective d'un opérande. Le temps inclut la recherche de tous les mots d'extension, le calcul d'adresse, et la recherche de l'opérande en mémoire.

TEMPS D'EXECUTION DES INSTRUCTIONS DE TRANSFERT (MOVE)

Les tableaux 23 et 24 donnent les temps d'exécution de l'instruction de transfert (MOVE). Ces temps d'exécution concernent l'instruction entière et incluent les lectures opérandes ainsi que les écritures, et les lectures instruction.

TABLEAU 22 – TEMPS DE CALCUL DE L'ADRESSE EFFECTIVE D'UN OPERANDE

Mode d'adressage		TEMPS octet, mot	TEMPS mot long.
	Registre		
Dn	Registre données direct	0	0
An	Registre adresse direct	0	0
	Mémoire		
An@	Registre adresse indirect	2	4
An@+	Registre adresse indirect avec postincrément	2	4
An@-	Registre adresse indirect avec prédécrément	3	5
An@(d)	Registre adresse indirect avec déplacement	4	6
An@(d, ix)	Registre adresse indirect avec index	5	7
xxx.W	Absolu court	4	6
xxx.L	Absolu long	6	8
PC@(d)	Compteur programme avec déplacement	4	6
PC@(d, ix)	Programme compteur avec index	5	7
#xxx	Immédiat	2	4

TABLEAU 23 – TEMPS D'EXECUTION DE L'INSTRUCTION DE TRANSFERT (MOVE) SUR OCTET ET SUR MOT

Source	Destination							
	Dn	An	An@	An@+	An@-	An@(d)	An@(d, ix)	xxx.W	xxx.L
Dn	2	2	4	4	4	6	7	6	8
An	2	2	4	4	4	6	7	6	8
An@	4	4	6	6	6	8	9	8	10
An@+	4	4	6	6	6	8	9	8	10
An@-	5	5	7	7	7	9	10	9	11
An@(d)	6	6	8	8	8	10	11	10	12
An@(d, ix)	7	7	9	9	9	11	12	11	13
xxx.W	6	6	8	8	8	10	11	10	12
xxx.L	8	8	10	10	10	12	13	12	14
PC@(d)	6	6	8	8	8	10	11	10	12
PC@(d, ix)	7	7	9	9	9	11	12	11	13
#xxx	4	4	6	6	6	8	9	8	10

Les instructions de transfert (MOVE) sur octet et sur mot nécessitent chacune un accès mémoire pour la lecture et pour l'écriture de l'opérande.

TABLEAU 24 – TEMPS D'EXECUTION DES INSTRUCTIONS DE TRANSFERT SUR MOT LONG

Source	Destination								
	Dn	An	An@	An@+	An@-	An@(d)	An@(d, ix)	xxx.w	xxx.L
Dn	2	2	6	6	6	8	9	8	10
An	2	2	6	6	6	8	9	8	10
An@	6	6	10	10	10	12	13	12	14
An@+	6	6	10	10	10	12	13	12	14
An@-	7	7	11	11	11	13	14	13	15
An@(d)	8	8	12	12	12	14	15	14	16
An@(d, ix)	9	9	13	13	13	15	16	15	17
xxx.W	8	8	12	12	12	14	15	14	16
xxx.L	10	10	14	14	14	16	17	16	18
PC@(d)	8	8	12	12	12	14	15	14	16
PC@(d, ix)	9	9	13	13	13	15	16	15	17
#xxx	6	6	10	10	10	12	13	12	14

Note : L'instruction de transfert (MOVE) sur mot long nécessite 2 accès mémoire pour la lecture de l'opérande et aussi pour l'écriture de l'opérande.

TEMPS D'EXECUTION D'UNE INSTRUCTION STANDARD

Les temps montrés, tableau 25, incluent le temps de réaliser l'opération, mémoriser les résultats et lire l'instruction suivante. Le temps de calcul d'adresse et de recherche de l'adresse effective doit être ajouté lorsqu'il est indiqué. Dans le tableau 25, les "en-tête" ont les significations suivantes : A = opérande registre adresse, D = opérande registre données, E = un opérande spécifié par une adresse effective, et M = opérande mémoire.

TEMPS D'EXECUTION D'UNE INSTRUCTION IMMEDIATE

Les temps montrés au tableau 26 incluent le temps de recherche des opérandes immédiats, de réalisation des opérations, de mémorisation des résultats, et de lecture de l'opération suivante. Dans le tableau 26, les rubriques ont les significations suivantes : D = opérande de registre données, I = opérande immédiat, M = opérande de mémoire, SR = registre d'état.

TABLEAU 25 – TEMPS D'EXECUTION DES INSTRUCTIONS STANDARDS

Instruction	Taille	A op E →A	D op E →D	M op D →M
ADD	octet, mot mot long	4+ 3#+	2+ 3#+	4+ 6+
AND	octet, mot mot long	— —	2+ 3#+	4+ 6+
CMP	octet, mot mot long	3+ 3+	2+ 3+	— —
DIVS	—	—	79+*	—
DIVU	—	—	70+*	—
EOR	octet, mot mot long	— —	2 3#	4+ 5+
MULS	—	—	35+*	—
MULU	—	—	35+*	—
OR	octet, mot mot long	— —	2+ 3#+	4+ 6+
SUB	octet, mot mot long	4+ 3#+	2+ 3#+	4+ 6+

+ ajouter le temps de calcul de l'adresse effective
4 si l'adresse effective est registre direct
* indique la valeur maximale.

TABLEAU 26 – TEMPS D'EXECUTION DES INSTRUCTIONS IMMEDIATES

Instruction	Taille	D op I →D	M op I →M	SR op I →SR
ADDI	octet, mot mot long	4 8	6+ 10+	— —
ADDQ	octet, mot mot long	2 4	4+ 6+	— —
ANDI	octet, mot mot long	4 8	6+ 10+	10 —
CMPI	octet, mot mot long	4 7	4+ 6+	— —
EORI	octet, mot mot long	4 8	6+ 10+	10 —
MOVEQ	mot long	2	—	—
ORI	octet, mot mot long	4 8	6+ 10+	10 —
SUBI	octet, mot mot long	4 8	6+ 10+	— —
SUBQ	octet, mot mot long	2 4	4+ 6+	— —

+ ajouter le temps de calcul de l'adresse effective.

TEMPS D'EXECUTION DES INSTRUCTIONS SIMPLE OPERANDE

(voir tableau 27).

TABLEAU 27 – TEMPS D'EXECUTION DES INSTRUCTIONS SIMPLE OPERANDE

Instruction	Taille	Registre	Mémoire
CLR	octet, mot mot long	2 3	4+ 6+
NBCD	octet	3	4+
NEG	octet, motl mot long	2 3	4+ 6+
NEGX	octet, mot mot long	2 3	4+ 6+
NOT	octet, mot mot long	2 3	4+ 6+
Scc	octet, faux octet, vrai	2 3	4+ 4+
TAS	octet	2	5+
TST	octet, mot mot long	2 2	2+ 2+

\+ ajouter le temps de calcul de l'adresse effective.

TEMPS D'EXECUTION DES INSTRUCTIONS DE DÉCALAGE ET DE ROTATION

(Voir tableau 28)

TABLEAU 28 – TEMPS D'EXECUTION DES INSTRUCTIONS DE DECALAGE ET DE ROTATION

Instruction	Taille	Registre *	Mémoire
ASR, ASL	octet, mot mot long	3 + n 4 + n	4+ —
LSR, LSL	octet, mot mot long	3 + n 4 + n	4+ —
ROR, ROL	octet, mot mot long	3 + n 4 + n	4+ —
ROXR, ROXL	octet, mot mot long	3 + n 4 + n	4+ —

\+ ajouter le temps de calcul de l'adresse effective.
*n = nombre de décalages

TEMPS D'EXECUTION DES INSTRUCTIONS DE MANIPULATION SUR LES BITS.

(Voir tableau 29)

TABLEAU 29 – TEMPS D'EXECUTION DES INSTRUCTIONS SUR BIT

Instruction	Taille	Dynamique		Statique	
		registre	mémoire	registre	mémoire
BCHG	mot	—	4+	—	6+
	mot long	4*	—	6*	—
BCLR	mot	—	4+	—	6+
	mot long	5*	—	7*	—
BSET	mot	—	4+	—	6+
	mot long	4*	—	6*	—
BTST	mot	—	2+	—	4+
	mot long	3	—	5	—

\+ ajouter le temps de calcul de l'adresse effective
* indique la valeur maximale

TEMPS D'EXECUTION DES INSTRUCTIONS CONDITIONNELLES

(voir tableau 30)

TABLEAU 30 – TEMPS D'EXECUTION DES INSTRUCTIONS CONDITIONNELLES

Instruction	Déplacement	(TRAP)	(No TRAP)
Bcc	octet mot	5 5	4 6
BRA	octet mot	5 5	— —
BSR	octet mot	9 9	— —
DBcc	—	5	7
CHK	—	19*+	4+
TRAP	—	16	—
TRAPV	—	16	2

\+ ajouter le temps de calcul de l'adresse effective.
* indique la valeur maximale.

TEMPS D'EXECUTION DES INSTRUCTIONS JMP, JSR, LEA, PEA, MOVEM

(Voir tableau 31)

TABLEAU 31 — TEMPS D'EXECUTION DES INSTRUCTIONS JMP, JSR, LEA, PEA, MOVEM

Instruction	Taille	An@	An@+	An@-	An@(d)	An@(d, ix)	xxx.W	xxx.L	PC@(d)	PC@(d, ix)
JMP	—	4	—	—	5	7	5	6	5	7
JSR	—	8	—	—	9	11	9	10	9	11
LEA	—	2	—	—	4	6	4	6	4	6
MOVEM	mot	6 + 2n	6 + 2n	—	8 + 2n	9 + 2n	8 + 2n	10 + 2n	8 + 2n	9 + 2n
M → R	long	6 + 4n	6 + 4n	—	8 + 4n	9 + 4n	8 + 4n	10 + 4n	8 + 4n	9 + 4n
MOVEM	mot	4 + 2n	—	4 + 2n	6 + 2n	7 + 2n	6 + 2n	8 + 2n	—	—
R → M	long	4 + 4n	—	4 + 4n	6 + 4n	7 + 4n	6 + 4n	8 + 4n	—	—
PEA		6	—	—	8	9	8	10	8	9

n : nombre de registres à transférer.

TEMPS D'EXECUTION DES EXCEPTIONS

(Voir tableau 32).

Ces temps comprennent l'empilement automatique, la recherche du vecteur et la recherche de la première instruction du programme de traitement.

TABLEAU 32 — TEMPS D'EXECUTION DES EXCEPTIONS

Exception	Tps
Erreur adresse	24
Erreur bus	24
Interruption	21*
Instruction illégale	16
Instruction privilégiée	16
Trace	16

* on suppose que la reconnaissance d'interruption prend 2 cycles

TEMPS D'EXECUTION D'INSTRUCTIONS MULTI-PRECISION

(Voir tableau 33).

Ces temps comprennent le temps nécessaire pour rechercher les 2 opérandes, pour réaliser les opérations, ranger les résultats et lire les instructions suivantes.

TABLEAU 33 — TEMPS D'EXECUTION D'INSTRUCTION MULTI-PRECISION

Instruction	Taille	D op D → D	M op M → M
ADDX	octet, mot mot long	2 4	9 15
CMPM	octet, mot mot long	— —	6 10
SUBX	octet, mot mot long	2 4	9 15
ABCD	octet	3	9
SBCD	octet	3	9

TEMPS D'EXECUTION D'INSTRUCTIONS SPECIALES

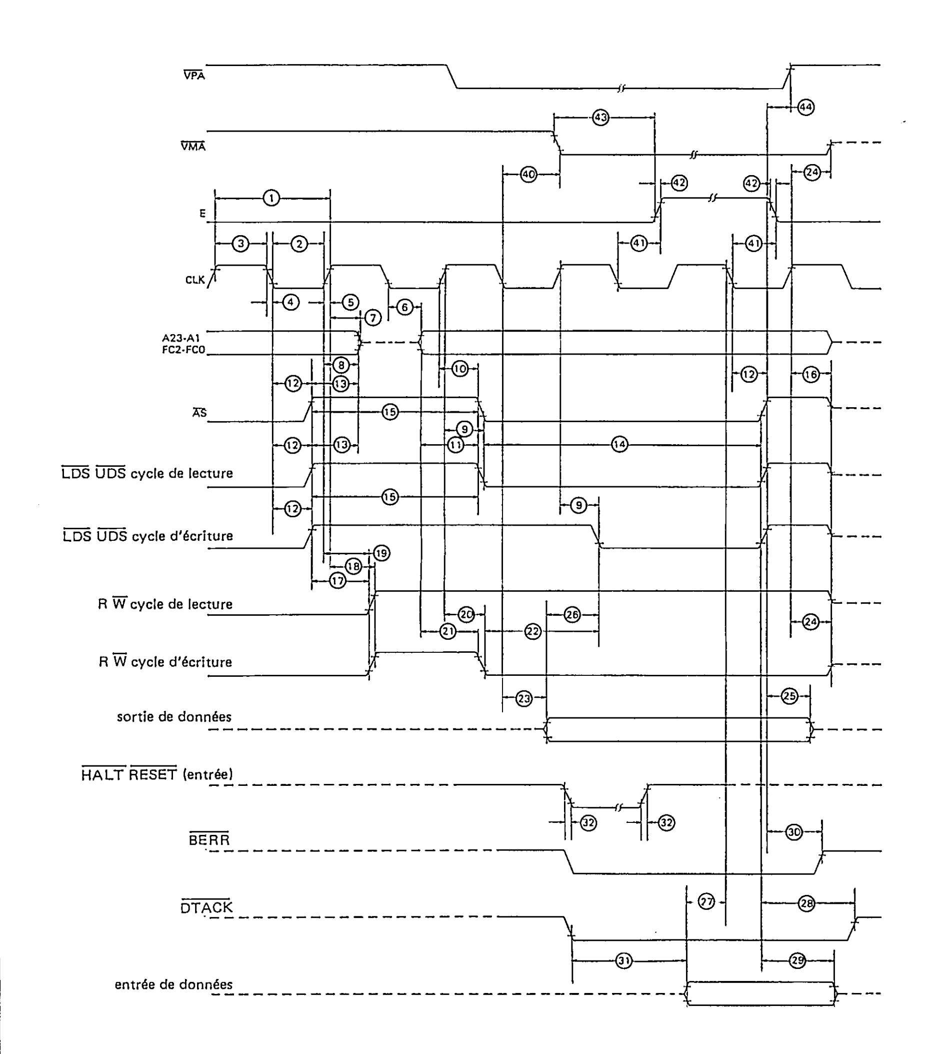
(Voir tableau 34).

TABLEAU 34 - TEMPS D'EXECUTION D'INSTRUCTIONS SPECIALES

Instruction	Taille	Reg.	Mem.	Reg. → Mem.	Mem. → Reg.
MOVE de SR	—	3	4+	—	—
MOVE vers CCR	—	6	6+	—	—
MOVE vers SR	—	6	6+	—	—
MOVEP	mot	—	—	8	8
	long	—	—	12	12
EXG	—	3	—	—	—
EXT	mot	2	—	—	—
	long	2	—	—	—
LINK	—	8	—	—	—
MOVE de USP	—	2	—	—	—
MOVE vers USP	—	2	—	—	—
NOP	—	2	—	—	—
RESET	—	66	—	—	—
RTE	—	10	—	—	—
RTR	—	10	—	—	—
RTS	—	8	—	—	—
STOP	—	2	—	—	—
SWAP	—	2	—	—	—
UNLK	—	6	—	—	—

\+ ajouter le temps de calcul de l'adresse effective.

FORME DES SIGNAUX ELECTRIQUES



NOTES :

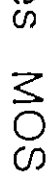
1. Ce diagramme des temps doit seulement être pris comme référence en tenant compte de la mesure des temps de transition à transition selon les spécifications données dans les caractéristiques et conditions de fonctionnement dynamiques. Il n'est pas supposé être une description fonctionnelle des entrées et des sorties. Se reporter à d'autres descriptions fonctionnelles et leurs diagrammes des temps associés pour le fonctionnement du circuit. Le fonctionnement du bus est supposé avoir quatre cycles LECTURE et une ECRITURE de quatre cycles dans ce diagramme.

2. Les mesures des formes de signaux sont ainsi spécifiées :
pour toutes les sorties telles que : V_{OH} = 2,4 volts
V_{OL} = 0,4 volt
pour toutes les entrées telles que : V_{IH} = 2,0 volts
V_{IL} = 0,8 volt

CARACTERISTIQUES ET CONDITIONS DE FONCTIONNEMENT DYNAMIQUES
(V_{DD} = 5.0 V ± 5% ; V_{SS} = 0 V ; T_A = 25°C)

Numéro	Caractéristiques	Symboles	Min	Typ	Max	Unités
1	Période horloge	t_{CYC}	125	–	–	ns
2	Largeur d'impulsion d'horloge – niveau bas	t_{CL}	55	–	–	ns
3	Largeur d'impulsion d'horloge – niveau haut	t_{CH}	55	–	–	ns
4	Temps de descente du signal d'horloge	t_{Cf}	–	–	10	ns
5	Temps de montée du signal d'horloge	t_{Cr}	–	–	10	ns
6	De l'horloge basse à l'adresse / FC valide	t_{CLAV}	–	–	60	ns
7	De l'horloge haute à l'adresse ou FC à haute impédance (max)	t_{CHAZx}	–	–	60	ns
8	De l'horloge haute à l'adresse ou au FC invalide (min)	t_{CHAZn}	20	–	–	ns
9	De l'horloge haute à $\overline{AS}$, $\overline{DS}$ bas (max)	t_{CHSLx}	–	–	60	ns
10	De l'horloge haute à $\overline{AS}$, $\overline{DS}$ bas (min)	t_{CHSLn}	20	–	–	ns
11	De l'adresse / FC valide à $\overline{AS}$, $\overline{DS}$ (lecture) bas	t_{AVSL}	30*	–	–	ns
12	De l'horloge basse à $\overline{AS}$, $\overline{DS}$ haut	t_{CLSH}	–	–	40	ns
13	De $\overline{AS}$, $\overline{DS}$ haut à l'adresse / FC invalide	t_{SHAZ}	40*	–	–	ns
14	Largeur d'impulsion des signaux $\overline{AS}$, $\overline{DS}$ (mesurée à l'état bas) - lecture -	t_{SL}	150	–	–	ns
15	Largeur d'impulsion des signaux $\overline{AS}$,$\overline{DS}$ (mesurée à niveaut haut)	t_{SH}	150	–	–	ns
16	De l'horloge haute à $\overline{AS}$, $\overline{DS}$ à haute impédance	t_{CHSZ}	–	–	60	ns
17	De $\overline{DS}$ haut à R/$\overline{W}$ haut	t_{SHRH}	60*	–	–	ns
18	De l'horloge haute à R/$\overline{W}$ haut (max)	t_{CHRHx}	–	–	60	ns
19	De l'horloge haute à R/$\overline{W}$ haut (min)	t_{CHRHn}	20	–	–	ns
20	De l'horloge haute à R/$\overline{W}$ bas	t_{CHRL}	–	–	60	ns
21	De l'adresse / FC valide à R/$\overline{W}$ bas	t_{AVRL}	50*	–	–	ns
22	De R/$\overline{W}$ bas à $\overline{DS}$ bas (écriture)	t_{RLSL}	80*	–	–	ns
23	De l'horloge basse aux données sortantes valides	t_{CLDO}	–	–	50	ns
24	De l'horloge haute à R/$\overline{W}$, $\overline{VMA}$ à haute impédance	t_{CHRZ}	–	–	60	ns
25	De $\overline{DS}$ haut aux données sortantes invalides	t_{SHDO}	30*	–	–	ns
26	Des données sortantes valides à $\overline{DS}$ bas (écriture)	t_{DOSL}	30*	–	–	ns
27	Des données entrantes à l'horloge basse (temps d'établissement)	t_{DICL}	30	–	–	ns
28	De $\overline{DS}$ haut à $\overline{DTACK}$ haut	t_{SHDAH}	0	–	120	ns
29	De $\overline{DS}$ haut aux données entrantes (temps de maintien)	t_{SHDI}	0	–	–	ns
30	De $\overline{AS}$, $\overline{DS}$ hauts à $\overline{BERR}$ haut	t_{SHBEH}	0	–	–	ns
31	De $\overline{DTACK}$ bas aux données entrantes (temps d'établissement)	t_{DALDI}	–	–	90*	ns
32	Temps de montée et de descente des signaux $\overline{HALT}$ et $\overline{RESET}$	t_{RHrf}	–	–	200	ns
33	De l'horloge haute à $\overline{BG}$ bas	t_{CHGL}	–	–	60	ns
34	De l'horloge haute à $\overline{BG}$ haut	t_{CHGH}	–	–	60	ns
35	De $\overline{BR}$ basse à $\overline{BG}$ bas	t_{BRLGL}	15	–	30	**
36	De $\overline{BR}$ haut à $\overline{BG}$ haut	t_{BRHGH}	15	–	30	**
37	De $\overline{BGACK}$ basse à $\overline{BG}$ haut	t_{GALGH}	15	–	20	**
38	De $\overline{BG}$ bas au bus à haute impédance (avec $\overline{AS}$ haut)	t_{GLZ}	0	–	–	**
39	Durée de $\overline{BG}$ haut	t_{GH}	15	–	–	**
40	De l'horloge basse à $\overline{VMA}$ bas	t_{CLVML}	–	–	60	ns
41	De l'horloge basse à la transition de E	t_{CLE}	–	–	55	ns
42	Temps de montée et de descente du signal E d'activation	t_{Erf}	–	–	25	ns
43	De $\overline{VMA}$ bas à E haut	t_{VMLEH}	20	–	30	**
44	De $\overline{AS}$, $\overline{DS}$ à $\overline{VPA}$ haut	t_{SHVPH}	0	–	–	ns

*Valeur fonction de la période d'horloge. Ces chiffres sont fondés sur un fonctionnement à 8 MHz.
** Période d'horloge



FORME DES SIGNAUX — ARBITRAGE D'ATTRIBUTION DU BUS

CARACTERISTIQUES ET CONDITIONS DE FONCTIONNEMENT DYNAMIQUES (V_{DD} = 5.0 V ± 5% ; V_{SS} = 0 V ; T_A = 25°C) ARBITRAGE D'ATTRIBUTION DU BUS.

Numéro	Caractéristiques	Symboles	Min	Typ	Max	Unités
33	de l'horloge haute à $\overline{BG}$ bas	t_{CHGL}	—	60	—	ns
34	de l'horloge haute à $\overline{BG}$ haut	t_{CHGH}	—	60	—	ns
35	de $\overline{BR}$ bas à $\overline{BG}$ bas	t_{BRLGL}	1.0	—	3.0	Période d'horloge
36	de $\overline{BR}$ haut à $\overline{BG}$ haut	t_{BRHGH}	1.0	—	3.0	Période d'horloge
37	de $\overline{BGACK}$ bas à $\overline{BG}$ haut	t_{GALGH}	1.0	—	2.0	Période d'horloge
38	de $\overline{BG}$ bas au passage du bus dans l'état haute impédance (avec $\overline{AS}$ haut)	t_{GLZ}	0	—	1.5	Période d'horloge
39	largeur de $\overline{BG}$ haut	t_{GH}	1.5	—	—	Période d'horloge

NOTES

Informations préliminaires : ces spécifications peuvent changer sans préavis.
Consultez notre réseau de vente pour connaître la disponibilité des différentes versions de ce circuit.

Section 4

Mémoires

NOTA : Veuillez consulter notre réseau de vente pour la disponibilité des différentes versions des circuits décrits dans les pages suivantes.

EFCIS



Circuits Intégrés MOS THOMSON-EFCIS

mosmosmosmosmosmosmosmosmosmos

EF6810
1,0 MHz
EF68A10
1,5 MHz
EF68B10
2,0 MHz

Ancienne appellation : SFF9-6810

MOS

GRILLE SILICIUM - CANAL N

MÉMOIRE STATIQUE
128 OCTETS A ACCES
ALÉATOIRE

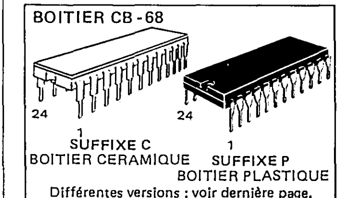
MEMOIRE STATIQUE A ECRITURE-LECTURE DE 128 X 8 BITS

La RAM EF6810 est une mémoire de 128 octets utilisable dans des systèmes organisés autour d'un bus. Elle est fabriquée dans la technologie MOS canal N, grille silicium. Ce circuit n'a besoin que d'une seule tension d'alimentation (+ 5 volts). De plus, il est compatible TTL et DTL, et, étant de fonctionnement statique, n'a besoin d'aucune horloge ou de signal de rafraîchissement.

Le circuit est compatible avec la famille du microprocesseur EF6800. L'extension de la mémoire est possible grâce à plusieurs entrées de sélection du circuit.

Caractéristiques :
- Organisée en 128 octets
- Fonctionnement statique
- Bus de données 8 bits bidirectionnel et à trois états
- Six entrées de sélection du circuit (quatre actives à l'état bas et deux à l'état haut)
- Alimentation unique + 5 V
- Compatible TTL
- Temps d'accès maximum
  - 450 ns pour EF6810
  - 360 ns pour EF68A10
  - 250 ns pour EF68B10

BOITIER CB-68



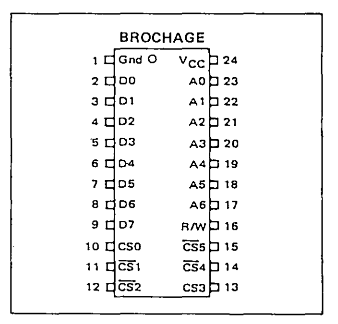
SUFFIXE C
BOITIER CERAMIQUE

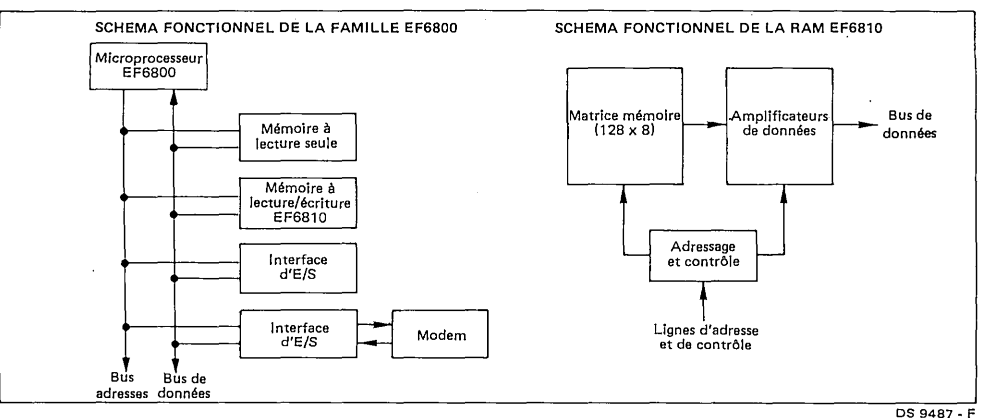
SUFFIXE P
BOITIER PLASTIQUE

Différentes versions : voir dernière page.

Vitesse	Produit	Gamme de température
1,0 MHz	EF6810 C,P EF6810 CV,PV	0 à 70°C – 40 à + 85°C
Equ. MIL-STD-883B Equ. MIL-STD-883C	EF6810 CMB EF6810 CMP	– 55 à + 125°C
1,5 MHz	EF68A10 C,P EF68A10 CV,PV	0 à + 70°C – 40 à + 85°C
2,0 MHz	EF68B10 C,P	0 à + 70°C

BROCHAGE





DS 9487 - F
1/4

EFCIS
45, av. de l'Europe
78140 VELIZY
FRANCE
Tel.: (1) 946 97 19
Telex : 698866F

VALEURS LIMITES

Paramètres	Symboles	Valeurs	Unités
Tension d'alimentation	V_{CC}	- 0,3 à + 7	V
Tension d'entrée	V_{in}	- 0,3 à + 7	V
Température de fonctionnement	T_A	T_L à T_H 0 à + 70 - 40 à + 85 - 55 à + 125	°C
Température de stockage	T_{stg}	- 65 à + 150	°C
Résistance thermique	θJA	82,5	°C/W

Les entrées de ce circuit sont protégées contre les hautes tensions statiques et les champs électriques ; toutefois, il est recommandé de prendre les précautions normales pour éviter toute tension supérieure aux valeurs limites sur ce circuit à haute impédance.

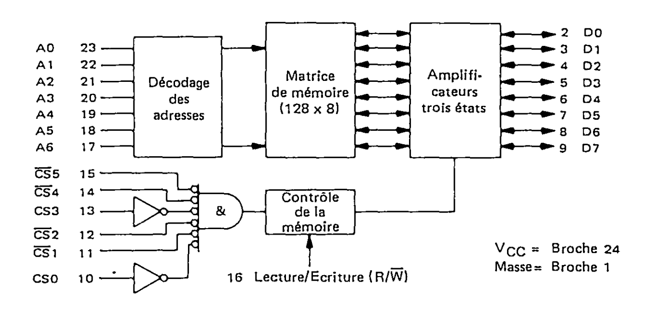
CARACTERISTIQUES ELECTRIQUES (V_{CC} = 5,0 V ± 5 %, V_{SS} = 0, T_A = T_L à T_H sauf spécifications contraires)

Caractéristiques		Symboles	Min	Typ	Max	Unités
Courant d'entrée (An, R/$\overline{W}$, CSn, $\overline{CSn}$) (V_{in} = 0 à 5,25 V)		I_{in}	–	–	2.5	µA
Tension de sortie à l'état haut (I_{OH} = 205 µ A)		V_{OH}	2.4	–	–	V
Tension de sortie à l'état bas (I_{OL} = 1,6 mA)		V_{OL}	–	–	0.4	V
Courant de fuite en sortie (état haute impédance) (CS = 0,8 V ou CS = 2,0 V, V_{out} = 0,4 V à 2,4 V)		I_{TSI}	–	–	10	µA
Courant d'alimentation (V_{CC} = 5,25 V, toutes les autres broches à la masse)	1.0 MHz 1.5 - 2.0 MHz	I_{CC}	–	–	80 100	mA
Capacité d'entrée (An, R/$\overline{W}$, CSn, $\overline{CSn}$) (V_{in} = 0, T_A = 25°C, f = 1,0 MHz)		C_{in}	–	–	7.5	pF
Capacité de sortie (Dn) (V_{out} = 0, T_A = 25°C, f = 1,0 MHz, CSϕ = 0)		C_{out}	–	–	12.5	pF

CONDITIONS DE FONCTIONNEMENT STATIQUES RECOMMANDEES

Paramètres	Symboles	Min	Nom	Max	Unités
Tension d'entrée à l'état haut	V_{IH}	2.0	–	5.25	V
Tension d'entrée à l'état bas	V_{IL}	-0.3	–	0.8	V

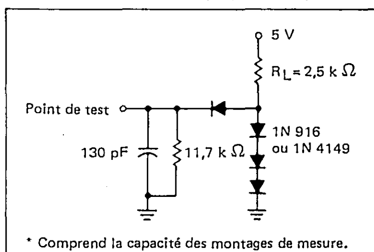
DIAGRAMME FONCTIONNEL



CONDITIONS DE TEST

Conditions	Valeurs
Niveaux des impulsions d'entrée	0,8 V à 2 V
Temps de montée et de descente des entrées	20 ns
Charge en sortie	Voir figure 1

FIGURE 1 – CHARGE DE TEST

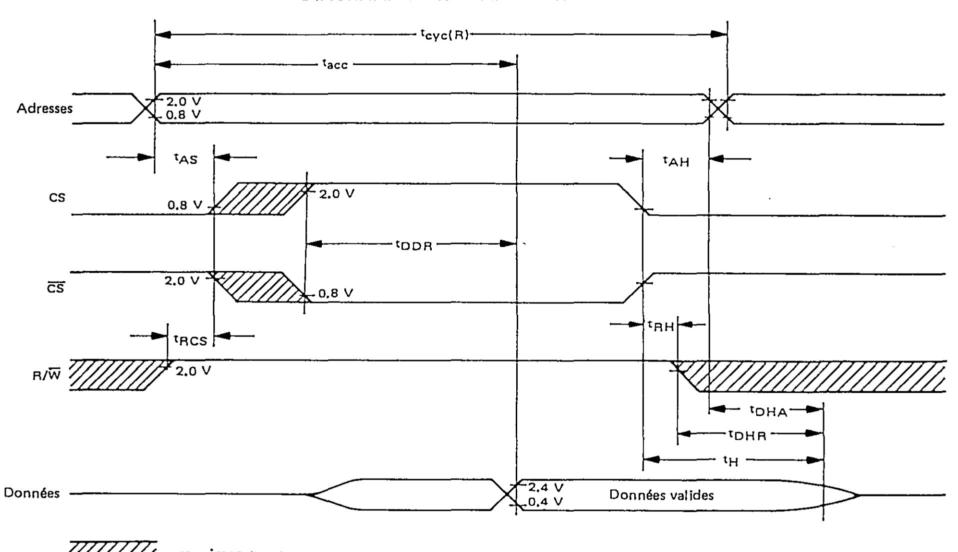


CARACTERISTIQUES ET CONDITIONS DE FONCTIONNEMENT STATIQUES

CYCLE DE LECTURE (V_{CC} = 5,0 V ± 5 %, V_{SS} = 0, T_A = T_L à T_H sauf spécifications contraires)

Paramètres	Symboles	EF6810 Min	EF6810 Max	EF68A10 Min	EF68A10 Max	EF68B10 Min	EF68B10 Max	Unités
Temps de cycle lecture	$t_{cyc(R)}$	450		360		250		ns
Temps d'accès	t_{acc}		450		360		250	ns
Temps de pré-établissement des adresses	t_{AS}	20		20		20		ns
Temps de maintien des adresses	t_{AH}	0		0		0		ns
Temps de retard des données par rapport à la sélection (en lecture)	t_{DDR}		230		220		180	ns
De la lecture (R/$\overline{W}$) à la sélection du boîtier	t_{RCS}	0		0		0		ns
Maintien des données après changement d'adresse	t_{DHA}	10		10		10		ns
Maintien des données après désélection du boîtier	t_H	10		10		10		ns
Maintien des données après lecture	t_{DHR}	10	80	10	60	10	60	ns
Maintien de la lecture (R/$\overline{W}$) après désélection du boîtier	t_{RH}	0		0		0		ns

DIAGRAMME DES TEMPS POUR LA LECTURE

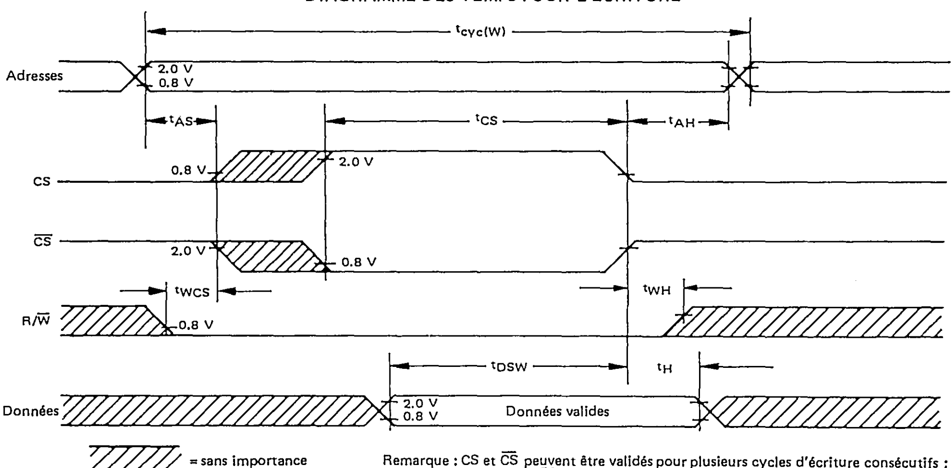


Remarque : CS et $\overline{CS}$ peuvent être activées pour des lectures successives sous réserve que R/$\overline{W}$ reste à V_{IH}.

CYCLE D'ECRITURE (V_{CC} = 5,0 V ± 5 %, V_{SS} = 0, T_A = T_L à T_H sauf spécifications contraires)

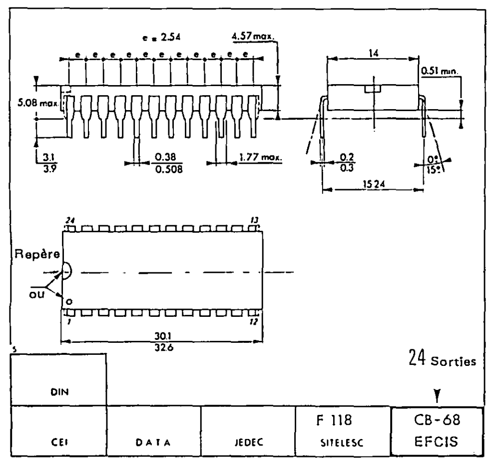
Caractéristiques	Symboles	EF6810		EF68A10		EF68B10		Unités
		Min	Max	Min	Max	Min	Max	
Temps de cycle en écriture	$t_{cyc(W)}$	450		360		250		ns
Temps de pré-établissement des adresses	t_{AS}	20		20		20		ns
Temps de maintien des adresses	t_{AH}	0		0		0		ns
Largeur d'impulsion des entrées de sélection	t_{CS}	300		250		210		ns
De l'écriture à la sélection du boîtier	t_{WCS}	0		0		0		ns
Temps de pré-établissement des données	t_{DSW}	190		80		60		ns
Temps de maintien des entrées	t_H	10		10		10		ns
Maintien de l'écriture (R/$\overline{W}$) après désélection du boîtier	t_{WH}	0		0		0		ns

DIAGRAMME DES TEMPS POUR L'ECRITURE

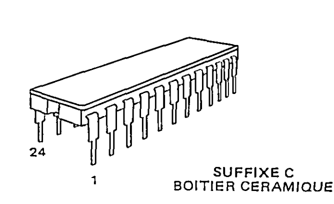


= sans importance

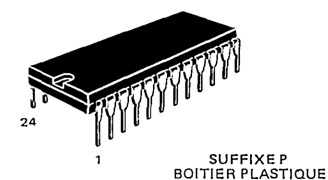
Remarque : CS et $\overline{CS}$ peuvent être validés pour plusieurs cycles d'écriture consécutifs ; toutefois R/$\overline{W}$ doit être remis à V_{IH} avant ou au moment du changement d'adresse et maintenu à ce niveau pendant le temps d'établissement de l'adresse et revenir à l'état haut pour la durée t_{AS}.



BOITIER CB-68



SUFFIXE C
BOITIER CERAMIQUE



SUFFIXE P
BOITIER PLASTIQUE

Ces informations peuvent changer sans préavis.
Consultez notre réseau de vente pour connaître la disponibilité des différentes versions de ce circuit.

EFCIS 

Circuits Intégrés MOS THOMSON-EFCIS

mosmosmosmosmosmosmosmosmosmos

EF2114
EF21L14

Ancienne appellation : SFF8-2114

MEMOIRE STATIQUE DE 1024 x 4 BITS A ACCES ALEATOIRE

Le EF2114 est une mémoire de 4096 bits à accès aléatoire réalisé en technologie canal N grille silicium, haute densité à grande fiabilité. Pour faciliter son utilisation, le circuit fonctionne avec une seule tension d'alimentation et est directement compatible TTL et DTL. Entièrement statique, cette mémoire ne nécessite ni horloge, ni opération de rafraîchissement. Aucun temps de préétablissement des adresses n'étant nécessaire, l'accès aux données est particulièrement simple. Les données lues ont la même polarité que les données écrites.

Le EF2114 est déterminé à des applications ne faisant appel qu'à un simple interface. Le EF2114 est montré dans un boîtier DIL 18 broches avec un brochage standard. Une entrée séparée de sélection (S) permet la sélection aisée du boîtier quand les sorties trois-états sont en OU-câblé.

La série EF2114 a une puissance dissipée de 525 mW maximum. Des versions faible puissance (série EF21L14) sont disponibles avec une puissance dissipée maximum de 370 mW.

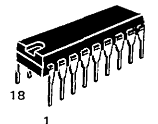
- 1024 mots de 4 bits
- Brochage standard 18 broches
- Alimentation unique + 5 V
- Ni horloge, ni signal d'échantillonnage
- Entièrement statique : temps de cycle = temps d'accès
- Entièrement compatible TTL/DTL
- E/S de données bidirectionnelles
- Sorties trois-états pour OU-câblé
- Version faible puissance disponible 370 mW (Max.)

MOS

CANAL N, GRILLE SILICIUM

MEMOIRE STATIQUE DE 4096 BITS A ACCES ALEATOIRE

BOITIER CB-181



SUFFIXE P
BOITIER PLASTIQUE

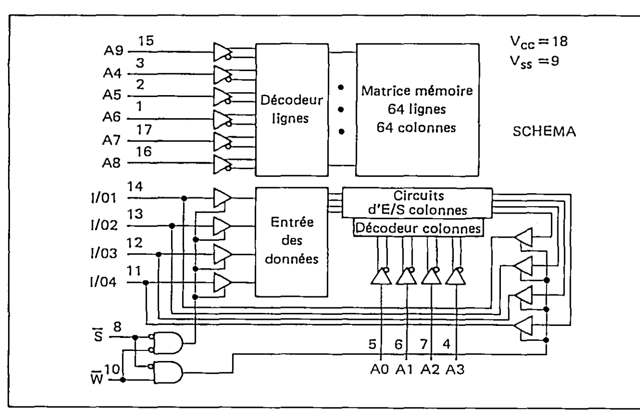
SUFFIXE C
BOITIER CERAMIQUE

SUFFIXE J
BOITIER CERDIP

Différentes versions : voir dernière page.

TEMPS D'ACCES MAX./TEMPS DE CYCLE MINI.

EF2114-20 EF21L14-20	200 ns	EF2114-30 EF21L14-30	300 ns
EF2114-25 EF21L14-25	250 ns	EF2114-45 EF21L14-45	450 ns



BROCHAGE

A6	1			18	V_{CC}
A5	2			17	A7
A4	3			16	A8
A3	4			15	A9
A0	5			14	I/01
A1	6			13	I/02
A2	7			12	I/03
$\overline{S}$	8			11	I/04
V_{SS}	9			10	$\overline{W}$

NOM DES BROCHES

A0 - A9	Entrée des adresses
$\overline{W}$	Autorisation d'écriture
$\overline{S}$	Entrée de sélection
I/01 - I/04	E/S des données
V_{CC}	Alimentation +5 V
V_{SS}	Masse

EFCIS
45, av. de l'Europe
78140 VELIZY
FRANCE
Tel.: (1) 946 97 19
Telex : 698866F

VALEURS LIMITES ABSOLUES (Voir Note 1)

Paramètres	Valeurs	Unités
Température sous tension	– 10 à +80	°C
Potentiel/V_{SS} sur une broche quelconque	– 0,5 à +7,0	Vdc
Sortie courant continu	5,0	mA
Puissance dissipée	1,0	Watt
Température de fonctionnement	0 à +70	°C
Température de stockage	– 65 à +150	°C

Les entrées de ce circuit sont protégées contre les hautes tensions statiques et les champs électriques ; toutefois, il est recommandé de prendre les précautions normales pour éviter toute tension supérieure aux valeurs limites sur ce circuit à haute impédance.

Note 1 : Le non respect des valeurs limites peut entraîner une détérioration permanente du circuit. En fonctionnement LES CONDITIONS DE FONCTIONNEMENT RECOMMANDEES doivent être respectées. Des tensions supérieures aux tensions recommandées appliquées pendant une longue durée peuvent nuire à la fiabilité du circuit.

CARACTERISTIQUES ET CONDITIONS DE FONCTIONNEMENT STATIQUES

(T_A = 0° à 70° C, V_{CC} = 5,0 V ± 5 % sauf spécifications contraires)

CONDITIONS STATIQUES RECOMMANDEES

Paramètres	Symboles	EF2114			EF21L14			Unités
		Min.	Nom	Max	Min.	Nom	Max	
Courant d'entrée (Toutes entrées, V_{in} =0 à 5,5 V)	I_{LI}	–	–	10	–	–	10	µA
Courant de fuite par E/S ($\overline{S}$ = 2,4 V, $V_{I/O}$ = 0,4 V à V_{CC})	I_{LO}	–	–	10	–	–	10	µA
Courant d'alimentation (V_{in} = 5,5, $I_{I/O}$ = 0 mA, T_A = 25°C)	I_{CC1}	–	80	95	–	–	65	mA
Courant d'alimentation (V_{in} = 5,5 V, $I_{I/O}$ = 0 mA, T_A = 0°C)	I_{CC2}	–	–	100	–	–	70	mA
Tension d'entrée à l'état bas	V_{IL}	– 0,5	–	0,8	– 0,5	–	0,8	V
Tension d'entrée à l'état haut	V_{IH}	2,0	–	6,0	2,0	–	6,0	V
Courant de sortie à l'état bas V_{OL} = 0,4 V	I_{OL}	2,1	6,0	–	2,1	6,0	–	mA
Courant de sortie à l'état haut V_{OH} = 2,4 V	I_{OH}	–	– 1,4	– 1,0	–	– 1,4	– 1,0	mA
Courant de sortie en court circuit	I_{OS} (2)	–	–	40	–	–	40	mA

Note 2 : La durée ne doit pas excéder 30 s.

CAPACITE

(f = 1,0 MHz, T_A = 25° C, ce paramètre est mesuré par prélèvement et n'est pas testé à 100 %).

CARACTERISTIQUES	Symboles	Max	Unités
Capacité d'entrée (V_{in} = 0 V)	C_{in}	5,0	pF
Capacité par E/S ($V_{I/O}$ = 0 V)	$C_{I/O}$	5,0	pF

CARACTERISTIQUES ET CONDITIONS DE FONCTIONNEMENT DYNAMIQUES

(Dans les limites de température et de tension de fonctionnement sauf spécifications contraires)

Niveau des impulsions d'entrée . . . . 0,8 Volt à 2,4 Volts
Temps de montée et de descente sur l'entrée . . . . 10 ns
Niveau de référence pour la mesure des temps. . . . . 1,5 Volt
Charge de sortie .une porte TTL et C_L = 100 pF

CARACTERISTIQUES ET CONDITIONS DE FONCTIONNEMENT DYNAMIQUES

Cycle de lecture (Note 3), cycle d'écriture (Note 4)

CONDITIONS DYNAMIQUES RECOMMANDÉES ($T_A = 0$ à $70°C$, $V_{CC} = 5,0\ V \pm 10\ \%$)

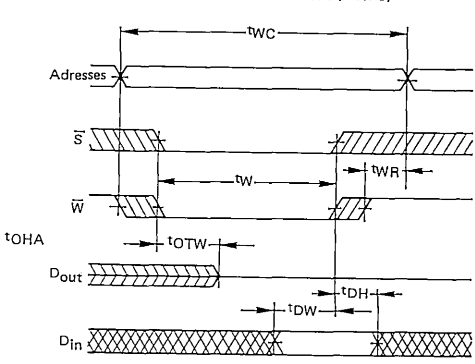
Paramètres de durée	Symboles	EF2114-20 EF21L14-20		EF2114-25 EF21L14-25		EF2114-30 EF21L14-30		EF2114-45 EF21L14-45		Unités
		Min	Max	Min	Max	Min	Max	Min	Max	
Cycle de lecture	t_{RC}	200	—	250	—	300	—	450	—	ns
Temps d'accès	t_A	—	200	—	250	—	300	—	450	ns
De la sélection à la sortie valide	t_{SO}	—	70	—	85	—	100	—	120	ns
De la sélection à la sortie activée	t_{SX}	20	—	20	—	20	—	20	—	ns
De la désélection à la sortie trois-états	t_{OTD}	—	60	—	70	—	80	—	100	ns
Persistance de la sortie après changement d'adresse	t_{OHA}	50	—	50	—	50	—	50	—	ns
Cycle d'écriture	t_{WC}	200	—	250	—	300	—	450	—	ns
Temps d'écriture	t_W	120	—	135	—	150	—	200	—	ns
Maintien de l'adresse après écriture	t_{WR}	0	—	0	—	0	—	0	—	ns
Persistance sortie trois-états après écriture	t_{OTW}	—	60	—	70	—	80	—	100	ns
Préétablissement des données avant fin d'écriture	t_{DW}	120	—	135	—	150	—	200	—	ns
Maintien des données après écriture	t_{DH}	0	—	0	—	0	—	0	—	ns

Notes : 3. La lecture a lieu pendant que $\overline{S}$ est bas et $\overline{W}$ est haut.
4. L'écriture a lieu pendant que $\overline{S}$ est bas et $\overline{W}$ est bas.

TEMPS DE CYCLE DE LECTURE (Note 5)

t_{RC} t_A Adresses $\overline{S}$ t_{SO} t_{SX} t_{OTD} D_{out} t_{OHA}

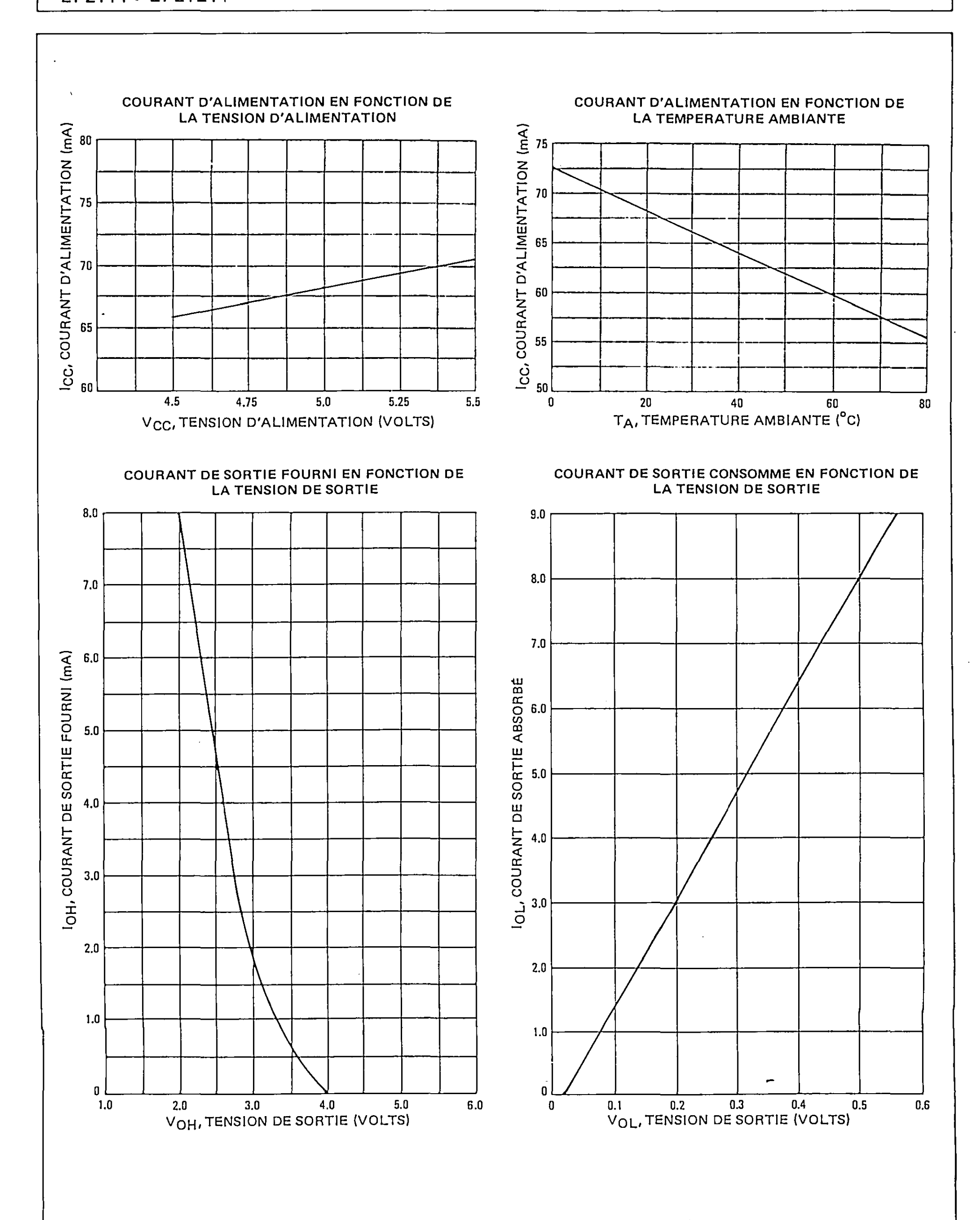
TEMPS DE CYCLE D'ECRITURE (Note 6)



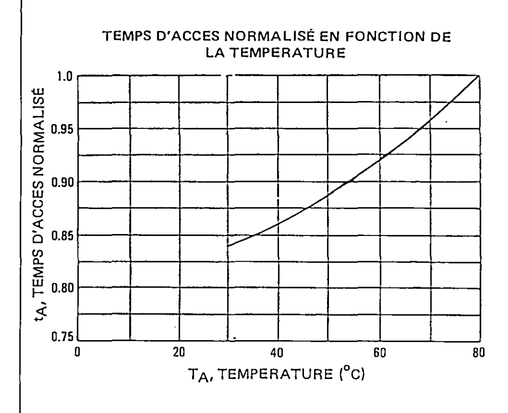
Notes : 5. $\overline{W}$ est haut pour un cycle de lecture.
6. Si $\overline{S}$ et $\overline{W}$ passent simultanément à l'état bas, les sorties restent dans l'état haute impédance.

FORMES DES SIGNAUX

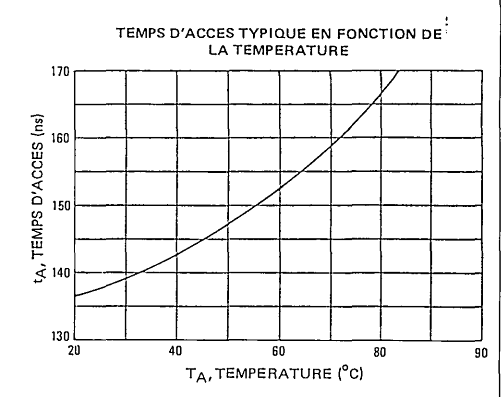
Symbole	Entrée	Sortie
	Doit-être valide	Sera valide
	Change sur front descendant	Changera sur front descendant
	Change sur front montant	Changera sur front montant
	Sans importance Tout changement autorisé	Changement d'état inconnu
		Haute impédance


COURANT D'ALIMENTATION EN FONCTION DE LA TENSION D'ALIMENTATION
ICC, COURANT D'ALIMENTATION (mA)
80
75
70
65
60
4.5
4.75
5.0
5.25
5.5
VCC, TENSION D'ALIMENTATION (VOLTS)
COURANT D'ALIMENTATION EN FONCTION DE LA TEMPERATURE AMBIANTE
ICC, COURANT D'ALIMENTATION (mA)
75
70
65
60
55
50
0
20
40
60
80
TA, TEMPERATURE AMBIANTE (°C)
COURANT DE SORTIE FOURNI EN FONCTION DE LA TENSION DE SORTIE
IOH, COURANT DE SORTIE FOURNI (mA)
8.0
7.0
6.0
5.0
4.0
3.0
2.0
1.0
0
1.0
2.0
3.0
4.0
5.0
6.0
VOH, TENSION DE SORTIE (VOLTS)
COURANT DE SORTIE CONSOMME EN FONCTION DE LA TENSION DE SORTIE
IOL, COURANT DE SORTIE ABSORBÉ
9.0
8.0
7.0
6.0
5.0
4.0
3.0
2.0
1.0
0
0
0.1
0.2
0.3
0.4
0.5
0.6
VOL, TENSION DE SORTIE (VOLTS)

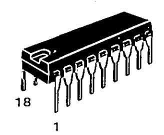
TEMPS D'ACCES NORMALISÉ EN FONCTION DE LA TEMPERATURE



TEMPS D'ACCES TYPIQUE EN FONCTION DE LA TEMPERATURE



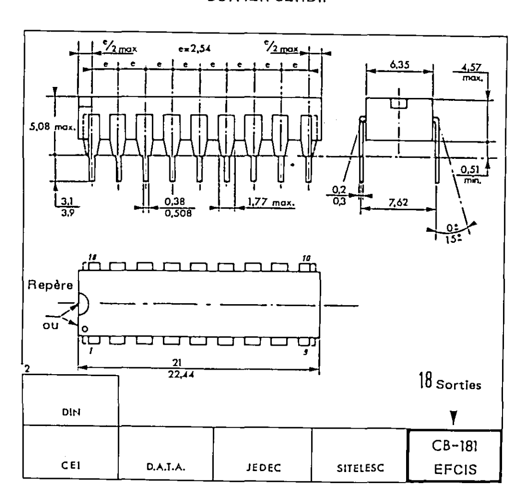
BOITIER CB-181



SUFFIXE P
BOITIER PLASTIQUE

SUFFIXE C
BOITIER CERAMIQUE

SUFFIXE J
BOITIER CERDIP



Ces spécifications peuvent changer sans préavis.
Consultez notre réseau de vente pour connaître la disponibilité des différentes versions de ce circuit.

NOTES

EFCIS 

Circuits Intégrés MOS THOMSON-EFCIS

mosmosmosmosmosmosmosmosmosmos

EF4116B

Ancienne appellation : SFF8-4116B

MOS

CANAL N

MEMOIRE DYNAMIQUE A ACCES ALÉATOIRE DE 16 384 BITS

MÉMOIRE DYNAMIQUE A ACCES ALÉATOIRE DE 16 384 BITS

Le circuit EF4116B est une mémoire dynamique rapide à accès aléatoire de 16 384 bits, destinée à des applications de hautes performances et de faible coût, pour des applications courantes telles que mémoires tampon et mémoires périphériques. Elle est organisée en 16 384 mots de un bit et fabriquée dans une technologie MOS canal N qui permet d'optimiser vitesse, consommation et densité d'intégration.

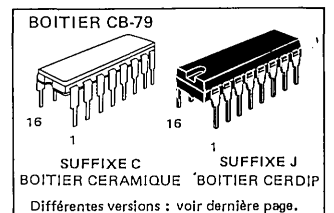
Par le multiplexage en lignes et colonnes, le circuit EF4116B ne comporte que 7 lignes d'adresse permettant l'utilisation d'un boîtier DIL standard de 16 broches. Ce type de boîtier autorise des systèmes très denses dans d'importants équipements d'automatismes et de tests. Le décodage d'adresse est entièrement réalisé par le circuit grâce à des registres de stockage de l'adresse.

Toutes les entrées sont compatibles TTL, de même que la sortie trois états. La sortie donnée du EF4116B est commandée par le signal de sélection de colonne et elle reste valide à partir du temps d'accès jusqu'à la remontée de ce signal à l'état haut. Cette caractéristique de la sortie permet une plus grande souplesse d'utilisation telle que opération d'entrée/sortie commune, sélection bidimensionnelle de la mémoire par décodage des signaux d'échantillonnage d'adresse ligne et d'adresse colonne.

Le circuit EF4116B est composé de cellules mémoires dynamiques à un transistor, et chacune des 128 lignes d'adresses doit avoir un cycle de rafraîchissement toutes les deux millisecondes.

- Grande souplesse d'utilisation par cycles de "lecture-modification-écriture".
- Rafraîchissement par la ligne RAS seulement.
- Adressage par page.
- Boîtier standard 16 broches.
- Organisé en 16 384 mots de un bit.
- ± 10 % de tolérance sur toutes les tensions d'alimentation.
- Entrées compatibles TTL.
- Sortie trois états compatible TTL
- Possibilité d'entrée sortie commune en utilisant le mode "écriture anticipée".
- Registres de stockage pour les entrées adresses et donnée.
- Faible puissance consommée.
  - 426 mW en fonctionnement
  - 20 mW en attente
- Choix important de temps d'accès
  - 150 ns EF4116BC - 15, BJ - 15
  - 200 ns EF4116BC - 20, BJ - 20
  - 250 ns EF4116BC - 25, BJ - 25
  - 300 ns EF4116BD - 30, BJ - 30
- Compatibilité ascendante avec les mémoires 4 K, 16 broches.

BOITIER CB-79



SUFFIXE C	SUFFIXE J
BOITIER CERAMIQUE	BOITIER CERDIP

Différentes versions : voir dernière page.

BROCHAGE

V_{BB}	1	16	V_{SS}
D_{in}	2	15	$\overline{CAS}$
$\overline{WRITE}$	3	14	D_{out}
$\overline{RAS}$	4	13	A6
A0	5	12	A3
A2	6	11	A4
A1	7	10	A5
V_{DD}	8	9	V_{CC}

Nom des broches

A0–A6	entrées d'adresse
$\overline{CAS}$	échantillonnage d'adresse colonne
D_{in}	entrée donnée
D_{out}	sortie donnée
$\overline{RAS}$	échantillonnage d'adresse ligne
$\overline{WRITE}$	entrée lecture/écriture
V_{BB}	alimentation – 5 V
V_{CC}	alimentation + 5 V
V_{DD}	alimentation + 12 V
V_{SS}	masse, 0V

Les entrées de ce circuit sont protégées contre les hautes tensions statiques et les champs électriques ; toutefois, il est recommandé de prendre les précautions normales pour éviter toute tension supérieure aux valeurs limites sur ce circuit à haute impédance.

VALEURS LIMITES (voir note 1)

Paramètres	Symboles	Valeurs	Unités
Tension relative de chaque broche par rapport à V_{BB}	V_{in}, V_{out}	–0.5 à + 20	V
Température de fonctionnement	T_A	0 à + 70	°C
Température de stockage	T_{stg}	– 65 à + 150	°C
Puissance dissipée	P_D	1.0	W
Courant disponible de la sortie donnée	I_{out}	50	mA

Note 1 : le non respect des valeurs limites peut entraîner une détérioration permanente du circuit. Les conditions de fonctionnement recommandées doivent être respectées. Des tensions supérieures à ces valeurs, appliquées pendant une longue durée peuvent nuire à la fiabilité du circuit.

EFCIS
45, av. de l'Europe
78140 VELIZY
FRANCE
Tel.: (1) 946 97 19
Telex : 698866F

CONDITIONS ET CARACTÉRISTIQUES STATIQUES DE FONCTIONNEMENT

(pour les gammes de température et de tension spécifiées, sauf spécifications contraires)

CONDITIONS DE FONCTIONNEMENT RECOMMANDÉES

Paramètres	Symboles	Min	Typ	Max	Unités	Notes
Tension d'alimentation	V_{DD}	10.8	12.0	13.2	V	1
	V_{CC}	4.5	5.0	5.5	V	1, 2
	V_{SS}	0	0	0	V	1
	V_{BB}	−4.5	−5.0	−5.5	V	1
Niveau logique 1 $\overline{RAS}$, $\overline{CAS}$, $\overline{WRITE}$	V_{IHC}	2.4	–	7.0	V	1
Niveau logique 1, toutes entrées sauf $\overline{RAS}$, $\overline{CAS}$, $\overline{WRITE}$	V_{IH}	2.4	–	7.0	V	1
Niveau logique 0, toutes entrées	V_{IL}	−1.0	–	0.8	V	1

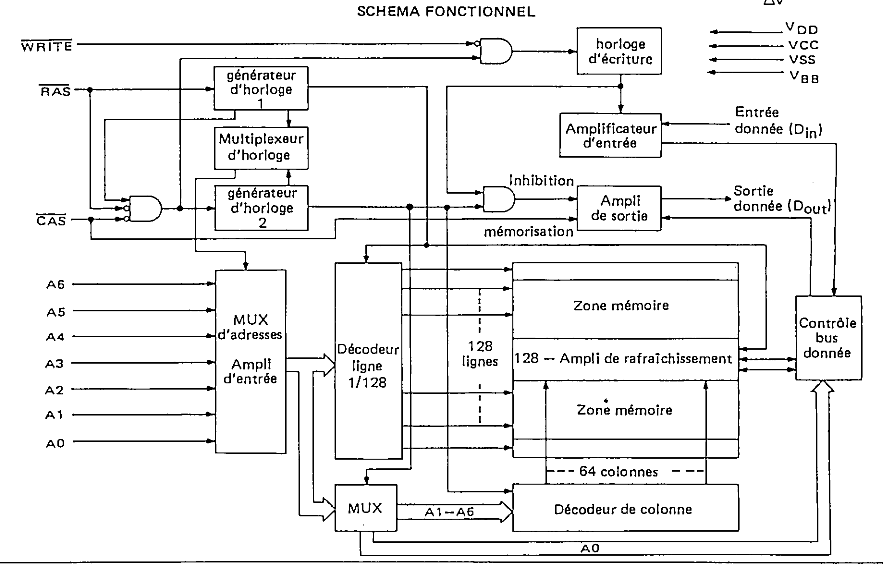
CARACTÉRISTIQUES STATIQUES (V_{DD} = 12 V ± 10 %, V_{CC} = 5,0 V ± 10 %, V_{BB} = − 5,0 V ± 10 % V_{SS} = 0 V, T_A = 0 à 70°C).

Caractéristiques	Symboles	Min	Max	Unités	Notes
Valeur moyenne du courant d'alimentation V_{DD}	I_{DD1}	–	35	mA	4
Courant d'alimentation V_{CC}	I_{CC}	–	–	mA	5
Valeur moyenne du courant d'alimentation V_{BB}	$I_{BB1,3}$	–	200	µA	
Courant d'alimentation au repos V_{BB}	I_{BB2}	–	100	µA	
Courant d'alimentation au repos V_{DD}	I_{DD2}	–	1.5	mA	6
Valeur moyenne du courant de l'alimentation V_{DD} durant un cycle $\overline{RAS}$	I_{DD3}	–	27	mA	4
Courant de fuite des entrées	$I_{I(L)}$	–	10	µA	
Courant de fuite de la sortie	$I_{O(L)}$	–	10	µA	6, 7
Tension de sortie à l'état haut pour I = − 5 mA	V_{OH}	2.4	–	V	2
Tension de sortie à l'état bas pour I = 4,2 mA	V_{OL}	–	0.4	V	

NOTES :

1. Toutes les tensions sont mesurées par rapports à V_{SS}. La tension V_{BB} doit être appliquée avant et supprimée après toutes les autres tensions d'alimentation.
2. La tension de sortie évoluera entre V_{SS} et V_{CC} lors de la mise en trois états. En cas de baisse d'alimentation, la tension V_{CC} peut-être ramenée à V_{SS} sans modifier le rafraîchissement mémoire afin de conserver les données
3. Plusieurs cycles d'horloge sont nécessaires après la mise sous tension pour assurer un bon fonctionnement du circuit. 8 cycles minimum sont nécessaires pour réaliser un bon rafraîchissement.
4. Le courant est proportionnel au rapport cyclique, le courant est mesuré pour le rapport cyclique le plus faible.
5. I_{CC} dépend de la charge en sortie. L'alimentation V_{CC} est connectée uniquement à l'amplificateur de sortie.
6. La sortie est inhibé (circuit ouvert) lorsque $\overline{RAS}$ et $\overline{CAS}$ sont tous les deux à l'état haut.
7. $0\ V \leqslant V_{out} \leqslant +5,5\ V$.
8. Les capacités sont mesurées à l'aide d'un appareil Boonton, la capacité effective est calculée à l'aide de l'équation $C = \frac{I\Delta_t}{\Delta V}$

SCHEMA FONCTIONNEL



CONDITIONS ET CARACTÉRISTIQUES DYNAMIQUES DE FONCTIONNEMENT

(cycles lecture, écriture et lecture, modification - écriture)

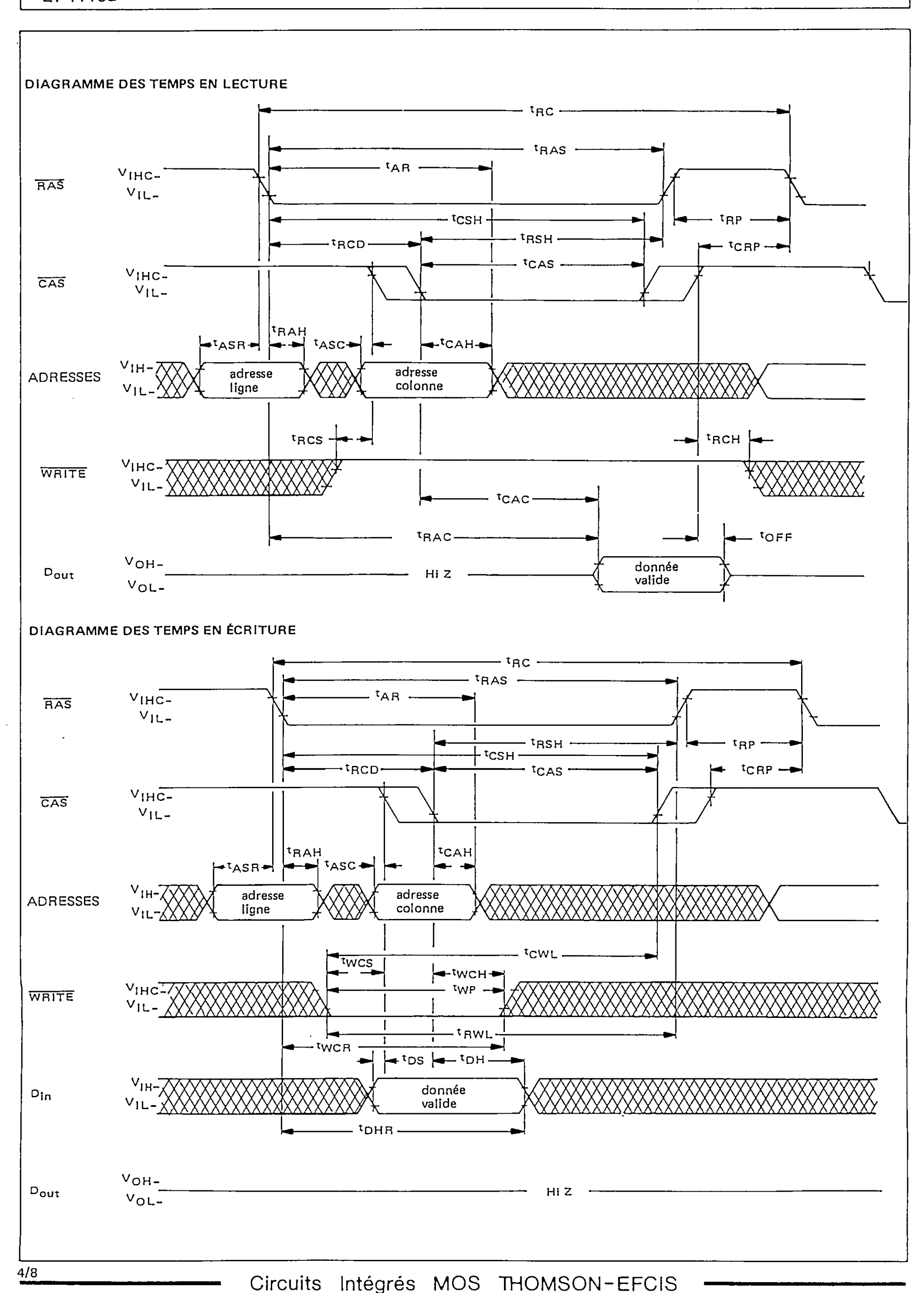
CARACTÉRISTIQUES DYNAMIQUES (V_{DD}= 12 V ± 10 %, V_{CC}= 5,0 V ± 10 %, V_{BB}= - 5,0 V ± 10 %, V_{SS}= 0 V, T_A= 0 à 70°C).

Paramètres	Symboles	EF 4116B-15		EF 4116B-20		EF 4116B-25		EF 4116B-30		Unités	Notes
		Min	Max	Min	Max	Min	Max	Min	Max		
Temps de cycle en lecture ou en écriture	t_{RC}	375	–	375	–	410	–	480	–	ns	
Temps de cycle lecture/écriture	t_{RWC}	375	–	375	–	515	–	660	–	ns	
Temps de cycle à partir de l'échantil. ligne	t_{RAC}	–	150	–	200	–	250	–	300	ns	10, 12
Temps de cycle à partir de l'échantil. colonne	t_{CAC}	–	100	–	135	–	165	–	200	ns	11, 12
Retard à la désélection de la sortie donnée	t_{OFF}	0	50	0	50	0	60	0	60	ns	17
Temps d'établissement de l'échantil. ligne	t_{RP}	100	–	120	–	150	–	180	–	ns	
Largeur d'impulsion de l'échantillonage ligne	t_{RAS}	150	10,000	200	10,000	250	10,000	300	10,000	ns	
Largeur d'impulsion de l'échantil. colonne.	t_{CAS}	100	10,000	135	10,000	165	10,000	200	10,000	ns	
Temps entre l'échantillonnage ligne et colonne	t_{RCD}	20	50	25	65	35	85	60	100	ns	13
Temps d'établissement de l'adresse ligne	t_{ASR}	0	–	0	–	0	–	0	–	ns	
Temps de maintien de l'adresse ligne	t_{RAH}	20	–	25	–	35	–	60	–	ns	
Temps d'établissement de l'adresse colonne	t_{ASC}	–10	–	–10	–	–10	–	–10	–	ns	
Temps de maintien de l'adresse colonne	t_{CAH}	45	–	55	–	75	–	100	–	ns	
Temps de maintien de l'adresse colonne par rapport à $\overline{RAS}$	t_{AR}	95	–	120	–	160	–	200	–	ns	
Temps de transition (montée et descente)	t_T	3.0	35	3.0	50	3.0	50	3.0	50	ns	14
Temps d'établissement de la commande lect.	t_{RCS}	0	–	0	–	0	–	0	–	ns	
Temps de maintien de la commande lecture	t_{RCH}	0	–	0	–	0	–	0	–	ns	
Temps de maintien de la commande d'écriture	t_{WCH}	45	–	55	–	75	–	100	–	ns	
Temps de maintien de la commande d'écriture par rapport à $\overline{RAS}$	t_{WCR}	95	–	120	–	160	–	200	–	ns	
Largeur de l'impulsion d'écriture	t_{WP}	45	–	55	–	75	–	100	–	ns	
Tps entre commande d'écrit. et l'échant. ligne	t_{RWL}	60	–	80	–	100	–	180	–	ns	
Temps entre la commande d'écriture et l'échantillonnage colonne	t_{CWL}	60	–	80	–	100	–	180	–	ns	
Temps d'établissement de l'entrée donnée	t_{DS}	0	–	0	–	0	–	0	–	ns	15
Temps de maintien de l'entrée donnée	t_{DH}	45	–	55	–	75	–	100	–	ns	15
Tps de maint. de l'entrée donnée / $\overline{RAS}$	t_{DHR}	95	–	120	–	160	–	200	–	ns	
Tps de précharge entre sélec. de col. et ligne	t_{CRP}	–20	–	–20	–	–20	–	–20	–	ns	
Temps de maintien de l'entrée $\overline{RAS}$	t_{RSH}	100	–	135	–	165	–	200	–	ns	
Cycle de rafraîchissement	t_{RFSH}	–	2.0	–	2.0	–	2.0	–	2.0	ms	
Temps d'établiss. de la commande $\overline{WRITE}$	t_{WCS}	–20	–	–20	–	–20	–	–20	–	ns	
Délai de $\overline{CAS}$ à $\overline{WRITE}$	t_{CWD}	70	–	95	–	125	–	180	–	ns	16
Délai de $\overline{RAS}$ à $\overline{WRITE}$	t_{RWD}	120	–	160	–	210	–	280	–	ns	16
Tps de précharge de $\overline{CAS}$ (mode page uniq.)	t_{CP}	60	–	80	–	100	–	100	–	ns	
Temps de cycle en mode page	t_{PC}	170	–	225	–	275	–	325	–	ns	
Temps de maintien de $\overline{CAS}$	t_{CSH}	150	–	200	–	250	–	300	–	ns	

Paramètres	Symboles	Typ	Max	Unités	Notes
Capacité d'entrée (A0-A15), D_{IN}	C_{I1}	4.0	5.0	pF	9
Capacité d'entrée RAS, CAS, WRITE	C_{I2}	8.0	10	pF	9
Capacité de sortie	C_o	5.0	7.0	pF	7, 9

NOTES : (suite)

9. Les caractéristiques dynamiques sont mesurées avec un temps de transition égale à t_T= 5 ns.
10. En supposant que $t_{RCD} + t_T \leqslant t_{RCD}$ (max)
11. En supposant que $t_{RCD} + t_T \geqslant t_{RCD}$ (max).
12. Mesuré avec une charge équivalente à 2 charges TTL et 100 pF.
13. Toute opération à l'intérieur de la limite de t_{RCD} (max), permet de respecter t_{RAC} (max). t_{RCD} (max) est spécifié uniquement comme point de référence ; si t_{RCD} est plus grand que la valeur limite spécifiée t_{RCD} (max), alors le temps d'accès est contrôlé exclusivement par t_{CAC}.
14. V_{IHC} (min) ou V_{IH} (min) et V_{IL} (max) sont les valeurs de référence pour la mesure des temps des signaux d'entrée. De même les temps de transition sont mesurés entre V_{IHC} ou V_{IH} et V_{IL}.
15. Ces paramètres sont évalués à partir du front descendant de $\overline{CAS}$ pour les cycles d'écriture et à partir du front descendant de $\overline{WRITE}$ pour les cycles écriture retardé ou lecture-modification-écriture.
16. t_{WCS}, t_{CWD} et t_{RWD} ne sont pas des paramètres de fonctionnement restrictifs mais seulement des caractéristiques électriques : si $t_{WCS} \geqslant$ si $t_{WCS} \geqslant t_{WCS}$ (min), le cycle est un cycle d'écriture anticipée et la sortie donnée reviendra à l'état haute impédance durant tout le cycle; si $t_{CWD} \geqslant t_{CWD}$ (min), le cycle est un cycle lecture-écriture et la sortie donnée contiendra la valeur de l'adresse sélectionnée ; si aucune des conditions citées ci-dessus n'est réalisée, l'état de la sortie donnée est indéterminé.
17. En supposant que $t_{CRP} > 50$ ns.


DIAGRAMME DES TEMPS EN LECTURE
tRC
tRAS
tAR
RAS
VIHC-
VIL-
tCSH
tRP
tRCD
tRSH
tCRP
tCAS
CAS
VIHC-
VIL-
tASR
tRAH
tASC
tCAH
ADRESSES
VIH-
VIL-
adresse
ligne
adresse
colonne
tRCS
tRCH
WRITE
VIHC-
VIL-
tCAC
tRAC
tOFF
Dout
VOH-
VOL-
Hi Z
donnée
valide
DIAGRAMME DES TEMPS EN ÉCRITURE
tRC
tRAS
tAR
RAS
VIHC-
VIL-
tRSH
tRP
tCSH
tRCD
tCAS
tCRP
CAS
VIHC-
VIL-
tRAH
tCAH
tASR
tASC
ADRESSES
VIH-
VIL-
adresse
ligne
adresse
colonne
tCWL
tWCS
tWCH
tWP
WRITE
VIHC-
VIL-
tRWL
tWCR
tDS
tDH
Din
VIH-
VIL-
donnée
valide
tDHR
Dout
VOH-
VOL-
Hi Z

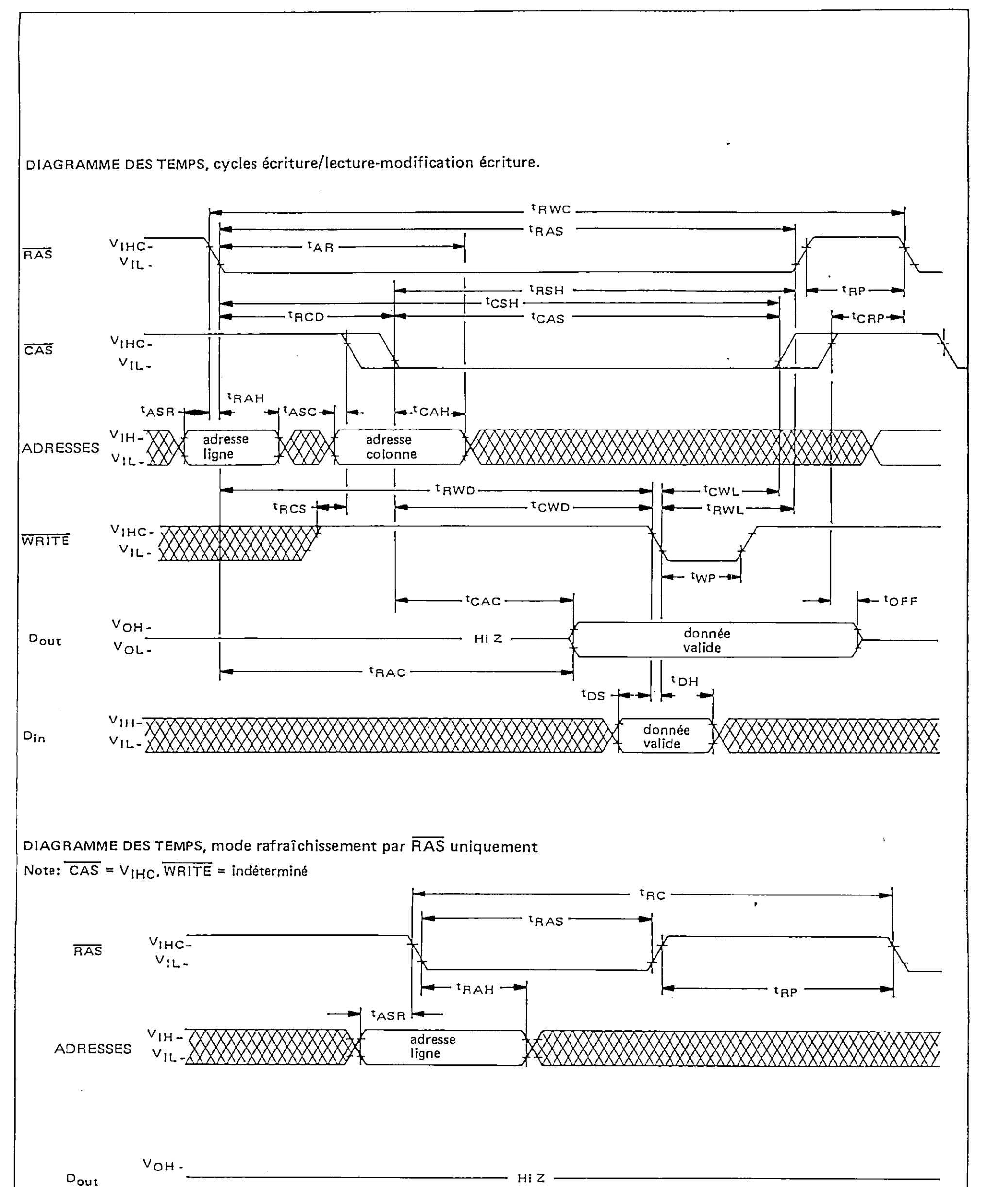


DIAGRAMME DES TEMPS, cycles écriture/lecture-modification écriture.

DIAGRAMME DES TEMPS, mode rafraîchissement par RAS uniquement

· DIAGRAMME DES TEMPS : lecture en mode page

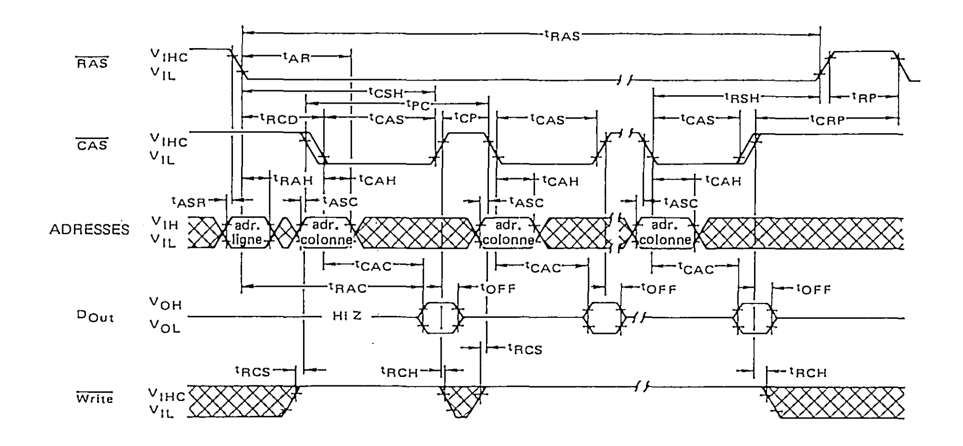
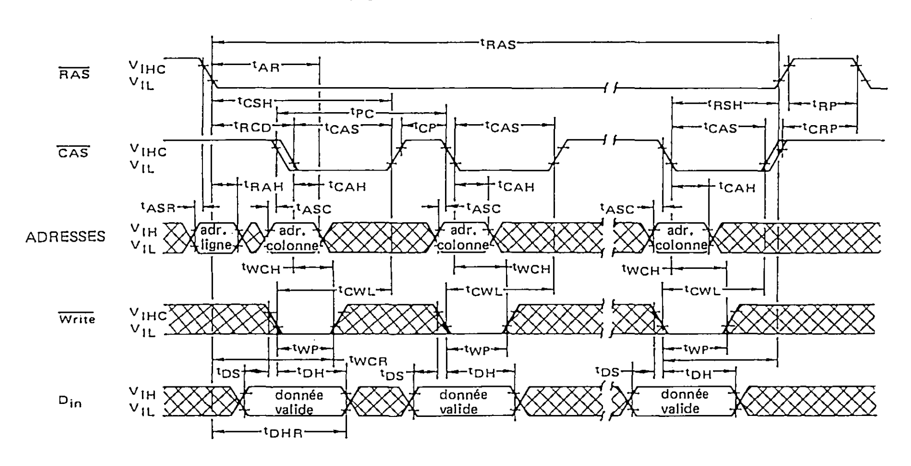


DIAGRAMME DES TEMPS : écriture en mode page



EF4116B — STRUCTURE DE L'ADRESSAGE

adresses ligne A6 A5 A4 A3 A2 A1 A0
adresses colonne A6 A5 A4 A3 A2 A1 A0

Lignes

colonnes

Broche 8

767F

0000	0001	0002	0003	0004	0005	0006	0007	0008	007F
0100	0101	0102	0103	0104	0105	0106	0107	0108	017F

adresses ligne

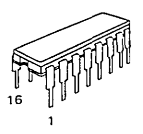
Hex	Dec	A0	A1	A2	A3	A4	A5	A6
00	0	0	0	0	0	0	0	0
01	1	1	0	0	0	0	0	0
02	2	0	1	0	0	0	0	0
03	3	1	1	0	0	0	0	0
04	4	0	0	1	0	0	0	0
05	5	1	0	1	0	0	0	0
06	6	0	1	1	0	0	0	0
07	7	1	1	1	0	0	0	0
08	8	0	0	0	1	0	0	0
3F	63	1	1	1	1	1	1	0
40	64	0	0	0	0	0	0	1
7F	127	1	1	1	1	1	1	1

Broche 16

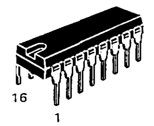
adresses colonne

Hex	Dec	A6	A5	A4	A3	A2	A1	A0
76	118	1	1	1	0	1	1	0
77	119	1	1	1	0	1	1	1
16	22	0	0	1	0	1	1	0
17	23	0	0	1	0	1	1	1
14	20	0	0	1	0	1	0	0
15	21	0	0	1	0	1	0	1
12	18	0	0	1	0	0	1	0
13	19	0	0	1	0	0	1	1
10	16	0	0	1	0	0	0	0
11	17	0	0	1	0	0	0	1
1E	30	0	0	1	1	1	1	0
1F	31	0	0	1	1	1	1	1
1C	28	0	0	1	1	1	0	0
1D	29	0	0	1	1	1	0	1
1A	26	0	0	1	1	0	1	0
1B	27	0	0	1	1	0	1	1
18	24	0	0	1	1	0	0	0
19	25	0	0	1	1	0	0	1
0E	14	0	0	0	1	1	1	0
0F	15	0	0	0	1	1	1	1
0C	12	0	0	0	1	1	0	0
0D	13	0	0	0	1	1	0	1
0A	10	0	0	0	1	0	1	0
0B	11	0	0	0	1	0	1	1
08	8	0	0	0	1	0	0	0
09	9	0	0	0	1	0	0	1
06	6	0	0	0	0	1	1	0
07	7	0	0	0	0	1	1	1
04	4	0	0	0	0	1	0	0
05	5	0	0	0	0	1	0	1
02	2	0	0	0	0	0	1	0
03	3	0	0	0	0	0	1	1
00	0	0	0	0	0	0	0	0
01	1	0	0	0	0	0	0	1

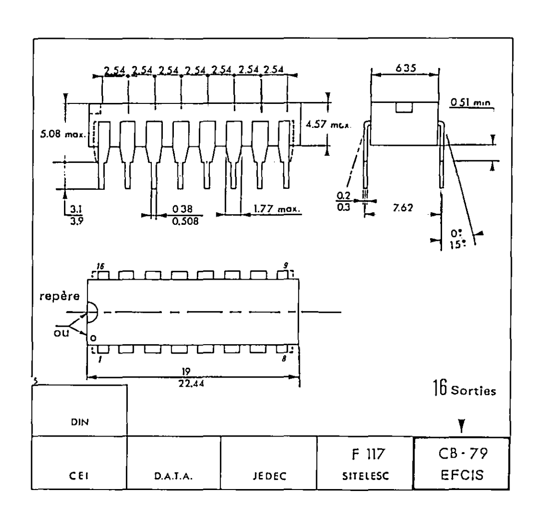
BOITIER CB-79



SUFFIXE C
BOITIER CERAMIQUE



SUFFIXE J
BOITIER CERDIP



Ces spécifications peuvent changer sans préavis.
Consultez notre réseau de vente pour connaître la disponibilité des différentes versions de ce circuit.

EFCIS 

Circuits Intégrés MOS THOMSON-EFCIS

mosmosmosmosmosmosmosmosmosmos

EF6664

Ancienne appellation : SFF8 - 6664

SPECIFICATIONS PROVISOIRES

RAM DYNAMIQUE DE 65 536 BITS

Le circuit EF6664 est une mémoire vive dynamique rapide de 65 536 bits. Elle est organisée en 65 536 mots de un bit et fabriquée dans une technologie HMOS, de haute performance, grille silicium, canal N. Cette nouvelle génération de mémoires dynamiques à alimentation unique de 5V combine de hautes performances avec un prix peu élevé et une fiabilité améliorée.

Grâce au multiplexage des entrées d'adresse ligne et colonne la mémoire EF6664 comporte seulement 8 lignes d'adresses, permettant sa présentation en boîtier standard 16 broches DIL. Le décodage d'adresse complet est incorporé au circuit avec mémorisation des adresses. La sortie donnée est contrôlée par la ligne $\overline{CAS}$ permettant une grande souplesse d'utilisation dans tous systèmes.

Toutes les entrées et sorties, ainsi que les signaux de contrôle sont compatibles TTL. Le circuit EF6664 comprend des cellules mémoires composées d'un transistor et fait appel à des techniques de mémorisation dynamique. En plus du mode de rafraîchissement par la ligne $\overline{RAS}$, des fonctions de contrôle du mode de rafraîchissement sont disponibles à la broche 1 autorisant un mode de rafraîchissement automatique et un mode d'auto-rafraîchissement.

- Organisée en 65 536 mots de 1 bit.
- Tension unique d'alimentation (+ 5 V)
- Fonctionnement rapide 150 ns
- Faible puissance consommée
  275 mW maximum (fonctionnement)
  30 mW maximum (non adressé)
- Sortie donnée 3 états
- Entrées d'adresses et de donnée avec mémorisation interne
- Possibilité d'entrée/sortie en mode écriture anticipée.
- Rafraîchissement compatible avec les 16K, (128 cycles, 2 ms).
- Broche 1 de contrôle pour rafraîchissement automatique et auto-rafraîchissement.
- Mode de rafraîchissement par la ligne $\overline{RAS}$
- Mémorisation ou non de la sortie donnée, contrôlée par $\overline{CAS}$
- Compatibilité ascendante du brochage avec la RAM 16K EF4116B.

TABLE DE VÉRITÉ DE LA SORTIE

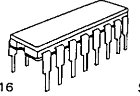
Ecriture anticipée interne	$\overline{CAS}$	Contrôle du rafraîchissement ($\overline{CAS}$ interne)		Sortie
H	X	X	(X)	Hi-Z
X	H	X	(X)	Hi-Z
L	L	L	(H)	Donnée maintenue
L	L	H	(L)	Active

MOS

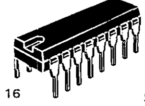
CANAL N, GRILLE SI

RAM DYNAMIQUE DE 65 536 BITS

BOITIER CB-79



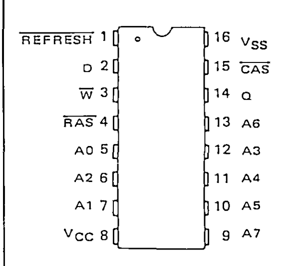
SUFFIXE C
BOITIER CERAMIQUE



SUFFIXE P
BOITIER PLASTIQUE

Différentes versions : voir dernière page.

BROCHAGE



Les entrées de ce circuit sont protégées contre les hautes tensions statiques et les champs électriques ; toutefois, il est recommandé de prendre les précautions normales pour éviter toute tension supérieure aux valeurs limites sur ce circuit à haute impédance.

EFCIS
45, av. de l'Europe
78140 VELIZY
FRANCE
Tel.: (1) 946 97 19
Telex : 698866F

CONDITIONS ET CARACTÉRISTIQUES STATIQUES DE FONCTIONNEMENT

(pour les gammes de température et de tension spécifiées, sauf spécifications contraires)

CONDITIONS DE FONCTIONNEMENT RECOMMANDÉES

Paramètres	Symboles	Min	Typ	Max	Unités	Notes
Tension d'alimentation	V_{CC} V_{SS}	4.5 0	5.0 0	5.5 0	V V	1, 2 1
Niveau logique 1, toutes entrées	V_{IH}	2.4	—	7.0	V	1
Niveau logique 0, $\overline{RAS}$, $\overline{CAS}$, $\overline{WRITE}$	V_{ILC}	-1.0	—	0.6	V	1
Niveau logique 0 toutes entrées, sauf $\overline{RAS}$, $\overline{CAS}$, $\overline{WRITE}$	V_{IL}	-1 0	—	0.8	V	1

CARACTERISTIQUES STATIQUES (V_{CC} = 5,0 V ± 10 %, V_{SS} = 0 V, T_A = 0 à 70° C)

Caractéristiques	Symboles	Min	Max	Unités	Notes
Courant d'alimentation V_{CC}	I_{CC}	—	50	mA	4
Courant d'alimentation, en attente V_{CC}	I_{CC2}	—	5	mA	5
Courant de fuite, toutes entrées	$I_{I(L)}$	—	10	µA	—
Courant de fuite de la sortie	$I_{O(L)}$	—	10	µA	5, 6
Niveau logique 1 pour I_{out} = −4 mA	V_{OH}	2 4	—	V	2
Niveau logique 0 pour I_{out} = 4 mA	V_{OL}	—	0 4	V	2

VALEURS LIMITES (Voir note 1)

Paramètres	Symboles	Valeurs	Unités
Tension relative de chaque broche par rapport à V_{SS}	V_{in}, V_{out}	− 1 à +7	V
Température de fonctionnement	T_A	0 à +70	°C
Température de stockage	T_{stg}	− 65 à + 150	°C
Puissance dissipée	P_D	1,0	W
Courant de sortie D_{out}	I_{out}	50	mA

Note 1 : Le non respect des valeurs limites peut entraîner une détérioration permanente du circuit. Les conditions de fonctionnement recommandées doivent être respectées. Des tensions supérieures à ces valeurs, appliquées pendant une longue durée, peuvent nuire à la fiabilité du circuit.

CONDITIONS ET CARACTÉRISTIQUES DYNAMIQUES DE FONCTIONNEMENT

(Voir notes 3, 9, 14)

(cycles lecture, écriture et lecture - modification - écriture)

CARACTÉRISTIQUES DYNAMIQUES (V_{CC} = 5,0 V ± 10 %, V_{SS} = 0 V, T_A = 0 à 70°C)

Paramètres	Symboles	EF6664-15		EF6664-20		Unités	Notes
		Min	Max	Min	Max		
Temps de cycle en lecture ou en écriture	t_{RC}	300	—	330	—	ns	8
Temps de cycle lecture/écriture	t_{RWC}	300	—	330	—	ns	8
Temps de cycle à partir de l'échantillonnage ligne	t_{RAC}	—	150	—	200	ns	10, 12
Temps de cycle à partir de l'échantillonnage colonne	t_{CAC}	—	75	—	100	ns	11, 12
Retard à la déselection de la sortie donnée	t_{OFF}	0	30	0	40	ns	18
Temps de pré-établissement échantillonnage ligne	t_{RP}	100	—	120	—	ns	—
Largeur d'impulsion de l'échantillonnage ligne	t_{RAS}	150	10000	200	10000	ns	—
Largeur d'impulsion de l'échantillonnage colonne	t_{CAS}	75	10000	100	10000	ns	—
Temps entre l'échantillonnage ligne et colonne	t_{RCD}	25	75	30	100	ns	13
Temps d'établissement de l'adresse ligne	t_{ASR}	0	—	0	—	ns	—
Temps de maintien de l'adresse ligne	t_{RAH}	20	—	25	—	ns	—
Temps d'établissement de l'adresse colonne	t_{ASC}	0	—	0	—	ns	—
Temps de maintien de l'adresse colonne	t_{CAH}	45	—	55	—	ns	—
Temps de maintien de l'adresse colonne par rapport à $\overline{RAS}$	t_{AR}	120	—	155	—	ns	—
Temps de transition (montée et descente)	t_T	3.0	35	3.0	50	ns	14

NOTES :

1 Toutes tensions référencées à V_{SS}
2 La tension de sortie évoluera entre V_{SS} et V_{CC} lors de la mise en trois-états.
3 Plusieurs cycles sont nécessaires après la mise sous tension pour assurer un bon fonctionnement du circuit. 8 cycles minimum sont nécessaires pour réaliser un bon rafraîchissement
4 Le courant est proportionnel au rapport cyclique. Le courant est mesuré pour le rapport cyclique le plus faible.
5 La sortie est désactivée (circuit ouvert) et $\overline{RAS}$ et $\overline{CAS}$ sont toutes les deux au niveau logique 1
6 $0 \text{ V} \leqslant V_{out} \leqslant 5{,}5 \text{ V}$
7 Les capacités sont mesurées à l'aide d'un appareil BOONTON et les capacités effectives sont calculées à l'aide de l'équation : $C = \frac{I \Delta t}{\Delta V}$

CONDITIONS ET CARACTÉRISTIQUES DYNAMIQUES DE FONCTIONNEMENT
(Voir notes 3, 9, 14)
(Cycles lecture, écriture et lecture - modification - écriture)

CARACTÉRISTIQUES DYNAMIQUES (V_{CC}= 5,0 V ±10 %, V_{SS}= 0 V, T_A= 0 à 70°C)

Paramètres	Symboles	EF6664-15		EF6664-20		Unités	Notes
		Min	Max	Min	Max		
Temps d'établissement de la commande lecture	t_{RCS}	0	—	0	—	ns	—
Temps de maintien de la commande lecture	t_{RCH}	0	—	0	—	ns	—
Temps de maintien de la commande en écriture	t_{WCH}	45	—	55	—	ns	—
Temps de maintien de la commande en écriture par rapport à $\overline{RAS}$	t_{WCR}	120	—	155	—	ns	—
Largeur de l'impulsion d'écriture	t_{WP}	45	—	55	—	ns	—
Temps entre commande d'écriture et échant. ligne	t_{RWL}	45	—	55	—	ns	—
Temps entre la commande d'écriture et l'échantillonnage colonne	t_{CWL}	45	—	55	—	ns	—
Temps d'établissement de l'entrée donnée	t_{DS}	0	—	0	—	ns	15
Temps de maintien à l'entrée donnée	t_{DH}	45	—	55	—	ns	15
Temps de maintien de D_{in} par rapport à $\overline{RAS}$	t_{DHR}	120	—	155	—	ns	—
Temps de précharge de l'échantillon. ligne et colonne	t_{CRP}	-10	—	-10	—	ns	—
Temps de maintien de $\overline{RAS}$	t_{RSH}	75	—	100	—	ns	—
Période de rafraîchissement	t_{RFSH}	—	2,0	—	2,0	ms	—
Temps d'établissement de $\overline{WRITE}$	t_{WCS}	-10	—	-10	—	ns	16
Délai de $\overline{CAS}$ à $\overline{WRITE}$	t_{CWD}	45	—	55	—	ns	16
Délai de $\overline{RAS}$ à $\overline{WRITE}$	t_{RWD}	120	—	155	—	ns	16
Temps de maintien de $\overline{CAS}$	t_{CSH}	150	—	200	—	ns	—
Délai de $\overline{RAS}$ à $\overline{REFRESH}$	t_{RFD}	90	—	110	—	ns	—
Période de $\overline{REFRESH}$ (mode sauvegarde-batterie)	t_{FBP}	8000	—	8000	—	ns	—
Temps de précharge de $\overline{REFRESH}$ à $\overline{RAS}$ (mode sauvegarde batterie)	t_{FBR}	300	—	330	—	ns	—
Temps de cycle de $\overline{REFRESH}$ (mode automatique)	$t_{RC} + t_{RP}$	400	—	450	—	ns	—
Période des impulsions $\overline{REFRESH}$ (mode autom.)	t_{FP}	60	2000	60	2000	ns	—
Temps d'établissement de $\overline{REFRESH}$ à $\overline{RAS}$ (mode automatique)	t_{FSR}	30	—	30	—	ns	—
Temps de cycle de $\overline{REFRESH}$ à $\overline{RAS}$ (mode automatique)	t_{FRD}	280	—	300	—	ns	—

Paramètres	Symboles	Typ	Max	Unités	Notes
Capacité d'entrée (A0-A7), D_{in}	C_{I1}	4.0	5.0	pF	7
Capacité d'entrée $\overline{RAS}$, $\overline{CAS}$, $\overline{WRITE}$	C_{I2}	8.0	10	pF	7
Capacité de sortie, (D_{out})	C_o	5.0	7.0	pF	7, 17

NOTES : (Suite)

8 Les spécifications de t_{RC} (min), t_{RMW} (min) et t_{RWC} (min) sont utilisées uniquement pour indiquer le temps de cycle pour lequel le fonctionnement correct est garanti dans la gamme de fonctionnement

9 $0°C \leqslant T_A \leqslant 70°$ C.

10 En supposant le temps de transition t_T = 5,0 ns.

11 En supposant que $t_{RCD} + t_T \leqslant t_{RCD}$ (max.)

12 En supposant que $t_{RCD} + t_T \geqslant t_{RCD}$ (max.).
Mesuré avec un circuit de charge équivalent à 2 charges TTL et 100pF.

13 Toute opération à l'intérieur de la limite de t_{RCD} (max.), permet de respecter t_{RAC} (max.). t_{RCD} (max.) est spécifié en tant que point de référence ; si t_{RCD} est supérieur à la limite t_{RCD} (max.), alors le temps d'accès est contrôlé uniquement par t_{CAC}.

14 V_{IHC} (min) ou V_{IH} (min) et V_{IL} (max) sont des références de niveau pour la mesure des temps des signaux d'entrée. Ainsi, les temps de transition sont mesurés entre V_{IHC} ou V_{IH} et V_{IL}.

15 Ces paramètres sont référencés par rapport au front descendant de $\overline{CAS}$ pour les cycles d'écriture et à partir du front descendant de $\overline{WRITE}$ pour les cycles écriture retardé ou lecture - modifiction - écriture.

16 t_{WCS}, t_{CWD} et t_{RWD} ne sont pas des paramètres de fonctionnement restrictifs. Ils sont inclus dans cette notice comme caractéristiques électriques uniquement ;
si $t_{WCS} \geqslant t_{CWD}$ (min), le cycle est un cycle d'écriture anticipée et la broche de sortie des données restera à l'état haute impédance jusqu'à la fin du cycle ;
si $t_{CWD} \geqslant t_{CWD}$ (min) et $t_{RWD} \geqslant t_{RWD}$ (min), le cycle est un cycle de lecture - écriture et la donnée de sortie contiendra la valeur de l'adresse sélectionnée ; si aucune de ces conditions n'est respectée, l'état de la sortie donnée est indéterminé.

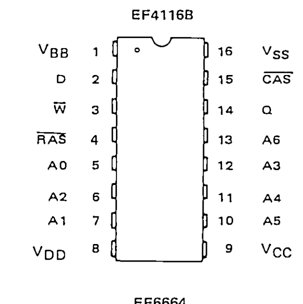
17 CAS = V_{IHC} pour inhiber D_{out}.

18 t_{off} (max) définit le temps de mise en trois états de la sortie donnée et n'est pas une référence pour le niveau de sortie.

SCHÉMA SYNOPTIQUE

Vcc
Vss
Horloge
Amplificateur
Amplificateur
A0
A1
A2
A3
A4
A5
A6
A7
Amplificateurs d'adresse
Compteurs
Multiplexeurs
Zone mémoire
16 384 bits
Décodeur ligne 1/128
Zone mémoire
16 384 bits
1/2 (1 à 128)
Décodeur colonnes
1/2
Cell.
Logique
1/2 (1 à 128)
Décodeur colonnes
Zone mémoire
16 384 bits
Décodeur ligne 1/128
Zone mémoire
16 384 bits
Horloge
Amplificateur
Amplificateur
Entrée/sortie
Contrôle d'horloge et rafraîchissement
$\overline{RAS}$
$\overline{CAS}$
Ecriture, $\overline{W}$
$\overline{REFRESH}$
Entrée donnée D
Sortie donnée Q

COMPARAISONS ENTRE 4116B et 6664



DIFFÉRENCES DE BROCHAGE

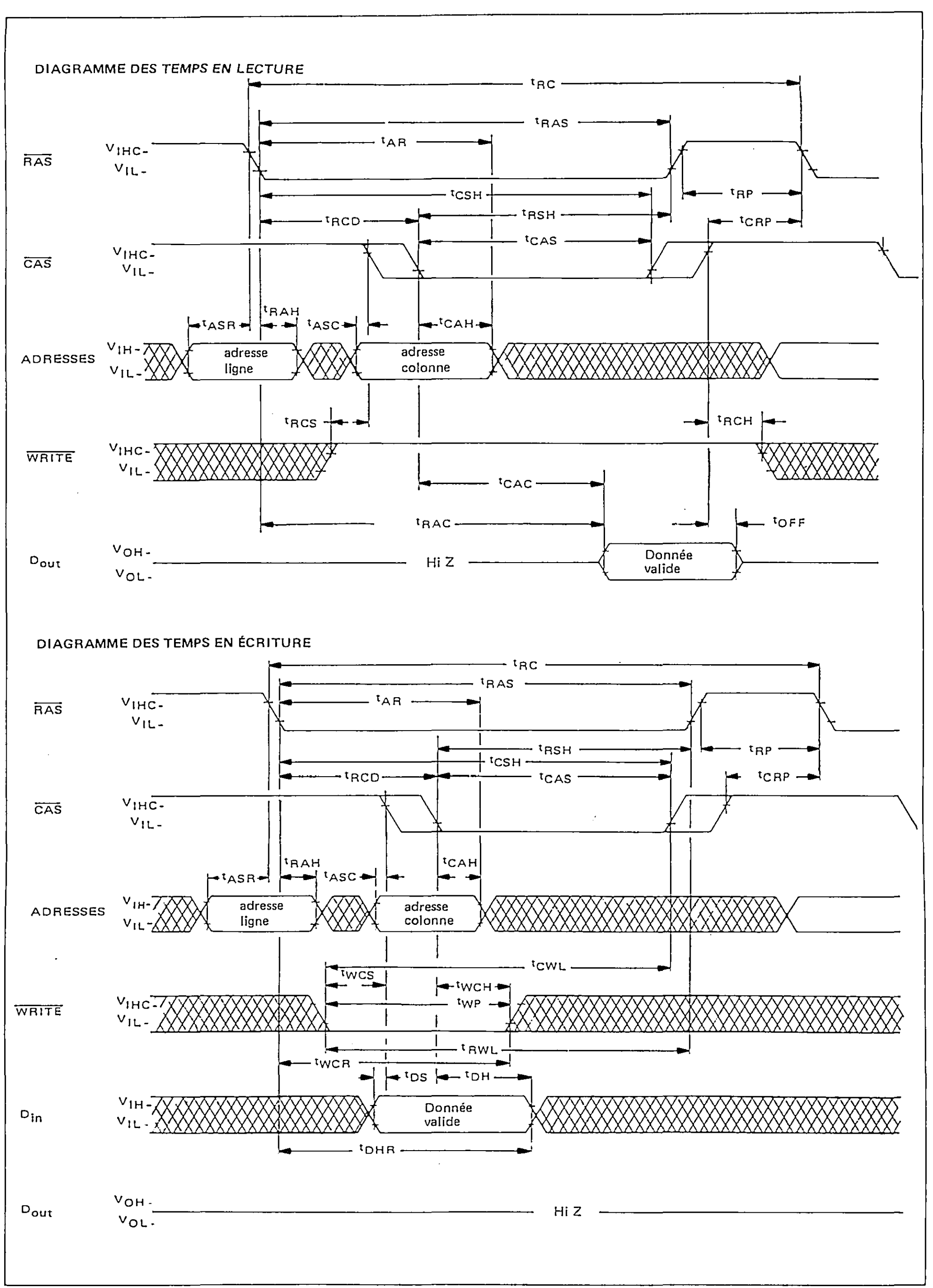
NUMÉRO DE BROCHE	EF4116B	EF6664
1	V_{BB} (−5 V)	$\overline{REFRESH}$
8	V_{DD} (+12 V)	V_{CC} (+5 V)
9	V_{CC} (+5 V)	A7

EF6664

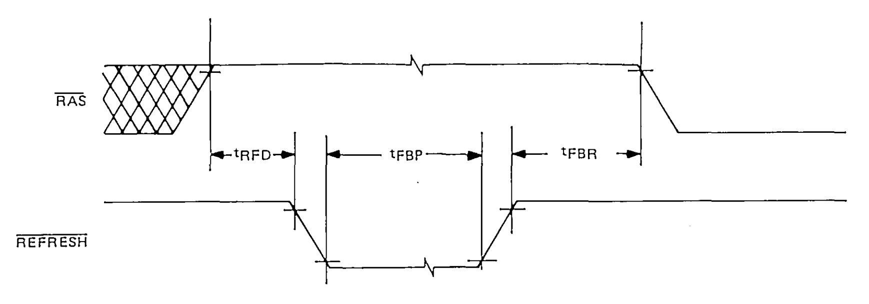
$\overline{REFRESH}$	1	16	V_{SS}
D	2	15	$\overline{CAS}$
$\overline{W}$	3	14	Q
$\overline{RAS}$	4	13	A6
A0	5	12	A3
A2	6	11	A4
A1	7	10	A5
V_{CC}	8	9	A7

AVANTAGES DU RAFRAICHISSEMENT INTERNE

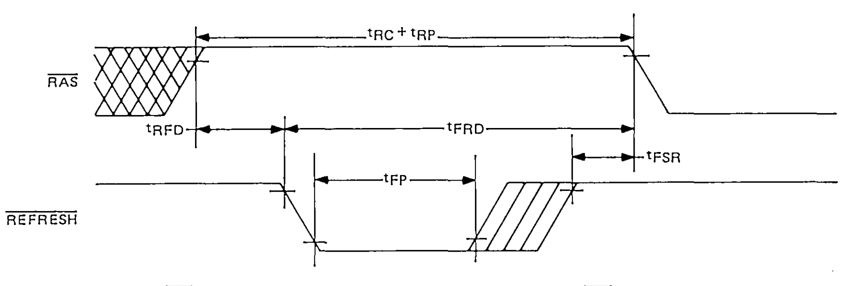
Réduction des problèmes de conception pour le contrôleur de rafraîchissement.
Réduction de la partie comptage
Réduction du bruit, amélioration de la fiabilité des systèmes
Réduction de la puissance consommée durant le rafraîchissement.


DIAGRAMME DES TEMPS EN LECTURE
t_{RC}
t_{RAS}
t_{AR}
RAS
V_{IHC}
V_{IL}
t_{CSH}
t_{RP}
t_{RCD}
t_{RSH}
t_{CRP}
t_{CAS}
CAS
t_{ASR}
t_{RAH}
t_{ASC}
t_{CAH}
ADRESSES
V_{IH}
V_{IL}
adresse ligne
adresse colonne
t_{RCS}
t_{RCH}
WRITE
t_{CAC}
t_{RAC}
t_{OFF}
D_{out}
V_{OH}
V_{OL}
Hi Z
Donnée valide
DIAGRAMME DES TEMPS EN ÉCRITURE
t_{RC}
t_{RAS}
t_{AR}
RAS
t_{RSH}
t_{RP}
t_{CSH}
t_{RCD}
t_{CAS}
t_{CRP}
CAS
t_{RAH}
t_{CAH}
t_{ASR}
t_{ASC}
ADRESSES
adresse ligne
adresse colonne
t_{CWL}
t_{WCS}
t_{WCH}
t_{WP}
WRITE
t_{RWL}
t_{WCR}
t_{DS}
t_{DH}
D_{in}
Donnée valide
t_{DHR}
D_{out}
V_{OH}
V_{OL}
Hi Z

MODE AUTO-RAFRAICHISSEMENT (sauvegarde batterie)
(CAS*, adresses, Data-In, et Write sont indéterminés.

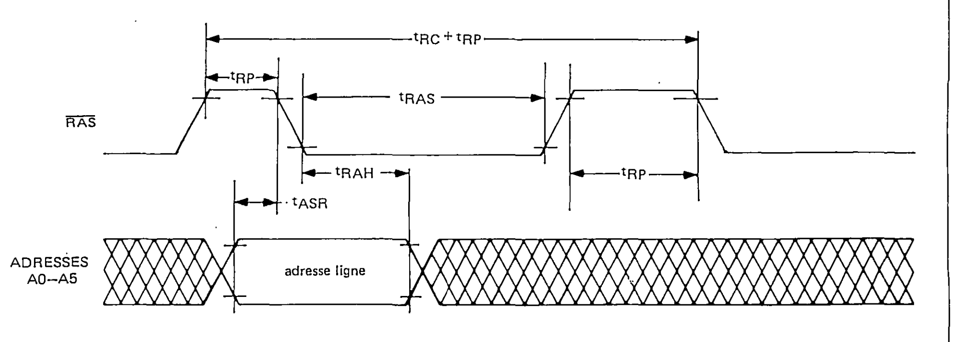


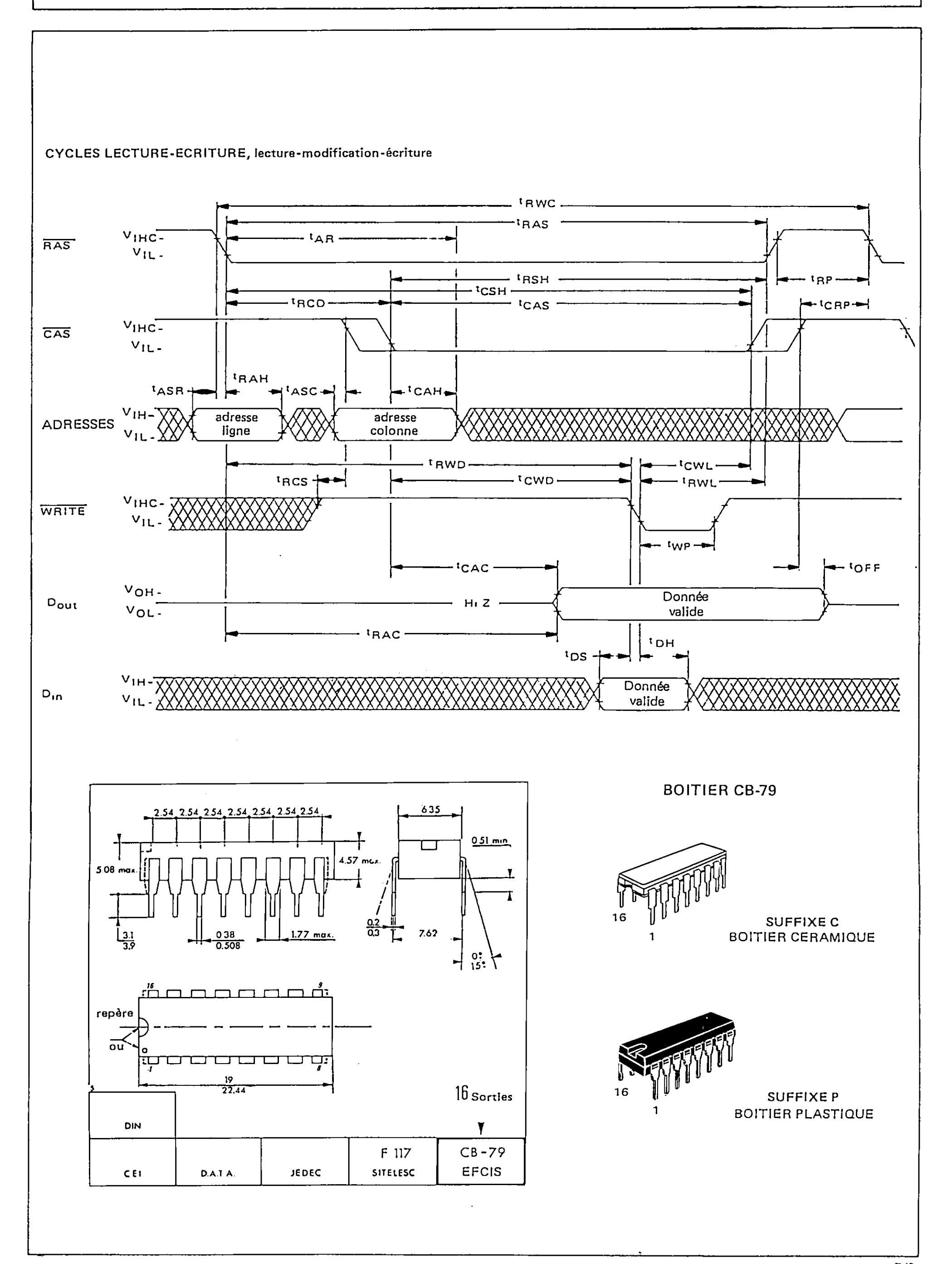
CYCLE DE RAFRAICHISSEMENT, auto impulsion
(CAS*, adresses, Data-In, et Write sont indéterminés)



* CAS contrôle la sortie donnée si CAS repasse à l'état bas la sortie sera à nouveau validée. Quand CAS est à l'état haut, la sortie sera à l'état haute impédance.

CYCLE DE RAFRAICHISSEMENT par RAS uniquement
(Data-In et Write indéterminés, CAS est à l'état haut).




CYCLES LECTURE-ECRITURE, lecture-modification-écriture
RAS
CAS
ADRESSES
WRITE
Dout
Din
VIHC-
VIL-
VIH-
VOH-
VOL-
tRWC
tRAS
tAR
tRP
tRSH
tCSH
tRCD
tCAS
tCRP
tASR
tRAH
tASC
tCAH
adresse ligne
adresse colonne
tRWD
tCWL
tRCS
tCWD
tRWL
tWP
tCAC
tOFF
Hi Z
Donnée valide
tRAC
tDS
tDH
BOITIER CB-79
2.54 2.54 2.54 2.54 2.54 2.54 2.54
6.35
0.51 min
5.08 max.
4.57 max.
3.1
3.9
0.38
0.508
1.77 max.
0.2
0.3
7.62
0°
15°
repère
ou
19
22.44
16 Sorties
DIN
CEI
D.A.T.A.
JEDEC
F 117
SITELESC
CB-79
EFCIS
16
1
SUFFIXE C
BOITIER CERAMIQUE
SUFFIXE P
BOITIER PLASTIQUE

EF6664 – ORGANISATION DE L'ESPACE D'ADRESSAGE

Adresses ligne A_7 A_6 A_5 A_4 A_3 A_2 A_1 A_0 Broche 8
Adresses colonne A_7 A_6 A_5 A_4 A_3 A_2 A_1 A_0

Lignes

adresses colonne

Hex	Dec	A_7	A_6	A_3	A_4	A_5	A_2	A_0	A_1
FE	254	1	1	1	1	1	1	1	0
FF	255	1	1	1	1	1	1	1	1
FC	252	1	1	1	1	1	1	0	0
FD	253	1	1	1	1	1	1	0	1
FA	250	1	1	1	1	1	0	1	0
FB	251	1	1	1	1	1	0	1	1
F8	248	1	1	1	1	1	0	0	0
F9	249	1	1	1	1	1	0	0	1
	⋮								
82	130	1	0	0	0	0	0	1	0
83	131	1	0	0	0	0	0	1	1
8D	128	1	0	0	0	0	0	0	0
81	129	1	0	0	0	0	0	0	1
7F	127	0	1	1	1	1	1	1	1
7E	126	0	1	1	1	1	1	1	0
7D	125	0	1	1	1	1	1	0	1
	⋮								
04	4	0	0	0	0	0	1	0	0
03	3	0	0	0	0	0	0	1	1
02	2	0	0	0	0	0	0	1	0
01	1	0	0	0	0	0	0	0	1
00	0	0	0	0	0	0	0	0	0

01FF 01FF — 0110 0111 0101 0100

00FF 00FF — 0010 0011 0001 0000

adresses ligne

Hex	Dec	A_0	A_2	A_1	A_5	A_4	A_3	A_6	A_7
FE	254	0	1	1	1	1	1	1	1
FF	255	1	1	1	1	1	1	1	1
7E	126	0	1	1	1	1	1	1	0
7F	127	1	1	1	1	1	1	1	0
	⋮								
08	8	0	0	0	1	0	0	0	0
06	6	0	1	1	0	0	0	0	0
07	7	1	1	1	0	0	0	0	0
05	5	1	0	1	0	0	0	0	0
04	4	0	0	1	0	0	0	0	0
02	2	0	1	0	0	0	0	0	0
03	3	1	1	0	0	0	0	0	0
01	1	1	0	0	0	0	0	0	0
00	0	0	0	0	0	0	0	0	0

Broche 16

Informations préliminaires : ces spécifications peuvent changer sans préavis.
Consultez notre réseau de vente pour connaître la disponibilité des différentes versions de ce circuit.

EFCIS



Circuits Intégrés MOS THOMSON-EFCIS

mosmosmosmosmosmosmosmosmosmos

EFD 1702 A

Ancienne appellation : SFF7-1702A

2048 BIT REPROGRAMMABLE READ ONLY MEMORY

MEMOIRE A LECTURE SEULE REPROGRAMMABLE 2048 BITS

PRELIMINARY DATA — *NOTICE PRELIMINAIRE*

GENERAL DESCRIPTION

The EFD 1702A is a 256 word by 8 bit field programmable read only memory. Initially, all 2048 bits of the EFD 1702A are in the "O" state (all outputs at a logic low level). Each bit in the ROM can be electrically programmed at a "1" state (output at a high logic level.

The EFD 1702A is packaged in a 24 pin dual in line with a transparent quartz lid through which the memory can be erased by ultraviolet light. Then the memory can be reprogrammed with a new pattern.

The EFD 1702A is tested on each bit position to ensure programmability prior to shipment.

Except for programming procedure, the EFD 1702A can replace the Intel 1702A and the AMD Am 1702A.

DESCRIPTION GENERALE

Le EFD 1702A est une mémoire à lecture seule programmable par l'utilisateur, organisée en 256 mots de 8 bits. Initialement, tous les bits du EFD 1702A sont à l'état "O" (toutes les sorties au niveau logique bas). Chaque bit de la mémoire à lecture seule peut être programmé à un état "1" (sortie à un niveau logique haut).

Le EFD 1702A est en boîtier DIL à 24 broches avec un couvercle transparent en quartz à travers lequel la mémoire peut être effacée en l'exposant à des rayons ultraviolets. Ensuite la mémoire peut être reprogrammée avec un nouveau contenu.

Le EFD 1702A est testé avant livraison sur chaque bit pour s'assurer que la programmation est possible.

Mis à part les différences de programmation, le EFD 1702A peut remplacer les produits 1702A d'Intel et Am 1702A d'AMD.

Functional diagram
Schéma synoptique

A0 A1 A2 A3 A4 A5 A6 A7

One of 256 decoder
De 1 à 256 décodeurs

Program.

256 x 8
Memory array
Matrice mémoire

$\overline{CS}$

Buffers
Amplificateurs

O1 O2 O3 O4 O5 O6 O7 O8

Principal features
Données principales

- Field electrically programmable 2048 bits ROM.
- Erasable and electrically reprogrammable
- 100 % tested for programmability
- Typical programming time of 2 minutes / device
- 256 x 8 organization
- Fully decoded
- Static MOS . No clocks required
- Inputs and outputs DTL and TTL compatible
- Three state output
- Chip enable output control

- *Mémoire morte de capacité 2048 bits programmable électriquement par l'utilisateur*
- *Effaçable et électriquement reprogrammable*
- *Testée à 100 %*
- *Temps typique de programmation : 2 minutes par produit*
- *Configuration : 256 X 8*
- *Adresses décodées*
- *Entièrement statique. Pas d'horloge*
- *Compatibilité directe avec circuit DTL - TTL*
- *Sorties trois états*
- *Contrôle des sorties par inhibition*

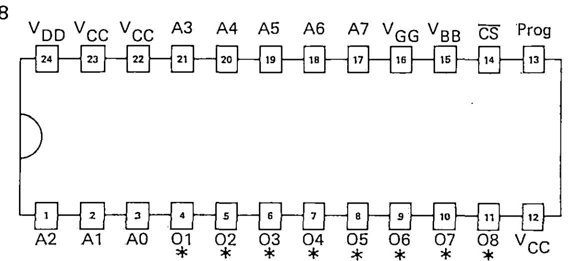
EFCIS
45, av. de l'Europe
78140 VELIZY
FRANCE
Tel.: (1) 946 97 19
Telex : 698866F

PIN CONFIGURATION

BROCHAGE

Package : Hermitally Dip / Quartz lip
Boîtier : Boîtier Dip hermétique / couvercle en quartz
CB-68

Top view
Vue de dessus



*This pin is the data input lead during programming
Cette broche est l'entrée des données en programmation

Pin *Broche*	Mode *Type d'opération*		Pin *Broche*	Mode *Type d'opération*	
	Read *Lecture*	Programming *Programmation*		Read *Lecture*	Programming *Programmation*
12 V_{CC}	V_{CC}	Ground *Masse*	16 V_{GG}	V_{GG}	Impulsion *Impulsion*
13 Prog	V_{CC}	Program pulse *Impulsion décodage*	22 V_{CC}	V_{CC}	Ground *Masse*
14 $\overline{CS}$	Ground *Masse*	Ground *Masse*	23 V_{CC}	V_{CC}	Ground *Masse*
15 V_{BB}	V_{CC}	V_{BB}	24 V_{DD}	V_{DD}	Impulsion *Impulsion*

ABSOLUTE MAXIMUM RATINGS

VALEURS LIMITES ABSOLUES

PARAMETERS *PARAMETRES*	SYMBOLS *SYMBOLES*	VALUES *VALEURS*
Ambient temperature under bias *Température ambiante*	T_{amb}	–0°C → 70°C.
Power dissipation *Dissipation de puissance*	P_{tot}	2 W
Read operation : input voltages and supply voltages with respect to V_{CC} *Opération de lecture : tensions d'entrée et tensions d'alimentation par rapport à V_{CC}*	V_{DD} V_{GG} V_I	V_{CC} +0,5 V → V_{CC} – 20 V
Program operation : input voltages and supply voltages with respect to V_{CC} *Opération de programmation : tensions d'entrée et tension d'alimentation par rapport à V_{CC}*	V_{DD} V_{GG} V_I	V_{CC} – 48 V

READ OPERATION
OPERATION DE LECTURE

SPECIFIED OPERATING CONDITIONS (unless otherwise specified)
CONDITIONS DE FONCTIONNEMENT SPECIFIEES (sauf spécification contraire)

PARAMETERS *PARAMETRES*	SYMBOLS *SYMBOLES*	VALUES *VALEURS*			UNITS *UNITES*
		MIN.	TYP	MAX.	
*V_{GG} power supply *Tension d'alimentation V_{GG}*	V_{GG}	–9,45	–9	–8,55	V
V_{DD} power supply *Tension d'alimentation V_{DD}*	V_{DD}	–9,45	–9	–8,55	V
V_{CC} power supply *Tension d'alimentation V_{CC}*	V_{CC}	4,75	5	5,25	V
Ambient temperature *Température d'ambiance*	T_{amb}	0		+70	°C

*V_{GG} may be pulsed to reduce power dissipation
V_{GG} peut être rythmé afin de réduire la puissance dissipée.

STATIC CHARACTERISTICS
CARACTERISTIQUES STATIQUES

PARAMETERS *PARAMETRES*	SYMBOLS *SYMBOLES*	TEST CONDITIONS *CONDITIONS DE MESURE*	VALUES *VALEURS*			UNITS *UNITES*
			MIN.	TYP.	MAX.	
Input leakage current *Courant de fuite entrée substrat*	I_{ISB}	$V_I = 0$ V			1	µA
Output leakage current *Courant de fuite sortie substrat*	I_{OSB}	$V_O = 0$ V, $\overline{CS} = V_{CC} - 2$ V			1	µA
V_{DD} power supply current *Courant de l'alimentation V_{DD}*	I_{DDO} (note 1)	$V_{GG} = V_{CC}$, $\overline{CS} = V_{CC} - 2$ V, $I_{OL} = 0$ mA, $T_{amb} = 25°C$		5	10	mA
	I_{DD1}	$\overline{CS} = V_{CC} - 2$ V, $I_{OL} = 0$ mA, $T_{amb} = 25°C$		35	50	mA
	I_{DD2}	$\overline{CS} = 0$ V, $I_{OL} = 0$ mA, $T_{amb} = 25°C$		32	46	mA
	I_{DD3}	$\overline{CS} = V_{CC} - 2$ V, $I_{OL} = 0$ mA, $T_{amb} = 0°C$		38,5	60	mA

Note 1 : I_{DD} may be reduced by pulsing the V_{GG} supply between V_{CC} and –9 V. V_{DD} current will be directly proportional to V_{GG} duty cycle. The data outputs will be unaffected by address or chip select changes while V_{GG} is at V_{CC}.
I_{DD} peut être diminué en rythmant la tension d'alimentation V_{GG} entre V_{CC} et –9 V. Le courant d'alimentation I_{DD} est proportionnel au rapport cyclique. Les informations en sortie ne sont pas perturbées par les changements d'adresses ou de sélection lorsque V_{GG} est au niveau V_{CC}.

STATIC CHARACTERISTICS
CARACTÉRISTIQUES STATIQUES

PARAMETERS *PARAMETRES*	SYMBOLS *SYMBOLES*	TEST CONDITIONS *CONDITIONS DE MESURE*	VALUES *VALEURS* MIN.	TYP.	MAX.	UNITS *UNITES*
Output clamp current *Courant maximum disponible en sortie*	I_{CF1}	$V_O = -1$ V, $T_{amb} = 0°C$		8	14	mA
	I_{CF2}	$V_O = -1$ V, $T_{amb} = 25°C$			13	mA
Gate supply current *Courant de l'alimentation V_{GG}*	I_{GG}				1	μA
Output high voltage *Tension de sortie à l'état haut*	V_{OH}	$I_{OH} = -100$ μA	3,5	4,5		V
Output low voltage *Tension de sortie à l'état bas*	V_{OL}	$I_{OL} = 1,6$ mA		–0,7	0,45	V
Output source current *Courant de sortie à l'état haut*	I_{OH}	$V_O = 0$ V	–2			mA
Output sink current *Courant de sortie à l'état bas*	I_{OL}	$V_O = 0,45$ V	1,6	4		mA
Input high voltage *Tension d'entrée à l'état haut*	V_{IH}		V_{CC} –2		V_{CC} +0,3	V
Input low voltage for TTL *Tension d'entrée à l'état bas pour TTL*	V_{IL}		–1		0,65	V
Input low voltage for MOS *Tension d'entrée à l'état bas pour MOS*	V_{IL}		V_{DD}		V_{CC} –6	V

DYNAMIC CHARACTERISTICS
CARACTERISTIQUES DYNAMIQUES

PARAMETERS *PARAMETRES*	SYMBOLS *SYMBOLES*	TEST CONDITIONS *CONDITIONS DE MESURE*	VALUES *VALEURS*			UNITS *UNITES*
			MIN.	TYP.	MAX.	
Repetition rate *Fréquence d'horloge*	f				1	MHz
Previous read data valid *Validité de l'information lue après disparition de l'adresse*	t_{OH}				100	ns
Address to output delay *Temps d'accès à partir de l'adresse*	t_{ACC}			0,7	1	µs
Set up time V_{GG} (note 1) *Temps de prétablissement de V_{GG} (note 1)*	$t_D - V_{GG}$		0			µs
Chip select delay *Retard de la sélection du boîtier par rapport à l'adresse*	t_{CS}				100	ns
Output delay from CS *Temps d'accès à partir de la sélection du boîtier*	t_{CO}				900	ns
Output deselect *Validité de l'information lue après la disparition du signal de sélection du boîtier*	t_{OD}				300	ns
Data out valid from V_{GG} *Validité de l'information lue à partir de V_{GG}*	t_{OHC}				5	µs

*CAPACITANCE
CAPACITE

$T_{amb} = 25°C$

PARAMETERS *PARAMETRES*	SYMBOLS *SYMBOLES*	TEST CONDITIONS *CONDITIONS DE MESURE*	VALUES *VALEURS*			UNITS *UNITES*
			MIN.	TYP.	MAX.	
Input capacitance *Capacité d'entrée*	C_{IN}	All unused pins at V_{CC} *Toutes les broches non utilisées sont à V_{CC}*		8	15	pF
Output capacitance *Capacité de sortie*	C_{OUT}			10	15	pF
V_{GG} capacitance *Capacité de l'entrée V_{GG}*	C_{VGG}				30	pF

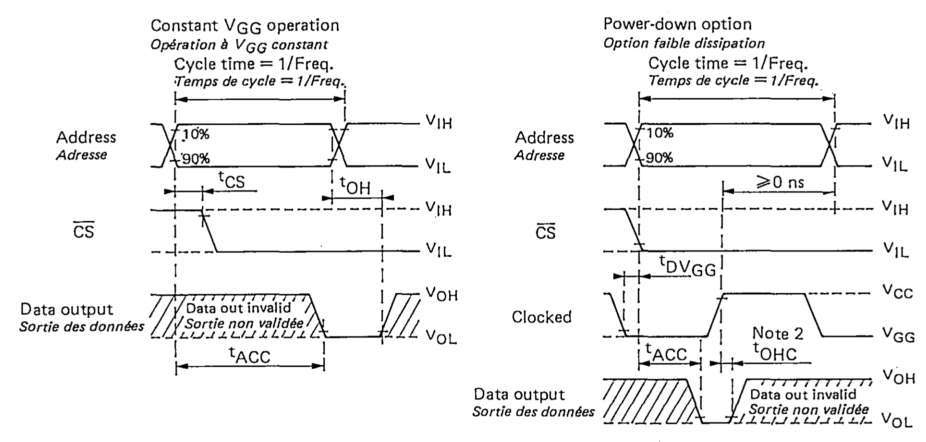
*This parameter is periodically sampled and is not 100% tested
Ce paramètre est mesuré par prélèvement et n'est pas testé à 100%

DYNAMIC WAVEFORMS

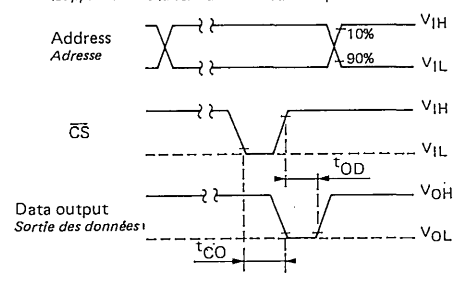
FORME D'ONDE DYNAMIQUE

Conditions of test :
Input pulse amplitude : 0 to 4 V ; t_R, $t_F \leqslant 50$ ns
Output load is 1 TTL gate ; measurements made at output of TTL gate ($t_{PD} \leqslant 15$ ns) $C_L = 15$ pF

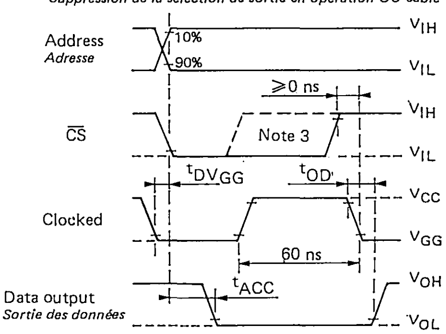
Conditions de mesure :
Amplitude des impulsions d'entrée : 0 à 4 V ; t_R, $t_F \leqslant 50$ ns
La charge en sortie est équivalente à celle d'une porte TTL, les mesures sont effectuées à la sortie d'une porte TTL ($t_{PD} \leqslant 15$ ns) $C_L = 15$ pF.



Deselection of data output in "wired or" operation
Suppression de la sélection de sortie en opération OU-cablé



Deselection of data output in "wired or" operation
Suppression de la sélection de sortie en opération OU-cablé



Note 2 : The output will remain valid for t_{OHC} as long as clocked V_{GG} is at V_{CC}. An address change may occur as soon as the output is sensed (clocked V_{GG} may still be at V_{CC}). Data becomes invalid for the old address when clocked V_{GG} is returned to V_{GG}.
Les sorties restent valides pendant t_{OHC} tant que la tension rythmée V_{GG} est à V_{CC}. Un changement d'adresse peut intervenir dès que l'information est apparue (la tension rythmée V_{GG} est encore à V_{CC}). L'information correspondant à l'ancienne adresse cesse d'être valide dès que la tension rythmée V_{GG} revient à V_{GG}.

Note 3 : If CS makes a transition from V_{IL} to V_{IH} while clocked V_{GG} is at V_{GG}, then deselection of output occurs at t_{OD} as shown in static operation with constant V_{GG}.
Si CS passe du niveau V_{IL} au niveau V_{IH} lorsque la tension rythmée V_{GG} est au niveau V_{GG}, l'information en sortie n'est disponible après la disparition du signal de sélection que pendant le temps t_{OD} comme le montre le chronogramme à V_{GG} constant

PROGRAMMING OPERATION
OPERATION DE PROGRAMMATION

SPECIFIED PROGRAMMING CONDITIONS (unless otherwise specified)
CONDITIONS DE PROGRAMMATION SPECIFIEES (sauf spécification contraire)

PARAMETERS *PARAMETRES*	SYMBOLS *SYMBOLES*	VALUES *VALEURS* MIN.	TYP.	MAX.	UNITS *UNITES*
V_{BB} power supply *Tension d'alimentation V_{BB}*	V_{BB}	10,8	12	13,2	V
V_{CC} voltage *Tension V_{CC}*	V_{CC}		0		V
$\overline{CS}$ voltage *Tension $\overline{CS}$*	$\overline{CS}$		0		V
Ambient temperature *Température ambiante*	T_{amb}		25		°C

STATIC CHARACTERISTICS
CARACTERISTIQUES STATIQUES

PARAMETERS *PARAMETRES*	SYMBOLS *SYMBOLES*	TEST CONDITIONS *CONDITIONS DE MESURE*	VALUES *VALEURS* MIN.	TYP.	MAX.	UNITS *UNITES*
Address and data input load current *Courant de charge des entrées d'adresse et de donnée*	I_{LI1P}	$V_i = -48$ V			10	mA
Program and V_{GG} load current *Courant de charge de programmation et de l'alimentation V_{GG}*	I_{LI2P}	$V_i = -48$ V			10	mA
V_{BB} supply load current *Courant de charge de l'alimentation V_{BB}*	I_{BB}	Note 4		10		mA
Peak I_{DD} supply load current *Courant maximum de charge I_{DD} de l'alimentation V_{DD}*	I_{DDp}	$V_{DD} = V_{prog} = -48$ V $V_{GG} = -35$ V (note 5)		200		mA
Input high voltage *Tension d'entrée à l'état haut*	V_{IHP}				0,3	V
Pulsed data input low voltage *Tension d'entrée à l'état bas de l'impulsion de donnée*	V_{IL1p}		–46		–48	V
Address input low voltage *Tension d'entrée à l'état bas des entrées d'adresse*	V_{IL2p}		–40		–48	V
Pulsed input low V_{DD} and program voltage *Tension d'entrée à l'état bas de l'impulsion V_{DD} et de l'impulsion de programmation*	V_{IL3p}		–46		–48	V
Pulsed input low V_{GG} voltage *Tension d'entrée à l'état bas de l'impulsion V_{GG}*	V_{IL4p}		–35		–40	V

Note 4 : The V_{BB} supply must be limited to 100 mA max current to prevent damage to the device.
Le courant débité par l'alimentation V_{BB} doit être limité à 100 mA max pour éviter d'endommager le produit.

Note 5 : I_{DDp} flows only during V_{DD}, V_{GG} on time. I_{DDp} should not be allowed to exceed 300 mA for greater than 100 µsec.
Le courant I_{DDp} ne s,écoule que lorsque V_{DD} et V_{GG} sont actifs. I_{DDp} ne doit pas dépasser 300 mA pendant plus de 100 µs

DYNAMIC CHARACTERISTICS (unless otherwise specified)
CARACTERISTIQUES DYNAMIQUES (sauf spécification contraire)

PARAMETERS *PARAMETRES*	SYMBOLS *SYMBOLES*	TEST CONDITIONS *CONDITIONS DE MESURE*	VALUES *VALEURS*			UNITS *UNITES*
			MIN.	TYP.	MAX.	
Program pulse width *Largeur de l'impulsion de programmation*	$t\phi$ pW	$V_{GG} = -35$ V $V_{DD} = V_{prog} = -48$ V			3	ms
Data set up time *Temps de préétablissement de l'information*	t_{DW}		25			µs
Data hold time *Temps de maintien de l'information*	t_{DH}		10			µs
V_{DD}, V_{GG} set up *Temps de préétablissement de V_{DD}, V_{GG}*	t_{VW}		100			µs
V_{DD}, V_{GG} hold *Temps de maintien de V_{DD}, V_{GG}*	t_{VD}		10		100	µs
Address complement set up *Temps de préétablissement de l'adresse complémentaire*	t_{ACW}	Note 6	25			µs
Address complement hold *Temps de maintien de l'adresse complémentaire*	t_{ACH}	Note 6	25			µs
Address true set-up *Temps de préétablissement de l'adresse réelle*	t_{ATW}		10			µs
Address true hold *Temps de maintien de l'adresse réelle*	t_{ATW}		10			µs
Duty cycle (V_{DD}, V_{GG}) *Rapport cyclique (V_{DD}, V_{GG})*					20	%

Note 6 : All 8 address bits must be in complement state when pulsed V_{DD} and V_{GG} move to their negative levels. The addresses (0 through 255) must be programmed as shown in the timing diagram for a minimum of 32 times .
Tous les poids de l'adresse doivent être à l'état complémentaire lorsque les impulsions V_{GG} et V_{DD} passent à leur niveau négatif. Les adresses (0 à 255) doivent être programmées comme l'indique le chronogramme, ceci répété au minimum 32 fois.

DYNAMIC WAVEFORMS FOR PROGRAMMING OPERATION

FORME D'ONDE DYNAMIQUE EN MODE PROGRAMMATION

Conditions of test :

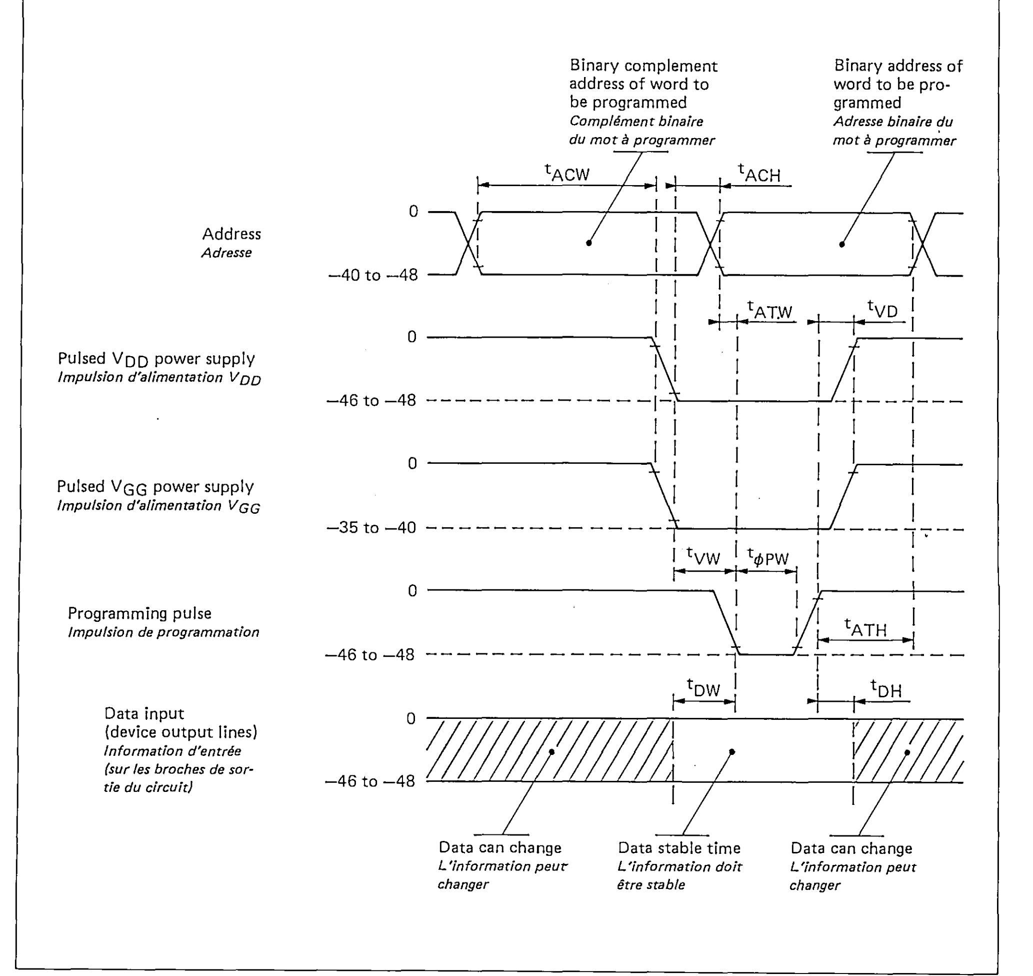
Input pulse rise and fall times ⩽ 1 μs

$\overline{CS}$ = 0 V

Conditions de mesure :

Temps de montée et de descente de l'impulsion d'entrée ⩽ 1 μs

$\overline{CS}$ = *0 V*



Programming the EFD 1702A

Each storage node in the EFD 1702A consists of an MOS transistor whose gate is not connected to any circuit component. Initially, all 2048 transistors of the ROM are off, making all outputs low in an unprogrammed device.
Programming a bit to a high state is accomplished by applying a large negative voltage at the drain of the selected transistor. Electrons tunnel through the gate insulation on to the gate itself. When the negative voltage is removed, charges are left on the gate which holds the transistor on. Since the gate is completely isolated, there is no path by which the charges can escape. Only the application of high intensity short ultraviolet light via the quartz window can erase the program and restore the 2048 transistors of the ROM to off state.
Programming is accomplished by addressing the desired word by the same circuitry used in the read mode (negative logic levels : −44 V), applying a negative voltage to V_{DD}, V_{GG} and the outputs to be programmed (−47 V) and then applying a −47 V pulse to the programming pin. All 8 address bits must be in the binary complement state when pulsed V_{DD} and V_{GG} move to their negative levels. The addresses must be held in the binary complement state for at least 25 µs after V_{DD} and V_{GG} have moved to their negative levels.
The addresses must then move to their true state a minimum of 10 µs before the program pulse is applied. The addresses should be programmed sequentially (from 0 to 255) for a minimum of 32 times.

Erasing the EFD 1702A

The EFD 1702A may be erased by application of high intensity short ultraviolet light (6 W - Sec/cm^2, 2537 A°) through the quartz window.

Programmation du EFD 1702A

Chaque point mémoire dans le EFD 1702A est constitué par un transistor dont la grille est flottante c'est-à-dire électriquement isolée. A l'état vierge, tous les 2048 transistors de la ROM sont bloqués et toutes les sorties sont à l'état bas.

La programmation d'un bit s'effectue en appliquant une tension fortement négative sur le drain du transistor sélectionné. Elle consiste à transporter sur la grille du transistor des électrons à partir du drain par un effet d'avalanche. Lorsque la tension négative est supprimée, des charges restent sur la grille et rendent le transistor conducteur. Puisque la grille est complètement isolée, il n'y a pas de chemins par lesquels les charges pourraient s'écouler. Seule l'application d'une lumière ultraviolette à travers la fenêtre de quartz peut effacer la mémoire et remettre les 2048 transistors à l'état bloqué.

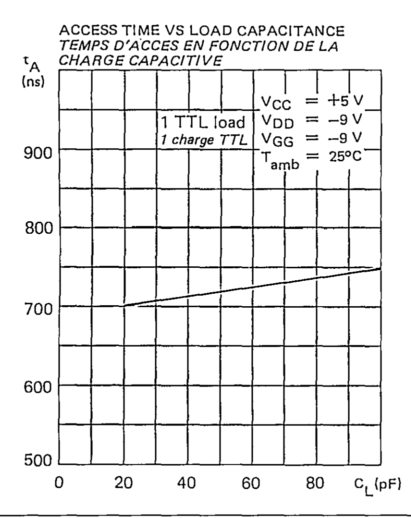
La programmation s'effectue en adressant le mot à programmer par les mêmes circuits que ceux utilisés pendant l'opération de lecture (niveau logique négatif : −44 V), en appliquant une tension négative sur V_{DD}, V_{GG} et les sorties à programmer (−47 V) et ensuite en portant la broche de programmation à un potentiel de −47 V. Tous les 8 bits d'adresse doivent être à l'état de complément binaire lorsque les impulsions V_{DD} et V_{GG} passent à leur état négatif. Les adresses doivent être maintenues à l'état de complément binaire pendant au moins 25 µs après que V_{DD} et V_{GG} soient passés à l'état négatif.

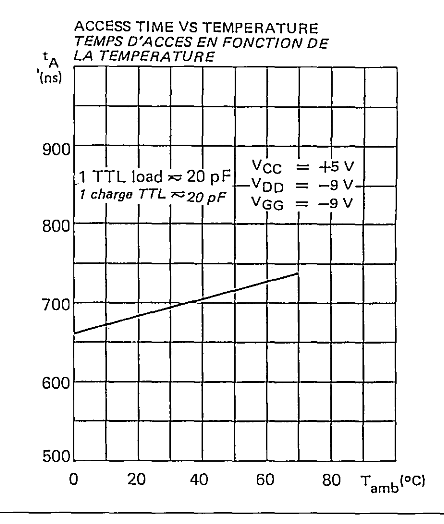
Les adresses doivent ensuite revenir à leur état normal au minimum 10 µs avant que l'impulsion de programmation soit appliquée. Les adresses sont programmées séquentiellement (de 0 à 255) avec un minimum de 32 fois.

Effacement du EFD 1702A

Le EFD 1702A peut être effacé en l'exposant à un rayonnement intense de rayons ultraviolets (6 W sec/cm^2, 2537 A°) à travers la fenêtre de quartz.

TYPICAL CHARACTERISTICS
CARACTERISTIQUES TYPIQUES

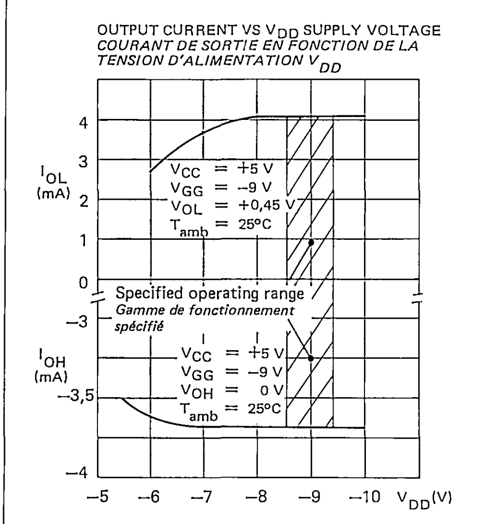




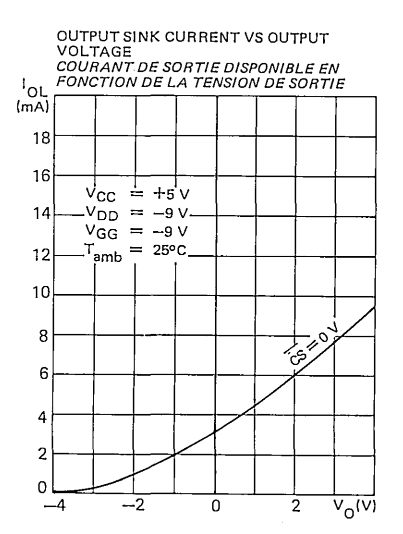
TYPICAL CHARACTERISTICS

CARACTERISTIQUES TYPIQUES

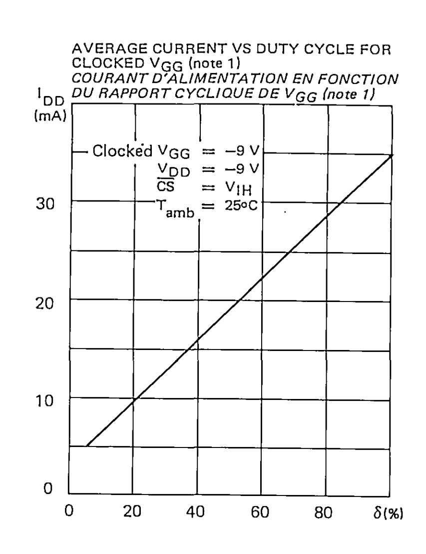
OUTPUT CURRENT VS V_{DD} SUPPLY VOLTAGE
COURANT DE SORTIE EN FONCTION DE LA TENSION D'ALIMENTATION V_{DD}



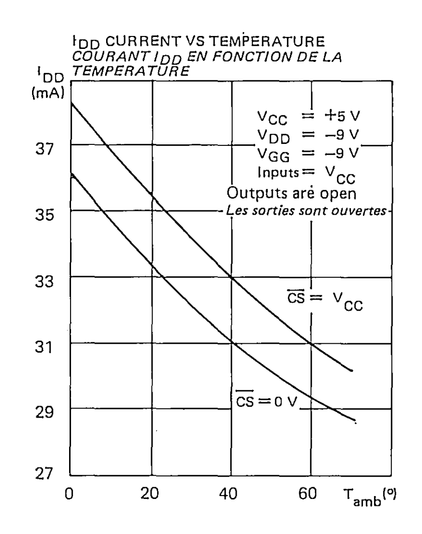
OUTPUT SINK CURRENT VS OUTPUT VOLTAGE
COURANT DE SORTIE DISPONIBLE EN FONCTION DE LA TENSION DE SORTIE

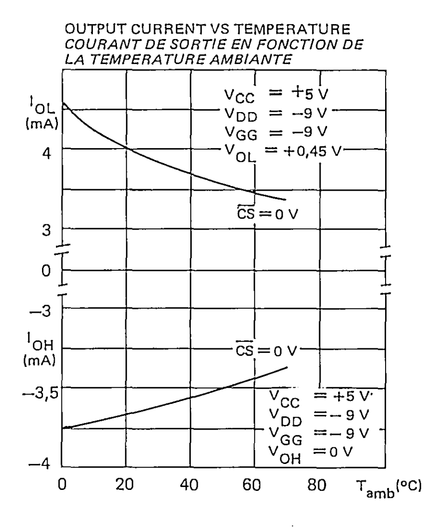


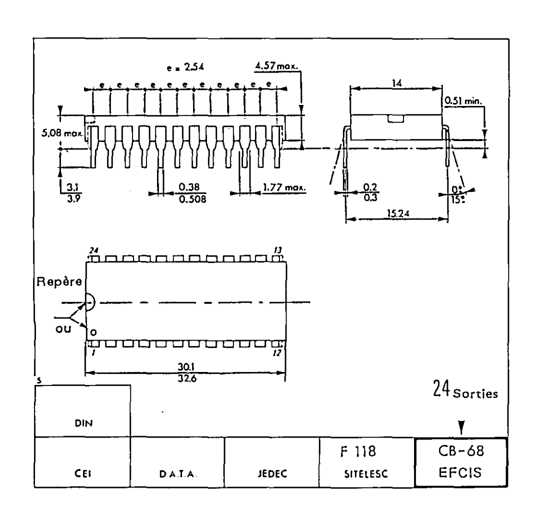
AVERAGE CURRENT VS DUTY CYCLE FOR CLOCKED V_{GG} (note 1)
COURANT D'ALIMENTATION EN FONCTION DU RAPPORT CYCLIQUE DE V_{GG} (note 1)



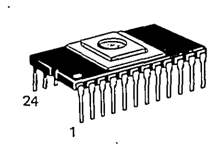
TYPICAL CHARACTERISTICS
CARACTERISTIQUES TYPIQUES







BOITIER CB - 68



SUFFIXE C
BOITIER CERAMIQUE

SUFFIXE J
BOITIER CERDIP

Ces spécifications peuvent changer sans préavis.
Consultez notre réseau de vente pour connaître la disponibilité des différentes versions de ce circuit.

EFCIS



Circuits Intégrés MOS THOMSON-EFCIS

mosmosmosmosmosmosmosmosmosmosmos

EF2708
EF27A08

Ancienne appellation : SFF-71708

MEMOIRE PROGRAMMABLE EFFACABLE PAR UV
1024 x 8 BITS

Les EF2708 et EF27A08 sont des mémoires effaçables et reprogrammables électriquement de 8192 bits. Elles sont utilisables pour la mise au point de systèmes et pour des applications similaires demandant une mémoire non-volatile qui doit être reprogrammée périodiquement. La fenêtre transparente sur le boîtier permet d'effacer aux rayons ultra-violets le contenu de la mémoire.

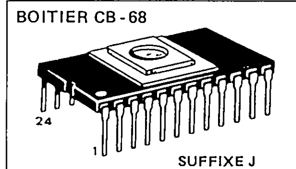
- Organisée en 1024 octets (mots de 8 bits)
- Fonctionnement statique
- Tensions d'alimentation standards : +12 V, +5 V et –5 V
- Temps d'accès maximum : 300 ns — EF27A08
  : 450 ns — EF2708
- Faible dissipation
- Entrée de sélection du boîtier pour l'extension de la mémoire
- Compatible TTL
- Sorties trois états
- Equivalent broche à broche à la 2708

MOS

CANAL N, GRILLE Si

MEMOIRE PROGRAMMABLE
EFFACABLE PAR UV
1024 x 8 BITS

BOITIER CB-68



SUFFIXE J
BOITIER CERDIP
SUFFIXE C
BOITIER CERAMIQUE

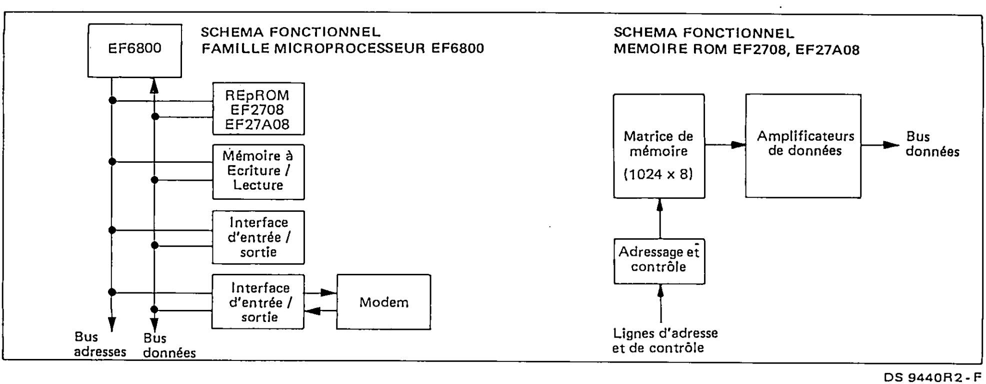
Différentes versions : voir dernière page.

BROCHAGE

Broche	Fonction	Fonction	Broche
1	A7	V_{CC}	24
2	A6	A8	23
3	A5	A9	22
4	A4	V_{BB}	21
5	A3	$\overline{CS}$/WE	20
6	A2	V_{DD}	19
7	A1	Progr	18
8	A0	D7	17
9	D0	D6	16
10	D1	D5	15
11	D2	D4	14
12	V_{SS}	D3	13

CONNEXION DES BROCHES POUR LA LECTURE OU LA PROGRAMMATION

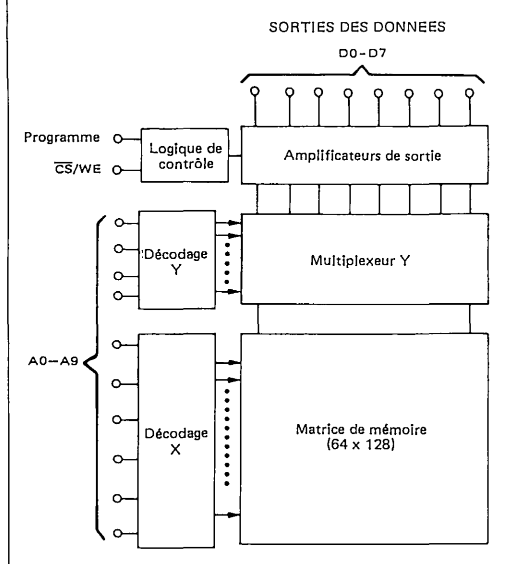
MODES	NUMEROS DES BROCHES						
	9-11, 13-17	12	18	19	20	21	24
Lecture	Sortie des Données	V_{SS}	V_{SS}	V_{DD}	V_{IL}	V_{BB}	V_{CC}
Programmation	Entrée des Données	V_{SS}	V_{IHP} Impulsion	V_{DD}	V_{IHW}	V_{BB}	V_{CC}



DS 9440R2-F
1/6

EFCIS
45, av. de l'Europe
78140 VELIZY
FRANCE
Tel.: (1) 946 97 19
Telex : 698866F

SCHEMA FONCTIONNEL



VALEURS LIMITES (Note 1)

Paramètres	Valeurs	Unités
Température de fonctionnement	0 à +70	°C
Température de stockage	–65 à +125	°C
V_{DD} par rapport à V_{BB}	+20 à –0,3	V
V_{CC} et V_{SS} par rapport à V_{BB}	+15 à –0,3	V
Toutes les tensions d'entrée ou de sortie par rapport à V_{BB} (en lecture)	+15 à –0,3	V
Tension de l'entrée $\overline{CS}$/WE par rapport à V_{BB} (en programmation)	+20 à –0,3	V
Tension de l'entrée Programme par rapport à V_{BB}	+35 à –0,3	V
Puissance dissipée	1,8	W

Note 1 :

Le non respect des VALEURS LIMITES peut entraîner une détérioration permanente du circuit. En fonctionnement, les CONDITIONS DE FONCTIONNEMENT RECOMMANDEES doivent être respectées. Des tensions supérieures aux tensions recommandées, appliquées pendant une longue durée, peuvent nuire à la fiabilité du circuit.

CARACTERISTIQUES ET CONDITIONS DE FONCTIONNEMENT STATIQUE POUR LA LECTURE
(Dans les limites de température et de tension de fonctionnement sauf spécifications contraires)

CONDITIONS STATIQUES RECOMMANDEES POUR LA LECTURE

Paramètres	Symboles	Min.	Nom.	Max.	Unités
Tension d'alimentation	V_{CC}	4,75	5,0	5,25	V
	V_{DD}	11,4	12	12,6	V
	V_{BB}	–5,25	–5,0	–4,75	V
Tension d'entrée à l'état haut	V_{IH}	3,0	–	V_{CC} +1,0	V
Tension d'entrée à l'état bas	V_{IL}	V_{SS}	–	0,65	V

CARACTERISTIQUES DE FONCTIONNEMENT STATIQUE POUR LA LECTURE

Caractéristiques	Conditions	Symboles	Min.	Typ.	Max.	Unités
Courant d'entrée (adresses et sélection de boîtier)	V_{in} = 5,25 V ou V_{in} = V_{IL}	I_{in}	—	1	10	µA
Courant de fuite en sortie	V_{out} = 5,25 V, $\overline{CS}$/WE = 5 V	I_{LO}	–	1	10	µA
Courant d'alimentation V_{DD} (Note 2)	(Note 3)	I_{DD}	–	50	65	mA
Courant d'alimentation V_{CC} (Note 2)		I_{CC}	–	6	10	mA
Courant d'alimentation V_{BB} (Note 2)	$\overline{CS}$/WE = 5,0 V, T_A = 0° C	I_{BB}	–	30	45	mA
Tension de sortie à l'état bas	I_{OL} = 1,6 mA	V_{OL}	–	–	0,45	V
Tension de sortie à l'état haut	I_{OH} = –100 µA	$V_{OH}1$	3,7	–	–	V
Tension de sortie à l'état haut	I_{OH} = –1,0 mA	$V_{OH}2$	2,4	–	–	V
Puissance dissipée (Note 2)	T_A = 70°C	P_D	–	–	800	mW

Note 2 :

La puissance totale dissipée du EF2708 est spécifiée à 800 mW. Elle n'est pas calculable à l'aide des courants I_{DD}, I_{CC}, I_{BB} et des tensions respectives car des chemins de courant existent entre les différentes tensions d'alimentation et V_{SS}. Les courants I_{DD}, I_{CC} et I_{BB} peuvent être utilisés pour déterminer la capacité de l'alimentation.

La tension V_{BB} doit être appliquée avant V_{CC} et V_{DD}. V_{BB} doit aussi être la dernière alimentation coupée.

Note 3 :

Pires conditions pour les courants d'alimentation. Toutes les entrées à l'état haut.

CARACTERISTIQUES ET CONDITIONS DE FONCTIONNEMENT DYNAMIQUE POUR LA LECTURE

(Dans les limites de température et de tension de fonctionnement sauf spécifications contraires)
(Charge de sortie : voir note 4)

Paramètres	Symboles	EF27A08			EF2708			Unités
		Min.	Typ.	Max.	Min.	Typ.	Max.	
Temps d'accès	t_{AO}	–	220	300	–	280	450	ns
Retard des données (par rapport à $\overline{CS}$)	t_{CO}	–	60	120	–	60	120	ns
Temps de maintien des Données (par rapport à l'Adresse)	t_{DHA}	0	–	–	0	–	–	ns
Temps de maintien des Données (après désélection)	t_{DHD}	0	–	120	0	–	120	ns

CAPACITES (Les capacités ne sont pas mesurées à 100%, mais par prélèvement).

Paramètres	Conditions	Symboles	Typ.	Max.	Unités
Capacité d'entrée	V_{in} = 0 V, T_A = 25° C	C_{in}	4,0	6,0	pF
Capacité de sortie	V_{out} = 0 V, T_A = 25° C	C_{out}	8,0	12	pF

Note 4 :

Charges en sortie : 1 porte TTL et C_L = 100 pF (incluant la capacité des sondes)

Temps de montée et de descente des entrées ≤ 20 ns

Niveaux de référence pour la mesure des temps : 0,8 V et 2,8 V pour les entrées ; 0,8 V et 2,4 V pour les sorties.

CHARGE DE SORTIE (FONCTIONNEMENT DYNAMIQUE)

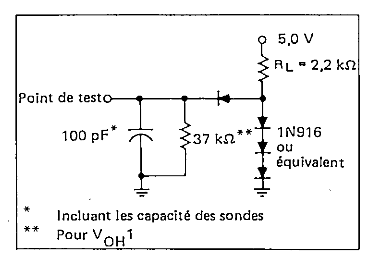
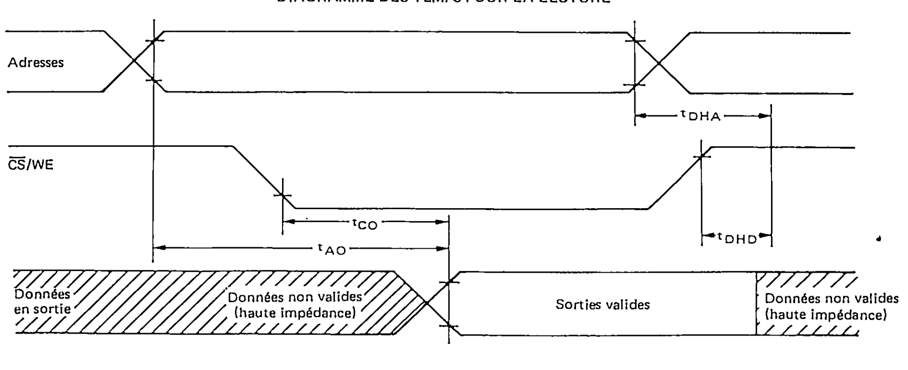


DIAGRAMME DES TEMPS POUR LA LECTURE



PROGRAMMATION

CARACTERISTIQUES ET CONDITIONS DE FONCTIONNEMENT STATIQUE

(Dans les limites de température et de tension de fonctionnement sauf spécifications contraires)

CONDITIONS DE PROGRAMMATION RECOMMANDEES

Paramètres	Symboles	Min.	Nom.	Max.	Unités
Tension d'alimentation	V_{CC}	4,75	5,0	5,25	V
	V_{DD}	11,4	12	12,6	V
	V_{BB}	−5,25	−5,0	−4,75	V
Tension d'entrée à l'état haut (pour l'adresse et les données)	V_{IH}	3,0	–	V_{CC} + 1,0	V
Tension d'entrée à l'état bas (sauf Programme)	V_{IL}	V_{SS}	–	0,65	V
Tension d'entrée à l'état haut ($\overline{CS}$/WE) (Note 5)	V_{IHW}	11,4	12	12,6	V
Tension à l'état haut de l'impulsion Programme (Note 5)	V_{IHP}	25	–	27	V
Tension à l'état bas de l'impulsion Programme (Note 6)	V_{ILP}	V_{SS}	–	1,0	V

Note 5 : Par rapport à V_{SS}

Note 6 : $V_{IHP} - V_{ILP}$ = 25 V min.

CARACTERISTIQUES STATIQUES

Paramètres	Conditions	Symboles	Min.	Typ.	Max.	Unités
Courant d'entrée (adresse et $\overline{CS}$/WE)	V_{in} = 5,25 V	I_{LI}	–	–	10	µA
Courant de l'impulsion Programme (Etat bas)		I_{IPL}	–	–	3,0	mA
Courant de l'impulsion Programme (Etat haut)		I_{IPH}	–	–	20	mA
Courant d'alimentation V_{DD}	(Note 7)	I_{DD}	–	50	65	mA
Courant d'alimentation V_{CC}		I_{CC}	–	6	10	mA
Courant d'alimentation V_{BB}	$\overline{CS}$/WE = 5 V, T_A = 0° C	I_{BB}	–	30	45	mA

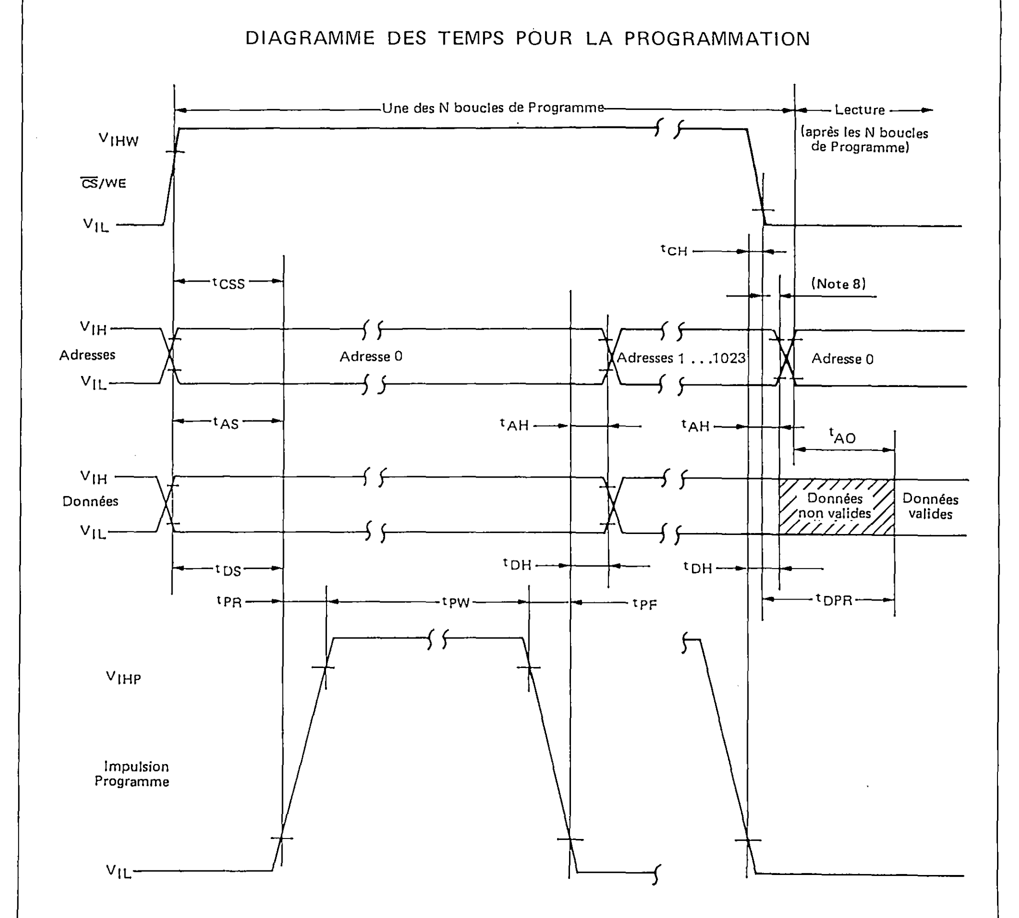
Note 7 : Pires conditions pour les courants d'alimentation.
Toutes les entrées à l'état haut.

CARACTERISTIQUES ET CONDITIONS DE FONCTIONNEMENT DYNAMIQUE

(Dans les limites de température et de tensions de fonctionnement sauf spécifications contraires)

Paramètres	Symboles	Min.	Max.	Unités
Temps de préétablissement de l'adresse	t_{AS}	10	–	µs
Temps de préétablissement de $\overline{CS}$/WE	t_{CSS}	10	–	µs
Temps de préétablissement des données	t_{DS}	10	–	µs
Temps de maintien de l'adresse	t_{AH}	1,0	–	µs
Temps de maintien de $\overline{CS}$/WE	t_{CH}	0,5	–	µs
Temps de maintien des données	t_{DH}	1,0	–	µs
Temps de maintien de données après désélection	t_{DF}	0	120	ns
Retard à la lecture après programmation	t_{DPR}	-	10	µs
Largeur de l'impulsion de programmation	t_{PW}	0,1	1,0	ms
Temps de montée de l'impulsion de programmation	t_{PR}	0,5	2,0	µs
Temps de descente de l'impulsion de programmation	t_{PF}	0,5	2,0	µs

DIAGRAMME DES TEMPS POUR LA PROGRAMMATION



Note 8 : La transition $\overline{CS}$/WE doit se produire après celle de l'impulsion Programme et avant celle de l'Adresse.

INSTRUCTIONS POUR LA PROGRAMMATION

Après chaque opération d'effacement tous les bits de la mémoire sont à l'état "1" (représenté par un état haut). Les données sont introduites en programmant sélectivement un "0" dans les positions désirées. La programmation d'un "0" ne peut être changée en un "1" que par un effacement aux ultra-violets.

Le circuit est prêt pour la programmation en positionnant l'entrée $\overline{CS}$/WE (broche 20) à + 12 V. La donnée à programmer est présentée en parallèle (mot de 8 bits) sur les lignes de sorties (D0 à D7).

Les niveaux logiques pour les lignes d'adresses, de données et les tensions d'alimentation (V_{CC}, V_{DD} et V_{BB}) sont les mêmes que pour le mode lecture.

Après le préétablissement de l'adresse et de la donnée, une impulsion programme par adresse est appliquée à l'entrée programme (broche 18). Un passage sur toutes les adresses est appelé boucle de programme. Le temps total de programmation est donné par :

$$T_{P.total} = N \times t_{PW} \geqslant 100 \text{ ms.}$$

Le nombre de boucle de programme nécessaire (N) est fonction de la largeur de l'impulsion de programme (t_{PW})

ou pour 0,1 ms $\leq$ t_{PW} $\leq$ 1,0 ms il correspondra un nombre N : 100 $\leq$ N $\leq$ 1000. Il doit y avoir N boucles successives à travers les 1024 adresses. Il est interdit d'appliquer plus de une impulsion programme de suite à la même adresse (par exemple N impulsions programmes à une adresse, puis passer à l'adresse suivante pour la programmer). A la fin d'une séquence de programmation le front descendant sur la broche $\overline{CS}$/WE doit se produire avant la première transition d'adresse lors du passage du mode programmation au mode lecture. La broche de programmation (broche 18) doit aussi être mise à V_{ILP} dans un circuit sous tension, parce que cette broche fournit un petit courant (I_{IPL}) quand CS/WE est à V_{IHW} (+ 12 V) et que l'impulsion programme est au niveau V_{ILP}.

EXEMPLES DE PROGRAMMATION

Nous utiliserons toujours la relation :

$$T_{Ptotal} = N \times t_{PW} \geq 100 \text{ ms.}$$

1 . Tous les 8192 bits seront programmés avec une impulsion programme de 0,2 ms de largeur.

Le nombre minimum de boucles de programme sera :

$$N = \frac{T_{Ptotal}}{t_{PW}} = \frac{100 \text{ ms}}{0{,}2 \text{ ms}} = 500.$$

Chaque boucle de programme contient tous les mots de 0 à 1023.

2 . Les mots 0 à 200 et 300 à 700 doivent être programmés. Tous les autres bits sont "sans importance". La largeur de l'impulsion programme est de 0,5 ms. Le nombre minimum de boucles de programme est :

$$N = \frac{100}{0{,}5} = 200.$$

Une boucle de programme contient tous les mots de 0 à 1023. Les données "sans importance" seront programmées comme des "1".

3 . Prenons le même cas que l'exemple 2, mais la mémoire doit être mise à jour en incluant des données entre les mots d'adresse 850 à 880. Le nombre de boucles de programme est le même que dans l'exemple précédent N = 200. Une boucle de programme contient tous les mots de 0 à 1023. Les données "sans importance" seront programmées comme des "1". Les adresses 0 à 200 et 300 à 700 doivent être reprogrammées avec les données prévues.

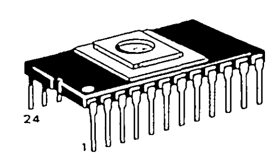
INSTRUCTIONS POUR L'EFFACEMENT

Le contenu des mémoires EF27A08 et EF2708 est effacé par une exposition à des rayons ultra-violets de haute intensité à une longueur d'onde de 2537 Å. La dose intégrée recommandée (c'est-à-dire, intensité des UV x temps d'exposition) est de 12,5 W . sec / cm^2. Les lampes peuvent être utilisées sans filtres à ondes courtes et les EF27A08 et EF2708 peuvent être placés à environ 2,5 cm du tube à rayons ultra-violets.

e = 2,54 — 4,57 max. — 5,08 max. — 3,1 / 3,9 — 0,38 / 0,508 — 1,77 max. — 14 — 0,51 min. — 0,2 / 0,3 — 15,24 — 0° / 15° — 24 — 13 — Repère — ou — 1 — 12 — 30,1 / 32,6 — 24 Sorties

DIN				
CEI	D.A.T.A.	JEDEC	F 118 SITELESC	CB-68 EFCIS

BOITIER CB-68



SUFFIXE J
BOITIER CERDIP

SUFFIXE C
BOITIER CERAMIQUE

Ces spécifications peuvent changer sans préavis.
Consultez notre réseau de vente pour connaître la disponibilité des différentes versions de ce circuit.

EFCIS 

Circuits Intégrés MOS THOMSON-EFCIS

mosmosmosmosmosmosmosmosmosmos

EF2516
EF25A16

SPÉCIFICATIONS PROVISOIRES

MÉMOIRE PROGRAMMABLE EFFACABLE PAR U.V. 2048 X 8 BITS

Les EF2516 et EF25A16 sont des mémoires effaçables et reprogrammables électriquement de 16 384 bits. Elles sont utilisables pour la mise au point de systèmes et pour des applications similaires demandant une mémoire non-volatile qui doit être reprogrammée périodiquement. La fenêtre transparente sur le boîtier permet d'effacer aux rayons ultra-violets le contenu de la mémoire.

Pour faciliter son utilisation, le circuit fonctionne avec une seule tension et possède un mode de basse consommation statique.

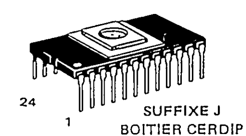
- Alimentation unique + 5 V ± 10 %
- Mode de basse-consommation automatique
- Organisé en 2048 mots de 8 bits
- Dissipation de puissance faible
- Compatible TTL à la lecture et à la programmation
- Temps d'accès maximum EF2516 450 ns
  EF25A16 350 ns
- Compatible broche à broche avec le circuit 2716 Intel et Motorola
- Compatible broche à broche avec le MCM 68A316E
  (ROM programmable par masque)

MOS

(CANAL N, GRILLE Si)

MÉMOIRE PROGRAMMABLE EFFACABLE PAR U.V. 2048 X 8 BITS

BOITIER CB-68



SUFFIXE J
BOITIER CERDIP

SUFFIXE C
BOITIER CERAMIQUE

Différentes versions : voir dernière page.

Mode	NUMERO DES BROCHES					
	9—11 13—17 DQ	12 V_{SS}	18 $\overline{E}$/Prog.	20 $\overline{G}$	21 V_{pp}	24 V_{CC}
Lecture	Sortie des données	V_{SS}	V_{IL}	V_{IL}	V_{CC}	V_{CC}
Sorties déconnectées	Haute Impédance	V_{SS}	Sans Importance	V_{IH}	V_{CC}	V_{CC}
Basse consommation	Haute Impédance	V_{SS}	V_{IH}	Sans Importance	V_{CC}	V_{CC}
Programmation	Entrée des données	V_{SS}	V_{IL} à V_{IH} impulsions	V_{IH}	V_{IHP}	V_{CC}
Vérification de la programmation	Sortie des données	V_{SS}	V_{IL}	V_{IL}	V_{IHP}	V_{CC}
Validation de la programmation	Haute Impédance	V_{SS}	V_{IL}	V_{IH}	V_{IHP}	V_{CC}

VALEURS LIMITES (Note 1)

Paramètres	Valeurs	Unités
Température de fonctionnement	- 10 à + 80	°C
Température de stockage	- 65 à + 125	°C
Toutes les tensions d'entrées et de sorties par rapport à V_{SS} (en lecture)	+ 6 à - 0,3	V
Tension de programmation V_{pp} par rapport à V_{SS}	+ 28 à - 0,3	V

NOTE 1 : Le non respect des VALEURS LIMITES peut entraîner une détérioration permanente du circuit. En fonctionnement, les CONDITIONS DE FONCTIONNEMENT RECOMMANDEES doivent être respectées. Des tensions supérieures aux tensions recommandées, appliquées pendant une longue durée, peuvent nuire à la fiabilité du circuit.

BROCHAGE

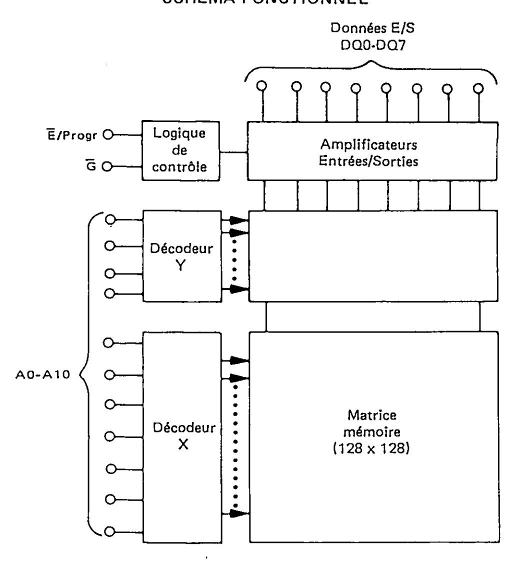
Broche	Nom	Nom	Broche
1	A7	V_{CC}	24
2	A6	A8	23
3	A5	A9	22
4	A4	V_{PP}	21
5	A3	G	20
6	A2	A10	19
7	A1	$\overline{E}$/Progr	18
8	A0	DQ7	17
9	DQ0	DQ6	16
10	DQ1	DQ5	15
11	DQ2	DQ4	14
12	V_{SS}	DQ3	13

NOM DES BROCHES

A . . . Adresses
DQ . . . Données en entrées/sorties
$\overline{E}$/Prog. . . . Validation du circuit/programme
$\overline{G}$ . . . Validation des sorties

EFCIS
FRANCE
45, av. de l'Europe
78140 VELIZY
Tel.: (1) 946 97 19
Telex : 698866F

SCHEMA FONCTIONNEL



CARACTERISTIQUES ET CONDITIONS DE FONCTIONNEMENT STATIQUE

(Dans les limites de température et de tension de fonctionnement sauf spécifications contraires)

CONDITIONS STATIQUES RECOMMANDEES POUR LA LECTURE ($T_A = 0°$ à $+ 70°C$)

Paramètres		Symboles	Min	Nom	Max	Unités
Tension d'alimentation *	EF 2516 EF 25A16	V_{CC} V_{PP}	4,75 4,5 $V_{CC} - 0,6$	5,0 5,0 5,0	5,25 5,5 $V_{CC} + 0,6$	V
Tension d'entrée à l'état haut		V_{IH}	2,0		$V_{CC} + 1,0$	V
Tension d'entrée à l'état bas		V_{IL}	- 0,1		0,8	V

CARACTERISTIQUES DE FONCTIONNEMENT STATIQUE POUR LA LECTURE

Caractéristiques	Conditions	Symboles	Min	Typ	Max	Unités
Courant d'entrée (adresses, $\overline{G}$ et $\overline{E}$/Prog)	$V_{in} = 5,25$ V	I_{in}			10	μA
Courant de fuite en sortie	$V_{out} = 5,25$ V, $\overline{G} = 5,0$ V	I_{LO}			10	μA
Courant d'alimentation (V_{CC}) * (basse-consommation)	$\overline{E}$/Prog= V_{IH}, $\overline{G} = V_{IL}$	I_{CC1}		10	25	mA
Courant d'alimentation (V_{CC}) *	$\overline{G} = \overline{E}$/Prog $= V_{IL}$	I_{CC2}		57	100	mA
Courant d'alimentation (V_{PP}) *	$V_{PP} = 5,85$ V	I_{PP1}			5,0	mA
Tension de sortie à l'état bas	$I_{OL} = 2,1$ mA	V_{OL}			0,45	V
Tension de sortie à l'état haut	$I_{OH} = -400$ μA	V_{OH}	2,4			V

* V_{CC} doit être appliqué en même temps ou avant V_{PP}. V_{CC} doit aussi être coupé en même temps ou après V_{PP}. Avec V_{PP} connecté directement au V_{CC} durant la lecture, ce courant d'alimentation sera la somme de I_{PP1} et I_{CC}. Les 0,6 V de tolérance sur V_{PP} permettent d'utiliser un circuit de commande pour commuter la broche d'alimentation V_{PP} de V_{CC} en mode lecture à + 25 V pour la programmation. Les valeurs typiques sont pour $T_A = 25°C$ et les tensions d'alimentations nominales.

CAPACITE

(f = 1,0 MHz, $T_A = 25°C$, ce paramètre est mesuré par prélèvement et n'est pas testé à 100 %).

Caractéristiques	Symboles	Typ	Max	Unités
Capacité d'entrée ($V_{in} = 0V$)	C_{in}	4,0	6,0	pf
Capacité de sortie ($V_{out} = 0V$)	C_{out}	8,0	12	pf

Les capacités sont mesurées avec un pont de Boonton ou la capacité réelle est calculée avec la formule $C = \frac{I\Delta t}{\Delta V}$

Les entrées de ce circuit sont protégées contre les hautes tensions statiques et les champs électriques ; toutefois, il est recommandé de prendre les précautions normales pour éviter toute tension supérieure aux valeurs limites sur ce circuit à haute impédance.

CARACTERISTIQUES ET CONDITIONS DE FONCTIONNEMENT DYNAMIQUE

(T_A = 0 à + 70°C, V_{CC} = 5,0 V ± 10 % sauf spécifications contraires)

Niveau des impulsions d'entrée . . . . 0,8 Volt à 2,2 Volts
Temps de montée et de descente sur l'entrée . . . . 20 ns
Niveau de référence pour la mesure des temps . . . . 2,0 Volts
Charge de sortie . . . . voir figure 1

Caractéristiques	Conditions	Symboles	EF25A16		EF2516		Unités
			Min	Max	Min	Max	
Des adresses valides aux sorties valides	$\overline{E}$/Prog.= G= V_{IL}	t_{AVQV}	–	350	–	450	ns
De $\overline{E}$/Prog. à sorties valides	(Note 2)	t_{ELQV}	–	350	–	450	
De validation des sorties aux sorties valides	$\overline{E}$/Prog.= V_{IL}	t_{GLQV}	–	120	–	120	
$\overline{E}$/prog. à sortie haute impédance		t_{EHQZ}	0	100	0	100	
De l'inhibition des sorties aux sorties haute impédance	$\overline{E}$/Prog.= V_{IL}	t_{GHQZ}	0	100	0	100	
Maintien des données après fin d'adressage	$\overline{E}$/Prog. = G = V_{IL}	t_{AXQX}	0	–	0	–	

FIGURE 1 – CHARGE DE TEST

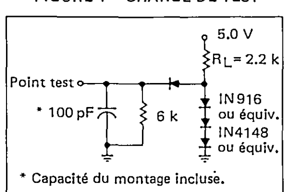
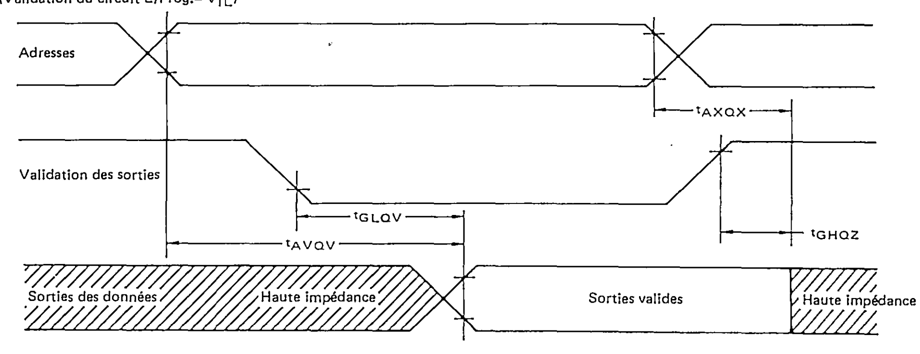
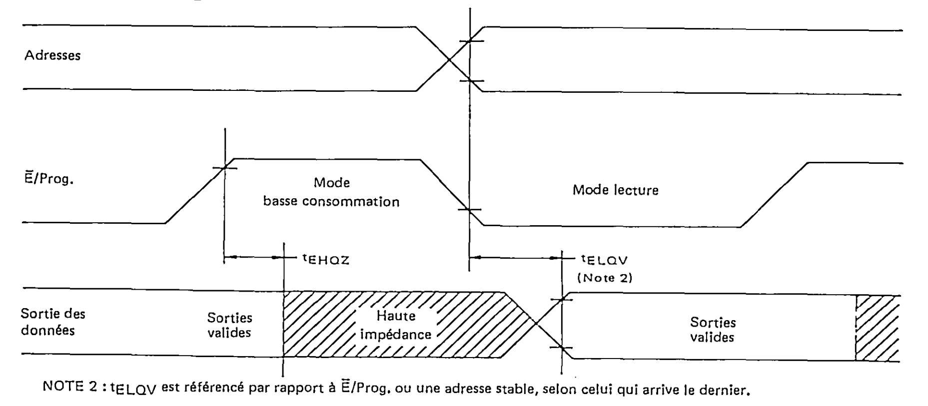


DIAGRAMME DES TEMPS POUR LA LECTURE
(Validation du circuit $\overline{E}$/Prog.= V_{IL})



MODE BASSE-CONSOMMATION
(Validation des sorties $\overline{G}$= V_{IL})



NOTE 2 : t_{ELQV} est référencé par rapport à $\overline{E}$/Prog. ou une adresse stable, selon celui qui arrive le dernier.

CARACTÉRISTIQUES ET CONDITIONS DE FONCTIONNEMENT STATIQUE
(T_A = 0 à + 70°C, V_{CC} = 5,0 V ± 10 %)

CONDITIONS DE PROGRAMMATION RECOMMANDEES

Paramètres	Symboles	Min	Nom	Max	Unités
Tension d'alimentation	V_{CC} V_{PP}	4,75 24	5,0 25	5,25 26	V V
Tension d'entrée à l'état haut pour les données	V_{IH}	2,2	–	V_{CC}+ 1	V
Tension d'entrée à l'état bas pour les données	V_{IL}	- 0,1	–	0,8	V

* V_{CC} doit être appliqué en même temps ou avant V_{PP}. V_{CC} doit aussi être coupé en même temps ou après V_{PP}. Le circuit ne doit pas être inséré ou enlevé d'un support avec Vpp à 25 V. Vpp ne doit pas dépasser la spécification maximum+ 26 V.

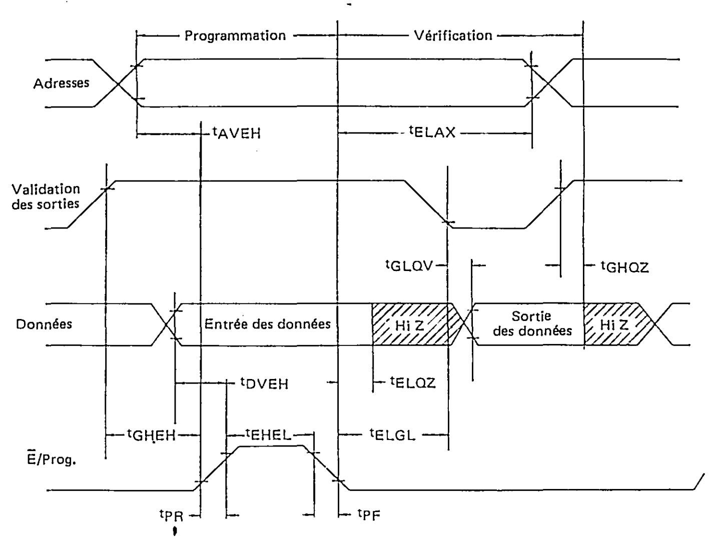
CARACTERISTIQUES STATIQUES

Caractéristiques	Conditions	Symboles	Min	Typ	Max	Unités
Courant d'entrée (adresses, $\overline{G}$ et $\overline{E}$/Prog.)	V_{in} = 5,25 V/0,45	I_{LI}	–	–	10	μ A
Courant d'alimentation de V_{PP}	$\overline{E}$/Prog.= V_{IL}	I_{PP1}	–	–	5,0	mA
Courant d'alimentation (V_{PP}) impulsion de programmation	$\overline{E}$/Prog.= V_{IH}	I_{PP2}	–	–	30	mA
Courant d'alimentation de V_{CC}		I_{CC}	–	–	100	mA

CARACTERISTIQUES ET CONDITIONS DE FONCTIONNEMENT DYNAMIQUE

Caractéristiques	Symboles	Min	Max	Unités
Temps de pré-établissement des adresses	t_{AVEH}	2,0	–	μ s
Validation de la sortie à l'état haut à l'impulsion de programme	t_{GHEH}	2,0	–	μ s
Temps de pré-établissement des données	t_{DVEH}	2,0	–	μ s
Temps de maintien des adresses	t_{ELAX}	2,0	–	μ s
Temps de maintien de validation des sorties	t_{ELGL}	2,0	–	μ s
Temps de maintien des données	t_{ELQZ}	2,0	–	μ s
De validation des sorties aux sorties en haute impédance	t_{GHQZ}	0	120	ns
De validation des sorties (état bas) à sortie des données valides ($\overline{E}$/Prog.= V_{IL})	t_{GLQV}	–	120	ns
Largeur de l'impulsion de programmation	t_{EHEL}	45	55	ms
Temps de montée de l'impulsion de programmation	t_{PR}	5	–	ns
Temps de descente de l'impulsion de programmation	t_{PF}	5	–	ns

DIAGRAMME DES TEMPS POUR LA PROGRAMMATION



INSTRUCTIONS POUR LA PROGRAMMATION

Après chaque opération d'effacement, tous les bits de la mémoire sont à l'état "1" (représenté par un état haut). Les données sont introduites en programmant sélectivement un "0" dans les positions désirées. Les mots sont adressés de la même façon que pour une lecture. La programmation d'un "0" ne peut être changée en un "1" que par effacement aux ultra-violets.

Le circuit est prêt pour la programmation en positionnant l'entrée Vpp (broche 21) à + 25 V. La tension d'alimentation V_{CC} est la même que pour une opération de lecture et $\overline{G}$ est à V_{IH}. Les données à programmer sont entrées en mots de 8 bits à travers les broches de données de sortie (DQ). Seuls des "0" seront programmés quand des "0" et des "1" sont entrés dans le mot de donnée.

Après le préétablissement des adresses et des données, une impulsion programme de 50 ms (V_{IL} à V_{IH}) est appliquée sur l'entrée $\overline{E}$/Prog. Une impulsion programme est appliquée à chaque adresse à programmer. Les adresses peuvent être programmées individuellement, séquentiellement, ou par accès aléatoire. La largeur maximum de l'impulsion de programmation est 55 ms; par conséquent la programmation ne peut pas être tentée avec un signal continu appliqué sur l'entrée $\overline{E}$/Prog.

Plusieurs mémoires EF2516 peuvent être programmées en parallèle avec la même donnée en connectant ensemble les entrées semblables et en appliquant l'impulsion de programme sur les entrées $\overline{E}$/Prog. Différentes données peuvent être programmées dans plusieurs EF2516 connectés en parallèle en utilisant le mode VALIDATION DE LA PROGRAMMATION. Sauf pour la broche $\overline{E}$/Prog., toutes les entrées semblables (y compris la validation des sorties) peuvent être communes.

Le mode VERIFICATION DE LA PROGRAMMATION avec Vpp à + 25 V est utilisé pour vérifier que tous les bits programmés le sont correctement.

OPERATION DE LECTURE

Dans le mode de LECTURE, la donnée est valide, sur les sorties après le temps d'accès. Avec un système d'adresse fixe, un temps d'accès réellement rapide (120 ns) peut être obtenu en branchant les données sur un bus avec l'entrée validation des sorties à l'état bas ($\overline{G} = V_{IL}$).

Un niveau haut sur l'entrée validation des sorties ($\overline{G} = V_{IH}$) met le EF2516 dans le mode sorties désactivées avec les sorties en état haute-impédance. Ce mode permet d'avoir deux ou plusieurs circuits connectés en OU-câblé sur le même bus de données. Dans ce cas, seul un des circuits EF2516 peut avoir l'entrée validation des sorties à l'état bas ($\overline{G} = V_{IL}$) pour éviter des conflits sur le bus de données.

Le mode basse-consommation permet de réduire la puissance consommée en mode actif de 525 W à 132 mW. Les sorties sont en état haute-impédance quand l'entrée $\overline{E}$/Prog. est à l'état haut ($\overline{E}$/Prog.= V_{IH}) indépendamment de l'entrée validation des sorties.

INSTRUCTIONS POUR L'EFFACEMENT

Le contenu des mémoires EF2516 et EF25A16 est effacé par une exposition à des rayons ultra-violets de haute-intensité à une longueur d'onde de 2537 Å. La dose intégrée recommandée (c'est-à-dire intensité des UV x temps d'exposition) est de 15 W sec./cm². Les lampes peuvent être utilisées sans filtres à ondes courtes et les EF2516 et EF25A16 peuvent être placés à environ 2,5 cm du tube à rayons ultra-violets.

ABREVIATION DES PARAMETRES

^{t}X X X X

- nom du signal à partir duquel l'intervalle est défini (1er X)
- transition du premier signal (2e X)
- nom du signal à la fin duquel l'intervalle est défini (3e X)
- transition du deuxième signal (4e X)

Les définitions des transitions utilisées dans cette notice sont :

- H = passage à un niveau haut
- L = passage à un niveau bas
- V = passage à une validation
- X = passage à un état non-valide ou pouvant changer
- Z = passage en haute impédance.

LIMITES DES TEMPS

Les valeurs des temps dans la table donnent un minimum ou un maximum pour chaque paramètre. Les contraintes en entrées sont définies d'une façon extérieure. Aussi, les temps de préétablissement des adresses sont donnés comme le minimum de temps pendant lequel le système doit fournir des adresses (bien que cela ne soit pas nécessaire pour la plupart des circuits).

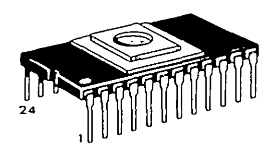
D'autre part, les réponses de la mémoire sont spécifiées vues du côté du circuit.

Ainsi, le temps d'accès est donné comme un maximum après lequel le circuit ne fournira jamais de données.

FORMES DES SIGNAUX

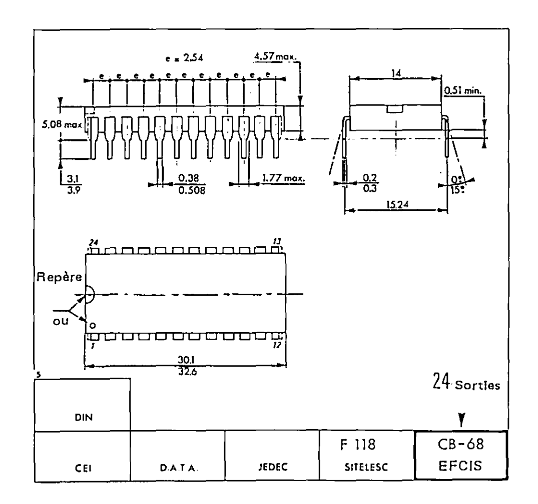
Symbole	Entrée	Sortie
	Doit-être valide	Sera valide
	Change sur front descendant	Changera sur front descendant
	Change sur front montant	Changera sur front montant
	Sans importance Tout changement autorisé	Changement d'état inconnu
		Haute impédance

BOITIER CB-68



SUFFIXE C
BOITIER CERAMIQUE

SUFFIXE J
BOITIER CERDIP



Informations préliminaires : ces spécifications peuvent changer sans préavis.
Consultez notre réseau de vente pour connaître la disponibilité des différentes versions de ce circuit.

Section 5

Informations générales

Page

1 _ Niveaux de qualité

EFCIS met à la disposition de ses clients quatre niveaux de qualité :

Les niveaux S — B — P
sont destinés à la livraison des produits pour lesquels un haut niveau de fiabilité est nécessaire. Ces niveaux sont obtenus par la réalisation de sélections ou d'essais particuliers effectués soit en chaîne de fabrication, soit lors de la recette des lots de produits finis. Les diagrammes de cheminement et tableaux suivants permettent d'apprécier les différences entre ces trois niveaux de qualité.

NIVEAU **S**
équivalent à la norme MIL — Std 883 B — Classe S est normalement réservé aux applications spatiales ou à certaines applications militaires.

NIVEAU **B**
équivalent à la norme MIL — Std 883 B — Classe B est nécessaire pour les matériels aéronautiques embarqués, et les applications militaires et industrielles supportant des contraintes d'environnement importantes, ou bien nécessitant un faible taux d'intervention de maintenance.

NIVEAU **P**
équivalent aux normes NFC96 211/212, obtenu par application de procédures de recette identiques à celles préconisées par les méthodes du CCQ (Fasc. VII de la documentation méthodique du CNET), est un niveau professionnel à l'usage de l'informatique, des télécommunications, de la mesure professionnelle et industrielle..., où un bon niveau de qualité est requis pour minimiser les coûts :
- de mise en œuvre (faible NQA garanti y compris en température et en dynamique),
- de maintenance.

NIVEAU **Standard**
est destiné à la livraison des produits de grande diffusion, à usage général, fonctionnant dans la gamme de température 0° + 70° C, et généralement enrobés plastique. Ce niveau de qualité est proche du niveau T de la norme CECC 90 100; les méthodes de sélection et la procédure de recette sont propres à EFCIS.
C'est le niveau garanti lorsque le client ne spécifie pas le niveau de qualité de sa livraison.

ACTIONS QUALITE APPLICABLES AUX LSI MOS
dans le cadre de l'assurance qualité des produits finis

Diagrammes simplifiés du cheminement en atelier d'assemblage des boîtiers "Céramique" et "Verre-métal"

Opération	Contrôle	Niveau S	Niveau B	Document	Equivalences-Observations
Découpe - Nettoyage Sélection optique des motifs	☐	100 %		SQ 840.101.00A	MIL 883/2010 Condition A
			100 %	SQ 840.102.00B	MIL 883/2010 Condition B
Nettoyage des embases et contrôle visuel	☐	100 %	par lot	SQ 840.111.00	
Report sur boîtier	☐	1 jalon/lot	1 jalon/lot	SQ 840.109.00	2 jalons minimum par équipe
Contrôle fil de soudure	☐	100 %	par lot	SQ 840.112.00	Contrôle visuel et mécanique des bobines
Soudure fils Contrôles des forces d'arrachement des fils	☐	3 jalons/éq.	2 jalons/éq.	SQ 840.109.00	MIL 883/2011 Condition D
Sélection optique avant fermeture	☐	100 %		SQ 840.104.00A	MIL 883/2010 Condition A
			100 %	SQ 840.105.00B	MIL 883/2010 Condition B
Nettoyage des capots et préformes Contrôle visuel	☐	100 %	par lot	SQ 840.113.00	
Stabilisation	☐	100 %	100 %	24 h/150° C	MIL 883/1008 Condition C
Choc thermique	☐	100 %	100 %	15 cycles - 65° C + 150° C	MIL 883/1010 Condition C
Centrifugation	☐	En accord avec client	Non		MIL 883/1014 Méthode A
Herméticité — fuites fines	☐	100 %	100 %	SQ 840.109.00	MIL 883/1014 Méthode A
— grosses fuites		100 %	100 %	SQ 840.109.00	MIL 883/1014 Méthode C
Marquage	☐	Non*	Oui	IF 843.108.00 IF 843.109.00	* effectué après tri électrique, sérialisé
Test à 25° C — fonction logique — gabarit	☐	100 %	100 %	Instruction de test du produit	
Vieillissement sous polarisation (burn-in)	☐	100 %		MIL 883/1015	240 h à 125° C
			100 %	MIL 883/1015	160 h à 125° C
Test à 25° C — fonction logique — gabarit	☐	100 %	100 %	Instruction de test du produit	
Herméticité	☐	100 %	Non		
Tests électriques finals	☐	100 %	100 %	Ins. de test du produit	
Conditionnement	☐				
Recette	☐				Voir tableau ci-contre
Aspect	☐	100 %	100 %	SQ 840.110.00	MIL 883/2009

Boîtiers à cavité, classe P

Opérations	Niveau P	Documents	Equivalences Observations
Découpe - Nettoyage Sélection optique des motifs	100%	SQ 840.103.00 P	
Contrôle visuel du nettoyage des embases	par lot	SQ 840.111.00	
Contrôle du fil de soudure	par lot	SQ 840.112.00	Contrôle visuel et mécanique des bobines
Sélection optique avant fermeture	100%	SQ 840.106.00	
Contrôle des préformes	par lot	SQ 840.113.00	
Stabilisation	100%		150° C - 24 h
Herméticité — fuites fines — grosses fuites	100% 100%	SQ 840.109.00	
Marquage		SQ 840.110.00	
Tests fonctionnels corrélés	100%	Instruction de test du produit	
Conditionnement			
Recette			Voir tableau ci-contre

Sous enrobage plastique

Opérations	Niveau P	Documents	Equivalences Observations
Découpe - Nettoyage Sélection optique des motifs	100%	SQ 840.103.00 P	
Nettoyage des grilles et contrôle visuel	100% par lot	SQ 840.114.00	
Contrôle du fil de soudure	par lot	SQ 840.112.00	
Contrôle optique avant moulage	100%	SQ 840.106.00	
Contrôle des résines thermodurcissables	par lot	SQ 939.1020	
Stabilisation	100%		150° C - 24 h
Marquage		SQ 840.110.00	
Tests fonctionnels corrélés	100%	Instruction de test du produit	Etablie en accord avec le client
Conditionnement			
Recette			Voir tableau ci-contre

TABLEAUX DES ESSAIS REALISES POUR NIVEAUX-DE QUALITE S ET B

(regroupés pour permettre la comparaison avec la norme NFC 96212)

Essais du groupe A (équ. gr-B MIL 883)

Sous groupe	ESSAIS	Niveau S	Niveau B	Observations
A2	Dimensions Tenue du marquage	4 pièces 0 défaut		Suivant NFC20627 (méthode 1 bain A)
			3 pièces 0 défaut	
	Aspect interne Tenue des fils	4 pièces 0 défaut		Suivant MIL 883/2014 2011
			1 pièce 0 défaut	
A3	Soudure	2/lot		Suivant NFC 20613
			•	
	Soudabilité		LTPD = 15	Suivant NFC20618 MIL 883/2003
A4	Robustesse des sorties	2/lot		Suivant NFC 20612 MIL 883/2004
			•	
	Herméticité fuites fines grosses fuites (Niveau de prélèvement 2)	NQA = 1		Suivant MIL 883/1014
			NQA =1	

Essais du groupe C (équi. gr-C et D MIL Std 883)

Sous groupe	ESSAIS	§ réf. NFC 96211	§ réf. NFC 20600	Nbre de pièces à essayer	Unités défectueuses tolérées	
					par groupe	au total
C1	Chocs Vibrations (essais fatigue) Accélération constante	3.3.5 3.3.2 3.3.10	20608 20616 20623 (30000g)	6	1	1
C2	Soudabilité Soudure Robustesse des sorties Basse pression atmosphérique	3.3.4 3.3.1 3.3.9 3.3.7	20618 20613 20612 20606	5	1	
C3	Nettoyage aux solvants Variation rapide de température Essai combiné climatique	 3.3.11 3.3.3	20627 20605 20619	11 (ayant subi les essais des sous-groupes C1 et C2)	1	
C4	Chaleur humide (essai continu)	3.3.12	20603	10	1	1
C5	Vieillissement en fonctionnement	3.4.1	1000 h à 125° C	20	1	1
C6	Vieillissement en stockage à chaud	3.4.2	1000 h à 125° C	5	1 à chaud	

• Essai de 56 jours pour finition étamée
Essai de 10 jours pour finition dorée.

Essais du groupe B (équ. gr-A MIL)

Sous groupe	ESSAIS	Niveau S	Niveau B	Observations
B1	Application des valeurs limites Test de gabarit Courant fourni par les alimentations	LTPD 5	LTPD 5	§ 3.2.3 § 3.2.4A suivant NFC 96211 § 3.2.5
B2 Dyn. 25° C	Dynamique Fonctionnel Commutation	5 5 7		§ 3.2.6/NFC96211
B3 Test t° max	Gabarit, consommation Dynamique Commutation	7 7 10		§ 3.2.7/NFC96211
B4 Test t° min	Gabarit, consommation Dynamique Commutation	7 7 10		§ 3.2.7/NFC96211
B5 Test t° min max	Fonctionnel	10		§ 3.2.7/NFC96211

– Pour les produits classe B les essais du groupe C ne sont effectués par lot de livraison que sur demande expresse du client.

– Ces essais sont effectués trimestriellement, par famille de produits.

ESSAIS REALISES POUR NIVEAU DE QUALITE P

Les règles suivantes ont été établies pour suivre au mieux les instructions de la norme NFC 96211/212.

Principe de notre action Qualité : notre proposition suit le schéma suivant :

A) Homologation et recette des chaînes de fabrication
   - A1 — de la technologie seule
   - A2 — des techniques d'assemblage

B) Homologation et recette des produits
   - en tenant comme acquis les résultats précédents
   - en effectuant sur les produits les tests qui leur sont spécifiques.

— Homologation et recette du produit

Nous effectuons sur le produit les essais des groupes A (variante 4) et B de la norme NF 96212. Les essais du groupe B garantissent la fiche technique établie après homologation des prototypes.

— Homologation et recette des techniques d'assemblage et de la technologie

Nous regroupons pratiquement l'ensemble des essais du groupe C et de la NFC 96212, suivant des méthodes compatibles avec le fascicule VII de la documentation méthodique du CNET.

La périodicité de ces essais est de 3 mois.

Essais du groupe A

Sous groupe	ESSAIS	§ réf. 96212	Niveau de prélèvement	NQA %
A1	Aspect extérieur	*	II	4
A2	Conformité du marquage Herméticité	3. 1. 2 M 303	II	1
A3	Vérification de la fonction logique	P 102	II	0,25

* Suivant SQ 840.110.00

Essais du groupe B

Sous groupe	ESSAIS	§ réf. 96212	Niveau de prélèvement	NQA %
B1	Applications des valeurs limites Caractéristiques de gabarit Caractéristiques statiques complémentaires Courants fournis par les alimentations	P 104 P 105 P 106 P 107	II	0,4
B2	Paramètres de commutation	P 108	S4	1
B3	Comportement en température des caractéristiques (gabarit, test fonctionnel)	P 109	S4	1,5

Essais du groupe C

Sous groupe	ESSAIS	§ réf. NFC 96212	§ réf. NFC 20600	Nbre pièces à essayer	Unités défectueuses tolérées par groupe	Unités défectueuses tolérées au total
C1 (céramique et verre-métal)	Chocs Vibrations (essais fatigue) Accélération constante	M307 M308 M305	20608 20616 20623	6	1	
C1 11 (plastique)	Chocs thermiques 500 cycles de − 25° C à + 125° C	sans		6	1	
12 (plastique)	Autoclave	sans		10	1	
C2	Soudabilité Soudure Robustesse des sorties	M302 M301 M304	20618 20613 20612	5	1	1
C3	Nettoyage aux solvants Variations rapides de température Essai combiné climatique	M306 C203 C 201	20627 20605 20619	10 ayant subi les essais des sous-groupes C1 ou C2	1	
C4	Chaleur humide (essai continu) **	C204	20603	10	1	1
C5	Vieillissement en fonctionnement	* E401 ou E403	125° C 1000 h	20	1	1
C6	Vieillissement en stockage à chaud	E402	125° C 1000 h	5	1 à chaud	

* Température de jonction limite à 150° C pour boîtiers à cavité
130° C pour enrobage plastique

** Essais de 10 jours.

ESSAIS REALISES POUR NIVEAU DE QUALITE STANDARD

Essais du groupe A

Sous groupe	ESSAIS	LTPD	Nombre de pièces défectueuses tolérées ou unités défectueuses tolérées
A1	Aspect du boîtier	7	1
A2	Conformité du marquage	5	0
A3	Vérification de la fonction logique	7	1

Essais du groupe B

Sous groupe	ESSAIS	LTPD	Nombre de pièces défectueuses tolérées ou unités défectueuses tolérées
B1	Caractéristiques de gabarit Caractéristiques statiques complémentaires Courant fourni par les alimentations	7	1
B2	Paramètres de commutation	10	2

Les différentes caractéristiques sont garanties dans la gamme de température par un test à une seule température à l'aide d'un programme corrélé.

2 _ Valeurs maximales admissibles

Les valeurs limites absolues sont les limites qui ne doivent pas être dépassées dans les pires conditions. Elles concernent les conditions extérieures et les conditions de fonctionnement applicables à tout dispositif électronique d'un type déterminé. Ces valeurs limites sont définies dans les notices.

Le fabricant détermine ces limites de façon à fournir un dispositif aussi largement utilisable que possible. Il n'assume aucune responsabilité en ce qui concerne les variations des équipements et des conditions d'environnement en général, ainsi que les changements de conditions de fonctionnement dûs aux variations des caractéristiques du dispositif considéré, ou de tous les autres dispositifs électroniques inclus dans l'équipement.

L'utilisateur doit donc étudier son équipement de telle sorte que, à sa mise en service comme au cours de sa vie, aucune valeur limite concernant l'application envisagée ne soit dépassée pour tout dispositif, dans les pires conditions probables d'utilisation. Ces conditions dépendent notamment des variations de tension du réseau d'alimentation, des dispersions des pièces détachées de l'appareil, des modifications des réglages, des variations de charge ou de signal, de l'environnement, ainsi que des dispersions des caractéristiques du dispositif considéré et de tous les autres dispositifs électroniques de l'appareil.

Les conditions dans lesquelles sont définies les valeurs limites absolues sont propres à chaque paramètre.

PUISSANCE DISSIPÉE

Température maximale de jonction : +150° C pour les boîtiers à cavité
+125° C pour les circuits enrobés plastique

Attention :
pour les circuits MOS il est impératif de ne pas mettre les jonctions en tension directe.



3 _ Différents types de boîtiers

BOITIERS NORMALISÉS

Ces termes désignent la représentation graphique du dispositif : forme, dimensions min - max, nombre, disposition et numérotation des sorties, position du repère de détrompage...

Chaque boîtier est désigné par un code propre à EFCIS, et, éventuellement par un code correspondant à une normalisation française ou internationale : CEI, JEDEC, SITELESC-UTE.

Les codes et dessins correspondants sont présentés sur chaque notice.

VARIANTES DE BOITIER

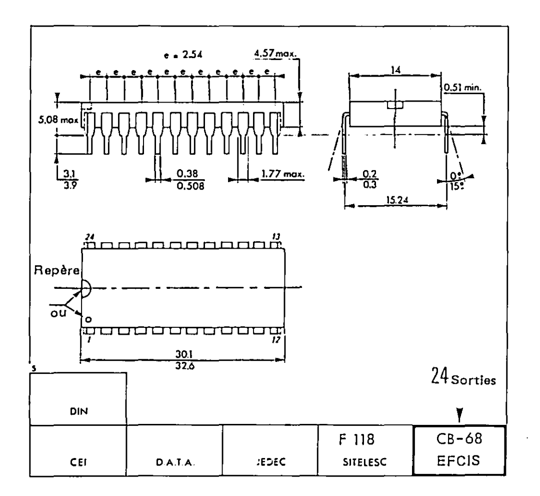
Un même boîtier peut être réalisé avec des matériaux ou des procédés de fabrication différents, tout en restant conforme au dessin côté normalisé.
En règle générale :

— La notice indique dans quels types de boîtiers les circuits peuvent être livrés.

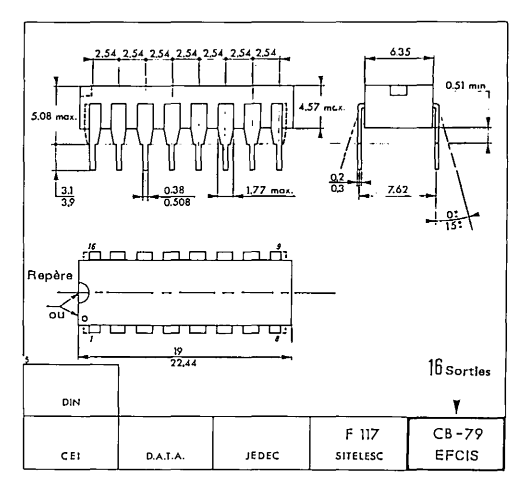
— Les caractéristiques électriques du dispositif de base encapsulé présenté dans les notices ne sont pas modifiées pour les différentes variantes d'un même type de boîtier. Seule la dissipation thermique est différente.

— La fiabilité (aptitude à conserver dans le temps les caractéristiques requises, après application de contraintes électriques, mécaniques ou d'environnement) dépend de la variante du boîtier et de la classe de sélection. En particulier EFCIS se réserve la possibilité de livrer des boîtiers pourvus du revêtement de son choix (dorure, argenture, étain - plomb 60/40).
A noter que seul le revêtement étain - plomb garantit la tenue en contrainte climatique sévère.

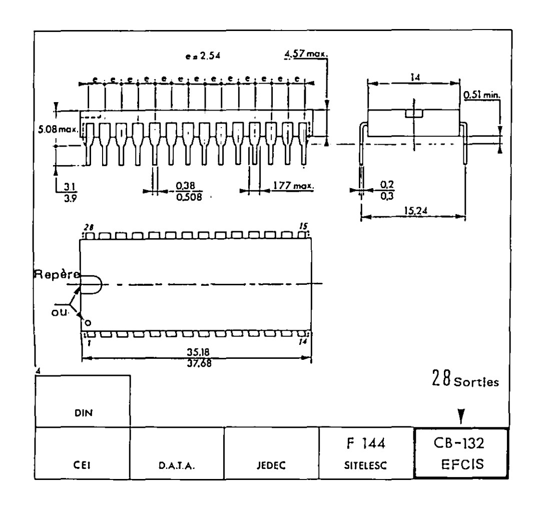
BOITIER CB-68



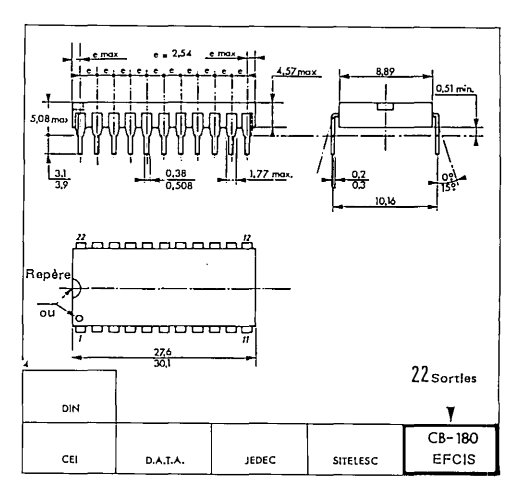
BOITIER CB-79



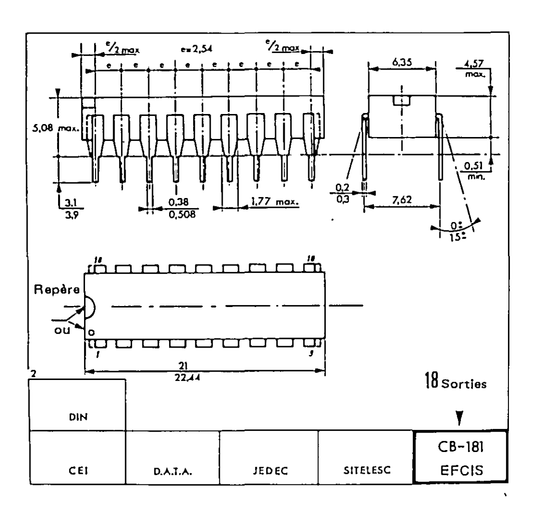
BOITIER CB-132



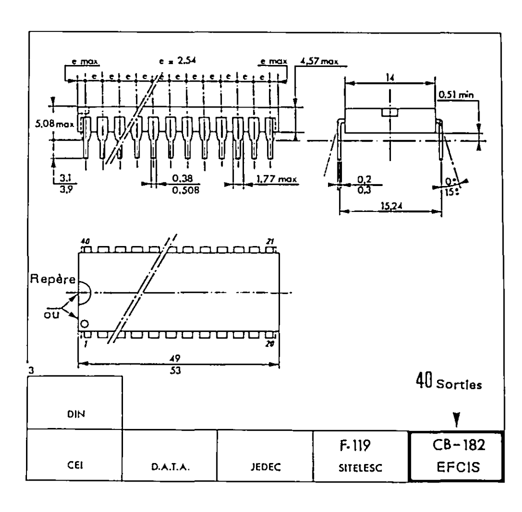
BOITIER CB-180



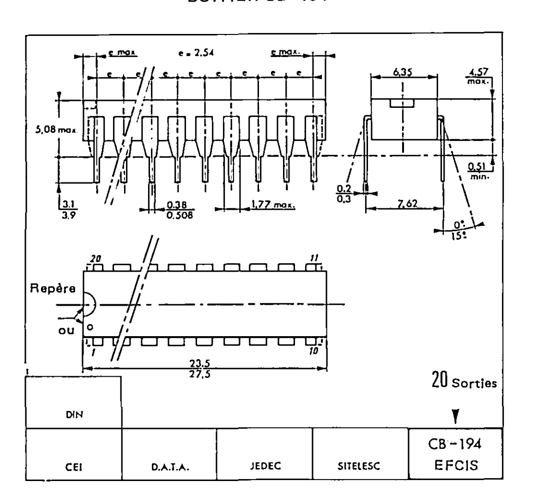
BOITIER CB-181



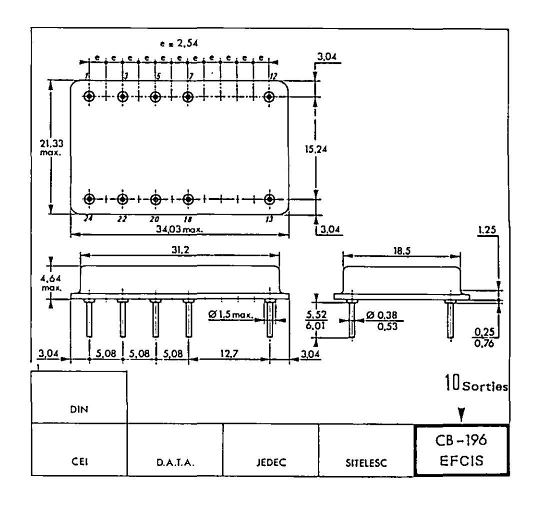
BOITIER CB-182



BOITIER CB-194

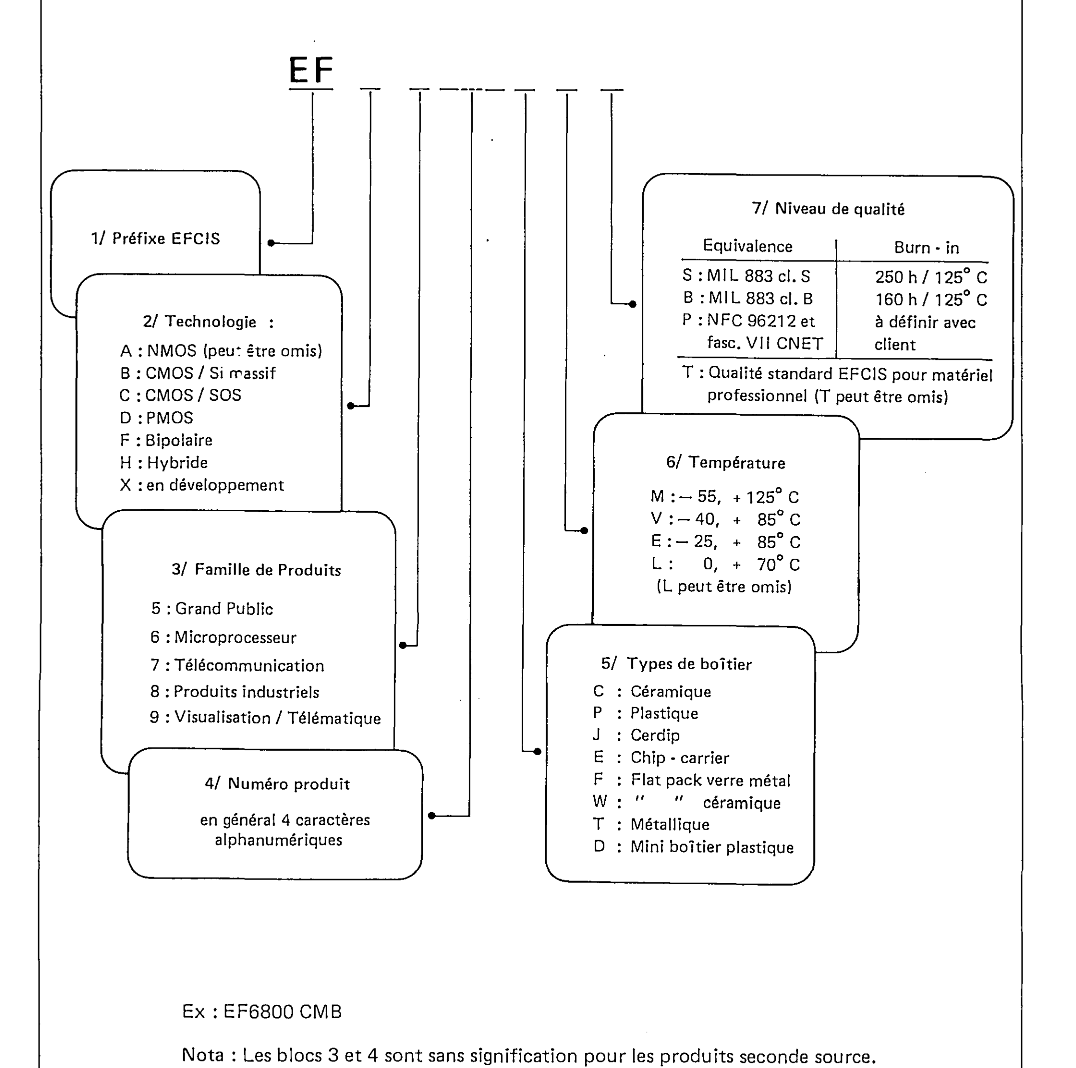


BOITIER CB-196



4 _ Codification des désignations

La nomenclature des circuits décrits dans ce catalogue se décompose en 7 parties comme décrit ci-dessous :



Ex : EF6800 CMB

Nota : Les blocs 3 et 4 sont sans signification pour les produits seconde source.

5 _ Références croisées EFCIS/EFCIS/Autre source

MICROPROCESSEURS

Ancienne Nomenclature		Nouvelle Nomenclature		Appellation MOTOROLA	
SFF96800	E	EF6800	P	MC6800	P
	K		C		L
			J		C
	EV		PV		CP
	KV		CV		CL
			CMP		CQCS
			CMB		BQCS
SFF968A00	E	EF68A00	P	MC68A00	P
	K		C		L
			J		C
	EV		PV		CP
	KV		CV		CL
SFF968B00	E	EF68B00	P	MC68B00	P
	K		C		L
			J		C
SFF96801	E	EF6801	P	MC6801	P
	K		C		L
SFF96801E	E	EF6801E	P	MC6801E	P
	K		C		L
SFF96801	K1	EF6801	C1	MC6801	L1
SFF96802	E	EF6802	P	MC6802	P
	K		C		L
	EV		PV		CP
	KV		CV		CL
			CMP		CQCS
			CMB		BQCS
SFF96803	E	EF6803	P	MC6803	P
	K		C		L
SFF96803E	E	EF6803E	P	MC6803E	P
	K		C		L
SFF96805P2	E	EF6805P2	P	MC6805P2	P
	K		C		L
SFF96805P2	K1	EF6805P2	C1	MC6805P2	L1
SFF96808	E	EF6808	P	MC6808	P
	K		C		L
	EV		PV		CP
	KV		CV		CL
			CMP		CQCS
			CMB		BQCS
SFF96809	E	EF6809	P	MC6809	P
	K		C		L
SFF968A09	E	EF68A09	P	MC68A09	P
	K		C		L
SFF968B09	E	EF68B09	P	MC68B09	P
	K		C		L
SFF96810	E	EF6810	P	MC6810	P
	K		C		L
			J		C
	EV		PV		CP
	KV		CV		CL
			CMP		CJCS
			CMB		BJCS
SFF968A10	E	EF68A10	P	MC68A10	P
	K		C		L
			J		C

Ancienne Nomenclature		Nouvelle Nomenclature		Appellation MOTOROLA	
SFF968A10	EV	EF68A10	PV	MC68A10	CP
	KV		CV		CL
SFF68B10	E	EF68B10	P	MC68B10	P
	K		C		L
			J		C
SFF96821	E	EF6821	P	MC6821	P
	K		C		L
			J		C
	EV		PV		CP
	KV		CV		CL
			CMP		CQCS
			CMB		BQCS
SFF968A21	E	EF68A21	P	MC68A21	P
	K		C		L
			J		C
	EV		PV		CP
	KV		CV		CL
SFF968B21	E	EF68B21	P	MC68B21	P
	K		C		L
			J		C
*SFF96828	E			MC6828/MC8507	P
	K				L
*SFF96830	K7			MC6830	L7
SFF96840	E	EF6840	P	MC6840	P
	K		C		L
			J		C
	EV		PV		CP
	KV		CV		CL
			CMP		CTCS
			CMB		BTCS
SFF968A40	E	EF68A40	P	MC68A40	P
	K		C		L
			J		C
	EV		PV		CP
	KV		CV		CL
SFF968B40	E	EF68B40	P	MC68B40	P
	K		C		L
			J		C
SFF96843	E	EF6843	P	MC6843	P
	K		C		L
SFF96844	E	EF6844	P	MC6844	P
	K		C		L
	EV		PV		CP
	KV		CV		CL
SFF968A44	E	EF68A44	P	MC68A44	P
	K		C		L
	EV		PV		CP
	KV		CV		CL
SFF968B44	E	EF68B44	P	MC68B44	P
	K		C		L
SFF96845	E	EF6845	P	MC6845	P
	K		C		L
SFF96846	K1	EF6846	C1	MC6846	L1
	E		P		P
	K		C		L

* Circuits non inclus dans le catalogue de MARS 80

EFCIS / EFCIS / Autre Source
CROSS REFERENCE

MICROPROCESSEURS (suite)

Ancienne Nomenclature		Nouvelle Nomenclature		Appellation MOTOROLA	
SFF968A46	E	EF68A46	P	MC68A46	P
	K		C		L
SFF968B46	E	EF68B46	P	MC68B46	P
	K		C		L
SFF968488	E	EF68488	P	MC68488	P
	K		C		L
SFF96850	E	EF6850	P	MC6850	P
	K		C		L
			J		C
	EV		PV		CP
	KV		CV		CL
			CMP		CJCS
			CMB		BJCS
SFF968A50	E	EF68A50	P	MC68A50	P
	K		C		L
			J		C
	EV		PV		CP
	KV		CV		CL
SFF968B50	E	EF68B50	P	MC68B50	P
	K		C		L
			J		C
SFF96852	E	EF6852	P	MC6852	P
	K		C		L
	EV		PV		CP
	KV		CV		CL
			CMP		CJCS
			CMB		BJCS
SFF968A52	E	EF68A52	P	MC68A52	P
	K		C		L
	EV		PV		CP
	KV		CV		CL
SFF968B52	E	EF68B52	P	MC68B52	P
	K		C		L
SFF96854	E	EF6854	P	MC6854	P
	K		C		L
	EV		PV		CP
	KV		CV		CL

Ancienne Nomenclature		Nouvelle Nomenclature		Appellation MOTOROLA	
SFF96854		EF6854	CMP	MC6854	CTCS
			CMB		BTCS
SFF968A54	E	EF68A54	P	MC68A54	P
	K		C		L
	EV		PV		CP
	KV		CV		CL
SFF968B54	E	EF68B54	P	MC68B54	P
	K		C		L
SFF96862	E	EF6862	P	MC6862	P
	K		C		L
SFF96871A1		EFH6871A1	T	MC6871 (1 MHz)	
SFF96871A2		EFH6871A2	T	(921 KHz)	
SFF96875	E	EFF6875	P	MC6875	P
	K		C		L
SFF96880A	E	EFF6880A	P	MC6880A/8T26A	P
	K		C		L
	EV		PV		CP
	KV		CV		CL
SFF96881	E	EFF6881	P	MC6881/3449	P
	K		C		L
SFF96882A	E	EFF6882A	P	MC6882A/3482A	P
	K		C		L
SFF96882B	E	EFF6882B	P	MC6882B/3482B	P
	K		C		L
SFF96885	E	EFF6885	P	MC6885/8T95	P
	K		C		L
SFF96886	E	EFF6886	P	MC6886/8T96	P
	K		C		L
SFF96887	E	EFF6887	P	MC6887/8T97	P
	K		C		L
SFF96888	E	EFF6888	P	MC6888/8T98	P
	K		C		L
SFF96889	E	EFF6889	P	MC6889/8T28	P
	K		C		L
CPU 16 BITS	K	EF68000	C	MC68000	L

NOTA : Les circuits suffixés KM dans l'ancienne nomenclature n'ont pas d'équivalents dans la nouvelle nomenclature.

MEMOIRES

MEMOIRES RAM

Ancienne Réf. EFCIS		Nouvelle Réf. EFCIS		Appellation MOTOROLA ou autre	
SFF96810	E	EF6810	P	MCM6810	P
	K		C		L
			J		C
	EV		PV		CP
	KV		CV		CL
			CMP		CJCS
			CMB		BJCS
SFF968A10	E	EF68A10	P	MCM68A10	P
	K		C		L
			J		C
	EV		PV		CP
	KV		CV		CL
SFF968B10	E	EF68B10	P	MCM68B10	P
	K		C		L
			J		C
SFF82114	E20	EF2114	P20	MCM2114	P20
	E25		P25		P25
	E30		P30		P30
	E45		P45		P45
	K20		C20		L20
	K25		C25		L25
	K30		C30		L30
	K45		C45		L45
	J20		J20		C20
	J25		J25		C25
	J30		J30		C30
	J45		J45		C45
SFF821L14	E20	EF21L14	P20	MCM21L14	P20
	E25		P25		P25
	E30		P30		P30
	E45		P45		P45
	K20		C20		L20
	K25		C25		L25
	K30		C30		L30
	K45		C45		L45
	J20		J20		C20
	J25		J25		C25
	J30		J30		C30
	J45		J45		C45

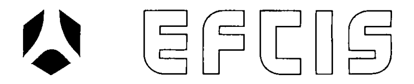
MEMOIRES RAM

Ancienne Réf. EFCIS		Nouvelle Réf. EFCIS		Appellation MOTOROLA ou autre	
*SFF84116A	J15	EF4116A	J15	MCM4116A	C15
	J20		J20		C20
	J25		J25		C25
	J30		J30		C30
	K15		C15		L15
	K20		C20		L20
	K25		C25		L25
	K30		C30		L30
SFF84116B	J15	EF4116B	J15	MCM4116B	C15
	J20		J20		C20
	J25		J25		C25
	J30		J30		C30
	K15		C15		L15
	K20		C20		L20
	K25		C25		L25
	K30		C30		L30
SFF86664	K15	EF6664	C15	MCM6664	L15
	K20		C20		L20

MEMOIRES EPROM

Ancienne Réf. EFCIS		Nouvelle Réf. EFCIS		Appellation MOTOROLA ou autre	
SFF71702A	K	EFD1702A	C	XX1702	
	J		J		
SFF71708	K	EF2708	C	MCM2708	L
	J		J		C
SFF717A08	K	EF27A08	C	MCM27A08	L
	J		J		C
SFF71716	K	EF2516	C	MCM2716	L
	J		J		C
SFF717A16	K	EF25A16	C	MCM27A16	L
	J		J		C
		EF2532	J	MCM2532	C
		EF68764	J	MCM68764	C

* Circuits non inclus dans le catalogue de MARS 80



Circuits Intégrés MOS THOMSON-EFCIS

Distribution automatique de documentation technique

Afin de mieux informer sa clientèle, EFCIS mettra en place à dater du troisième trimestre 80, un système de Distribution Automatique de sa Documentation Technique (DADT).

Ce système devrait vous permettre de recevoir, dès leur parution, toutes les informations techniques et commerciales éditées par EFCIS.

Cela inclut :

(1) les catalogues,
(2) les notices techniques des circuits intégrés,
(3) les notices commerciales des systèmes, cartes et logiciels,
(4) les catalogues condensés décrivant, à la manière d'un guide de choix les différents produits de notre gamme,
(5) les calendriers de cours de formation EFCIS,
(6) d'éventuels journaux de liaison ou documents devant vous permettre de mettre à jour votre bibliothèque technique.

Pour vous abonner à ce système, dont les modalités sont au verso, il vous suffit de renvoyer le coupon ci-dessous :

NOM .... Prénom ....

Société : ....

Adresse postale : ....
....
....
....

Téléphone : ....

Nombre d'abonnements désirés (N) = ...

Règlement joint : 400 F x N = ... FF TTC (abonnement annuel)

Votre fonction :
- ☐ Développement
- ☐ Fabrication
- ☐ Achats
- ☐ Adm/Direction
- ☐ Autres

Votre société :
- ☐ Télécom/Télématique
- ☐ Industriel
- ☐ Informatique
- ☐ Grand Public
- ☐ Mesure
- ☐ Autres

Coupon à renvoyer, accompagné d'un chèque de 400 FF (France et CEE seulement) pour participation aux frais.
EFCIS - Département Support Technique et Promotion
BP 217 - 38019 GRENOBLE CEDEX
A l'attention de M. Ch. REY

MODALITES DE L'ABONNEMENT

L'abonnement peut être souscrit en renvoyant le coupon situé au verso entièrement rempli et accompagné du règlement, à l'adresse indiquée sur ce coupon.

Les abonnements prennent effet au début du trimestre suivant la date d'abonnement (1/1, 1/4, 1/7, 1/10). (La première diffusion est prévue pour le début du troisième trimestre 80).

Si plusieurs distributions sont nécessaires à la même adresse, le mentionner clairement, et joindre le règlement X N . Ces distributions seront faites par courriers séparés.
Pour des personnes différentes, remplir plusieurs demandes.

Les documentations diffusées sont françaises et/ou anglaises indifféremment suivant leur ordre de sortie. EFCIS édite la plupart de ses documentations en français et en anglais.

PREMIERES DIFFUSIONS

A titre indicatif EFCIS à l'intention d'éditer très prochainement les documents suivants :

- Catalogue microprocesseur et mémoire en français/anglais
- Brochure microprocesseur et mémoire bilingue
- Brochure "Systèmes"
- Manuel de programmation du EF6800
- Niveaux de qualité de nos fabrications
- Notice commerciale EXORmacs
- Notice commerciale THEMIS
- . . .

ACHEVÉ D'IMPRIMER
LE 30 JUIN 1980
SUR LES PRESSES DE L'IMPRIMERIE
COMMÉROT
A GRENOBLE

Dépôt légal : 3 trimestre 1980

RÉSEAU DE VENTE FRANCE
FRENCH SALE OFFICES

EFCIS 45, avenue de l'Europe 78140 VELIZY VILLACOUBLAY
Tel. (3) 946 97 19 Telex : 698 866 F

DISTRIBUTEURS / DISTRIBUTORS

Région Parisienne

CODIREL (CODICOM)
105, rue Sadi-Carnot
93170 Bagnolet
Tel. : (1) 361 49 99

DIEL (CODICOM)
73, avenue Pierre Larousse
92240 Malakoff
Tel. (1) 656 70 44

GEDIS
53, rue de Paris
92100 Boulogne
Tel. (1) 604 81 70 Telex : 270191

Ouest

GEDIS
Neuillé le Lierre
37380 Monnaie
Tel. (47) 52 96 07

OUEST COMPOSANTS
57, rue du Manoir de Sévigné
BP 3209
35013 Rennes Cedex
Tel. : (99) 54 01 53 Telex : 740311

SIDE (CODICOM)
Résidence Front de Seine
41, quai du Havre
76000 Rouen
Tel. : (35) 98 22 99

Nord

SIDE (CODICOM)
34, avenue Robert-Schumann
C2 Résidence de l'Europe
59370 Mons en Barœul
Tel. : (20) 04 75 08

Midi-Pyrénées

SODIMEP
8, avenue Léon Viala
31400 Toulouse
Tel. : (61) 52 01 21 Telex : 530171

Est

CODIREL (CODICOM)
Rue du Grand Véon
10000 Troyes
Tel. : (25) 82 17 43

SELFCO
31, rue du Fossé des Treize
67000 Strasbourg
Tel. : (88) 22 08 88 Telex : 890706

Sud - Ouest

AQUITAINE COMPOSANTS
119, rue des Fontaines
31300 Toulouse
Tel. : (61) 42 78 82

AQUITAINE COMPOSANTS
"Le Moulin Apparent"
Route de Paris
86000 Poitiers
Tel. : (49) 88 60 50

AQUITAINE COMPOSANTS
Parc Industriel
Rue Gustave Eiffel
33600 Pessac Canejan
Tel. : (56) 45 84 70 Telex : 550696

Centre

AUVERLEC
Z.I. 2, rue de l'Industrie
B.P. 2
63800 Cournon d'Auvergne
Tel. : (73) 84 76 62 Telex : 390926

SEDRE
27, rue Voltaire
42100 Saint-Etienne
Tel. : (77) 32 80 57

Rhône-Alpes

SEDRE
21, avenue de la Plaine Fleurie
38240 Meylan
Tel. : (76) 90 71 18 Telex : 980936

SEDRE
10 & 12, rue Jean Bourgey
69100 Villeurbanne
Tel. : (78) 68 30 96 Telex : 370461

Côte d'Azur

DIMEL
"Le Marino"
Avenue Claude Farrère
83100 Toulon
Tel. : (94) 41 49 63 Telex : 430093

Provence

SUD COMPOSANTS
Traverse de la Caransane
Les Quatre Saisons
La Valentine
13011 Marseille
Tel. : (91) 43 90 30 Telex : 401213

RÉSEAU DE VENTE INTERNATIONAL
INTERNATIONAL SALE OFFICES

EFCIS 45, avenue de l'Europe 78140 VELIZY VILLACOUBLAY
Tel. (3) 946 97 19 Telex : 698 866 F

Argentina
COLMAR SRL
San Jose 83 Piso 12 - Buenos Aires
Tel.: 37 51 76 Twc : Colmar

Australia
CONSULAUST INTERNAT. Pty Ltd
Postal Box 367 Camberwell
397 Camberwell road
Camberwell 3124
Tel. 3 82 72 61 Telex : 37455

Austria
TRANSALPINA
Postfach 69
A-1103 Wien Südbahnhof
Tel.: (222) 78 25 11 Telex : 132717

Belgium
THOMSON S.A.
363, avenue Louise, B.P. 10
B-1050 Bruxelles
Tel.: (2) 648 64 85 Telex : 23113

Brasil
THOMSON-CSF Comp. do Brasil
Avenida Roque Petronio JR S/N
Brooklin - Caixa Postal 4854 - Sao Paulo
Tel.: (55.11) 542 47 22
Telex : 1124226

Canada
CANADIAN GENERAL ELECTRIC Co.
189 Dufferin Street
Toronto, Ontario MGK 1Y9

Denmark
SCAN SUPPLY
20, Nannasgade - DK-2200 Copenhagen
Tel.: (01) 83 50 90 Telex 19037

Finland
OY SUFRA AB
Ruusulankatu 20 A 12
SF-00250 Helsinki 25
Tel.: (0) 490 931 Telex: 123333

Germany (West)
THOMSON-CSF Gmbh
Fallstrasse 42 - Postfach 701 909
D-8000 München
Tel.: (089) 76 751 Telex 522916

Greece
MESSARITIS and Co
32, Marni srt - P.O. Box 517
GR - Athens
Tel.: 538 872 / 534 375

Hong-Kong
KELSON INDUSTRIAL CO Ltd
401-403 Tung Ying Bldg
100 Nathan Road – Kowloon
Tel.: 852 368 02 61 Telex : 86435

India
MELTRON (Maharashtra Electronics)
Air India Bldg - 8th floor
Nariman Point - Bombay 400 021
Tel.: 240-538 Telex: 0114506

Indonesia
P.T. GENERAL EKA ENGINEERS
Corp Ltd
JL Tanah Abang IV N° 15
Jakarta
Tel. 40325/44479 Telex : 46761

Iran
FARATEL
P.O. Box 11/1682
Kandovan Alley Opp. Villa
Shahresa Ave. - Teheran
Tel.: 667-030 Telex : 213071

Ireland
NELTRONIC Ltd
John F. Kennedy Rd – Naas Rd
Dublin 12
Tel.: (01) 50 18 45

Italy
THOMSON-CSF Componenti
Via M. Gioia 72
I-20125 Milano
Tel.: (2) 6884 141 Telex : 36301

THOMSON-CSF Componenti
Lungotevere Dei Mellini 45
00193 Roma
Tel.: (06) 312 722 Telex : 614065

Japan
THOMSON-CSF JAPAN KK
Components and Tubes Dept.
TBR Bldg 701
Kojimachi 5-7, Chiyoda-Ku
Tokyo 102
Tel.: (03) 264 63 41 Telex : J 2324241

INTERNIX
Ohta Bldg N° 2 - 7-4-7 Nishisjuku
Shinjuku Ku - Tokyo
Tel.: (03) 369 11 01 Telex: J 28497

Korea (South)
ARIRANG TRADING COMPANY
CPO Box 8057
618-12 Ahyung Done Mapo-Ku
Seoul
Tel.: 362 6377 Telex : K 27485

Mexico
PROVEDORA ELECTRONICA S.A.
Apartado Postal M 7607
Balderas 32108 - Mexico 1 DF
Tel.: 585 53 53 Telex : 017-72402

Morocco
STÉ FABR. RADIOELECTRIQUE
MAROCAINE
40, Bd de la Résistance, B.P. 2118
Palais Mirabeau - Casablanca
Tel.: 27 91 00 Telex : 21924

Netherlands
THOMSON S.A.
Vaartweg 27B
5109 - Ra s'Gravenmoer
Tel.: (016)-23 17 600 Telex: 54819

Norway
TAHONIC A/S
Postboks 140, Kaldakken
Kakkelovnskroken 2,
N-Oslo 9
Tel.: (02) 16 16 10 Telex :17397

Philippines
EDGEWORTH MARKETING Corp.
Po Box 2429
Manila
Telex : 075400/40391

Portugal
SD COM RUALDO
Rua S. Jose 15 - P-Lisboa 2
Tel.: 33725 Telex 16447

Singapore
THOMSON-CSF SEA
Unit 1003-1008 - Block 3
PSA Multi Storey Complex
Telok Blangah - Pasir Panjang Rd
Singapore 5
Tel.: 272 94 12 Telex RS 23987

GENERAL ENGINEERS Corp. Pty. Ltd
Same address as above.

South Africa
PACE ELECTRONIC Comp. Pty. Ltd
P.O. Box 75239 - Garden View 2047
Tel.: 616 18 24 Telex : 87823

Spain
THOMSON-CSF Componentes y Tubos
Calle Almagro 3
Madrid 4
Tel.: (4) 419 60 10 Telex 43711

THOMSON-CSF Componentes y Tubos
Poligono Industrial Fontsanta Calle Hsn
San Juan Despi
E-BARCELONA
Tel.: (3) 373 30 11 Telex : 53077

Sweden
THOMSON-CSF Komp. & Electronrör AB
Sandhamnsgatan 67 - Box 27080
S-10251 Stockholm
Tel.: (08) 373 30 11 Telex : 19650

Distributor TH'S ELECTRONIC AB
Gribbyvägen 1 - Box 2019
S-16302 Spanga
Tel.: (08) 760 01 90 Telex 11145

Switzerland
MODULATOR S.A.
Könizstrasse 194
CH-3097 Bern-Liebefeld
Tel.: (031) 59 22 22 Telex : 32431

Taiwan
HUGE Co. Ltd
5th Floor, Room A
No 2-6 Lane 929 Min Sheng East Rd
Taipei - Taiwan
Republic of China
Tel.: 761 2070 Telex : 25619

Turkey
J. BARKEY
P.O. Box 58, Osmanbey - Istambul

United Kingdom
THOMSON-CSF Comp. & Materials
Ringway House - Bell Road
Daneshill
Basingstoke - Hants RG 24-0QG
Tel.: (0256) 29 155 Telex : 858 865

TRANS WORLD SCIENTIFIC Ltd.
Short Street
High Wycombe
Bucks HPII 2QH
Tel.: (494) 36 381 Telex : 837236

USA
THOMSON-CSF Components Corp.
6660 Variel Avenue
Canoga Park, California 91303
Tel.: (213) 887 10 10 Telex : 698481
Twx : 910 494 1954

SIEGE SOCIAL ET USINE / HEAD OFFICE AND FACTORY

EFCIS 17, avenue des Martyrs
BP 217 38019 GRENOBLE Cedex
Tel. : (76) 97 41 11 Telex : 320 226 F



Filiale du Commissariat à l'Énergie Atomique et de THOMSON-CSF

